

中華民國專利公報 [19] [12]

[11]公告編號：477053

[44]中華民國 91 年 (2002) 02 月 21 日

發明

全 11 頁

[51] Int.Cl⁰⁷： H01L23/60

[54]名 稱：具有電流均勻分佈特性之靜電放電防護佈植方法

[21]申請案號： 089124124

[22]申請日期：中華民國 89 年 (2000) 11 月 14 日

[72]發明人：

柯明道

羅文裕

胡培芝

新竹市寶山路二〇〇巷三號四樓之三

台中縣東勢鎮東崎街三八五之十五號

新竹科學園區園區一路十九號

[71]申請人：

矽統科技股份有限公司

新竹科學園區研新一路十六號

[74]代理人：許峻榮 先生

1

2

[57]申請專利範圍：

1. 一種具有電流均勻分佈特性之靜電放電(ESD)防護佈植方法，包含下列步驟：

提供一具有 P 井或 N 井結構之半導體基板；

形成一互補式場效電晶體於該半導體基板之 P 井或 N 井中，該場效電晶體係包含閘極、汲極區域、與源極區域，且該閘極則包含一閘極氧化層、一位於該閘極氧化層上之閘極電極、與形成於該閘極二側壁之間隙壁；

分別形成一輕摻雜汲極區(lightly doped drain)於該源極區域與汲極區域之中與該閘極間隙壁之下，且該輕摻雜汲極區域與該汲極區域具有相同之導電型態；

形成一 ESD 佈植區於該汲極區域之下，該 ESD 佈植區具有與該 P 井或 N 井相同之導電型態，並環繞垂直對應於該汲極接點之汲極區域。

2. 如申請專利範圍第 1 項之具有電流均勻分佈特性之靜電放電防護佈植方法，其中，該 ESD 佈植區係形成為複數個矩形區域，該複數個矩形區域並沿該汲極區域之兩側間隔配置。

3. 如申請專利範圍第 1 項之具有電流均勻分佈特性之靜電放電防護佈植方法，其中，該 ESD 佈植區係呈一梳狀配置。

10. 4. 一種具有電流均勻分佈特性之靜電放電(ESD)防護佈植方法，包含下列步驟：一種具有電流均勻分佈特性之靜電放電(ESD)防護佈植方法，包含下列步驟：

15. 提供一具有第一 P 井或 N 井結構之半導體基板；

形成一互補式場效電晶體於該半導體基板之第一 P 井或 N 井中，該場效電晶體係包含閘極、汲極、與源極，且該閘極則包含一閘極氧化層、一位於該

閘極氧化層上之閘極電極、與形成於該閘極二側壁之間隙壁；

形成一第二N井或P井，於該汲極接點之下，且該第二N井或P井之導電型態與該第一P井或N井相反；

分別形成一輕摻雜汲極區(lightly doped drain)於該源極與汲極區域之中與該閘極間隙壁之下，且該輕摻雜汲極區與該汲極具有相同之導電型態；

形成一ESD佈植區於該汲極區域之下，該ESD佈植區具有與該第一P井或N井相同之導電型態，並環繞垂直對應於該汲極接點之汲極區域。

- 5.如申請專利範圍第4項之具有電流均勻分布特性之靜電放電防護佈植方法，其中，該第二N井或P井係與該ESD佈植區分離或局部重疊。

圖式簡單說明：

圖1係具有LDD結構之習知NMOS的橫剖面圖。

圖2係圖1之俯視圖。

圖3係具有LDD結構之習知NMOS的ESD電流路徑圖。

圖4係具有N型摻雜之習知ESD佈植方法。

圖5係圖4之俯視圖。

圖6係具有P型摻雜之習知ESD佈植方法。

圖7係圖6之俯視圖。

圖8係具有P型摻雜之習知P型ESD

5. 佈植元件的ESD電流路徑圖。

圖9係本發明之第一實施例中，P型ESD佈植之橫剖面圖。

圖10係圖9之俯視圖。

10. ESD電流放電路徑之橫剖面圖。

圖11係本發明之第一實施例中，一佈局方式的俯視圖。

圖12係本發明之第一實施例中，一佈局方式的俯視圖。

15. 圖14係本發明施用於一1.8V/3.3V輸出電路之示意圖。

圖15係本發明之第一實施例中，施用於1.8V/3.3V輸出電路之堆疊NMOS的示意圖。

20. 圖16係本發明之第二實施例中，一P型ESD佈植方法之橫剖面圖。

圖17係本發明之第二實施例中，將P型ESD佈植方法施用於一場氧化層元件之橫剖面圖。

25. 圖18係本發明之第二實施例中，一P型ESD佈植方法之橫剖面圖。

(3)

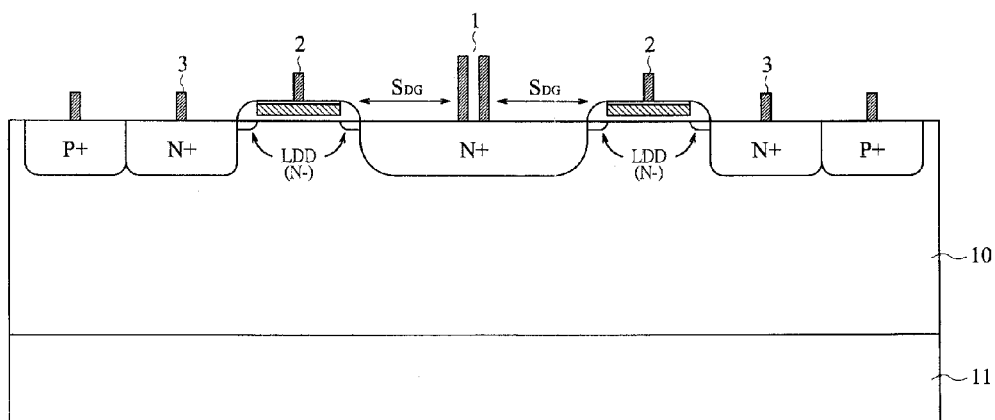


圖 1

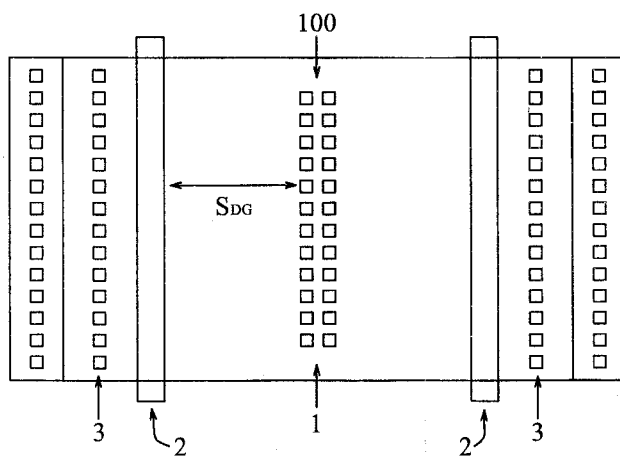


圖 2

(4)

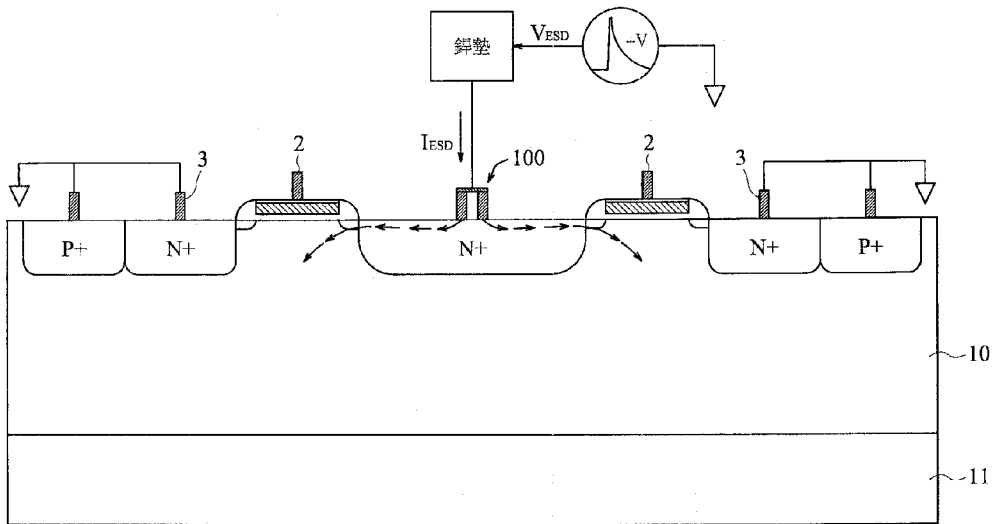


圖 3

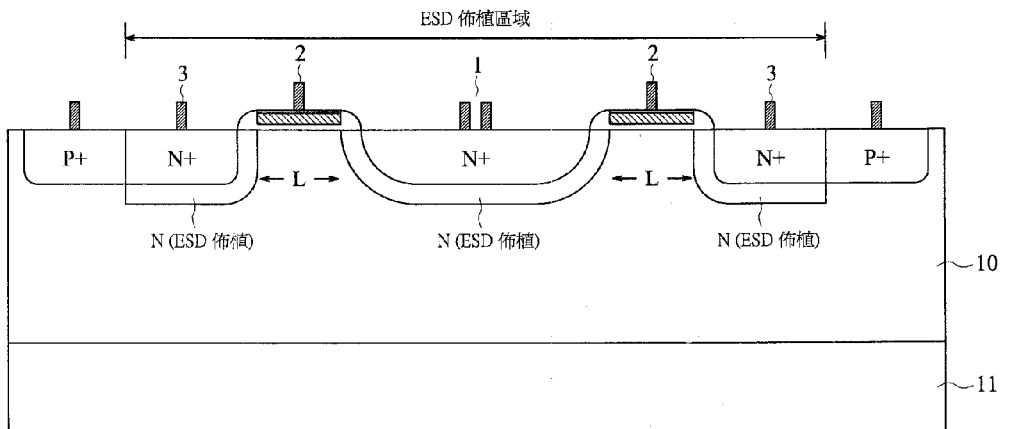


圖 4

(5)

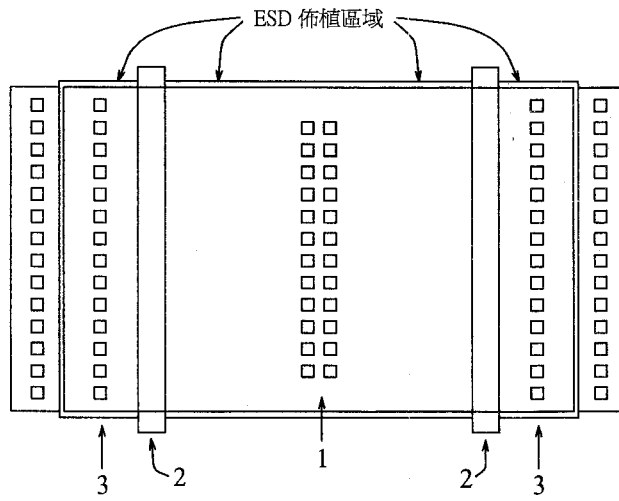


圖 5

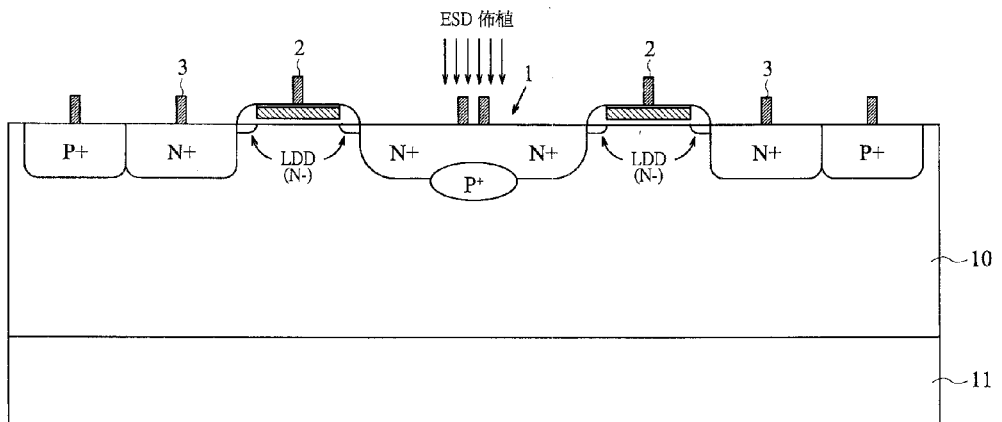


圖 6

(6)

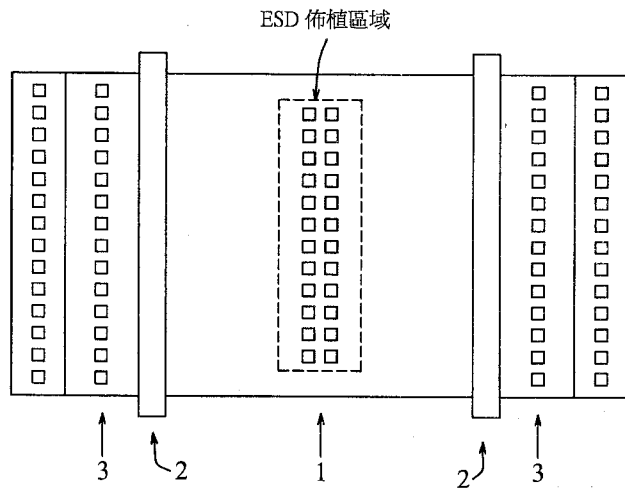


圖 7

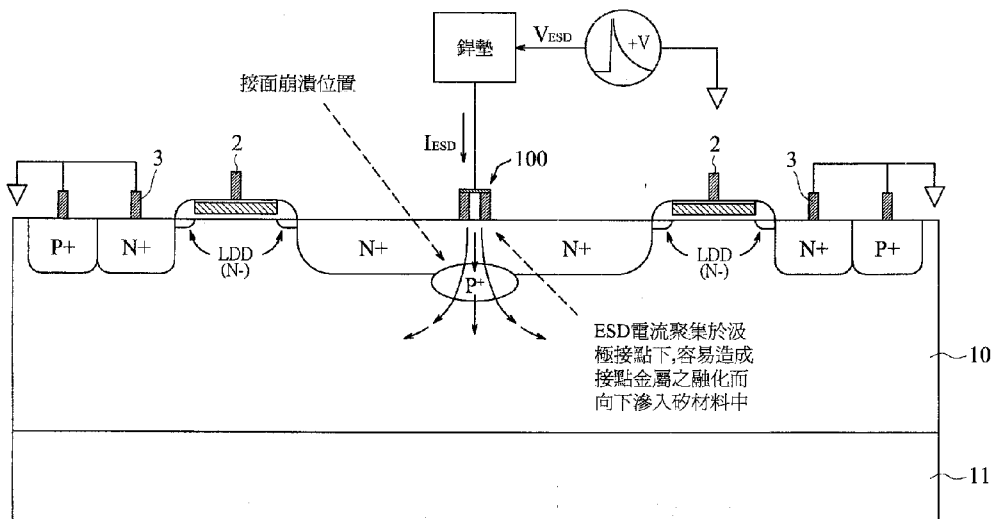


圖 8

(7)

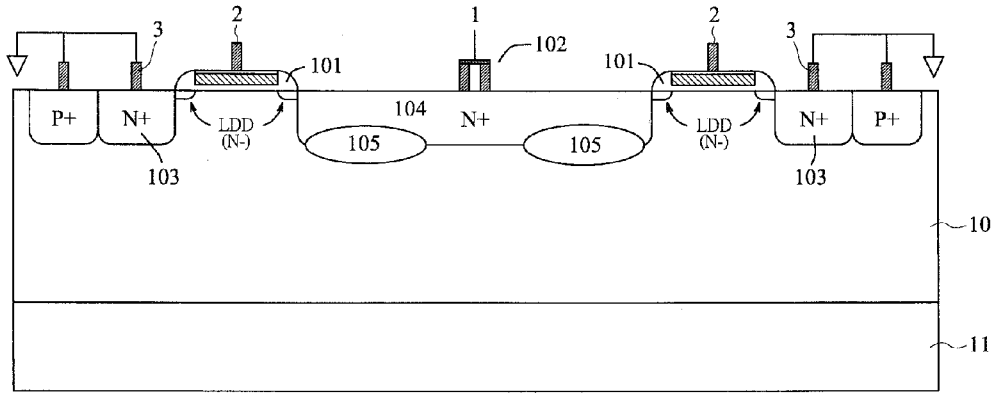


圖 9

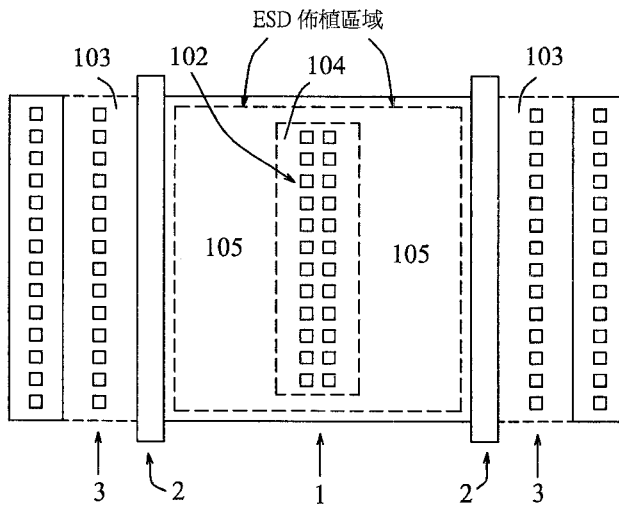


圖 10

(8)

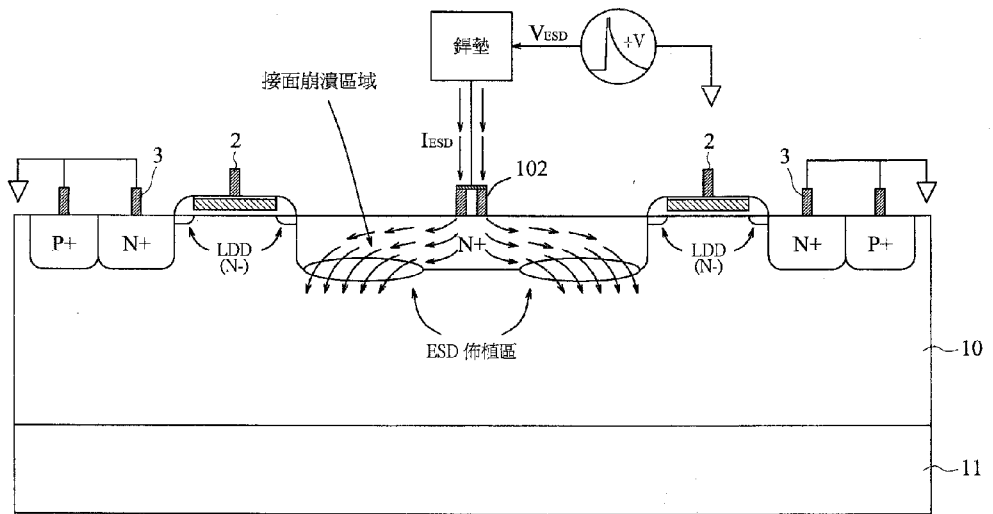


圖 11

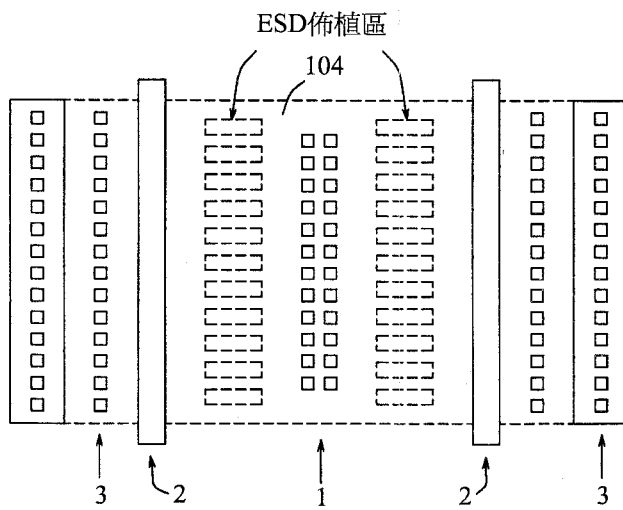


圖 12

(9)

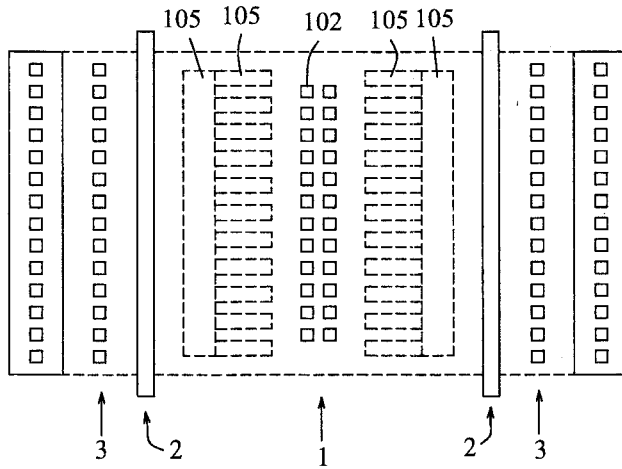


圖 13

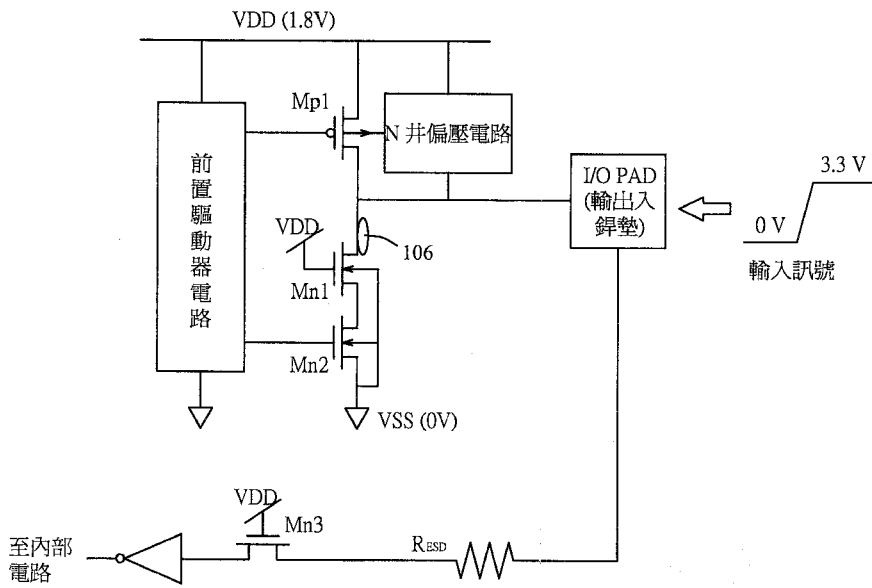


圖 14

(10)

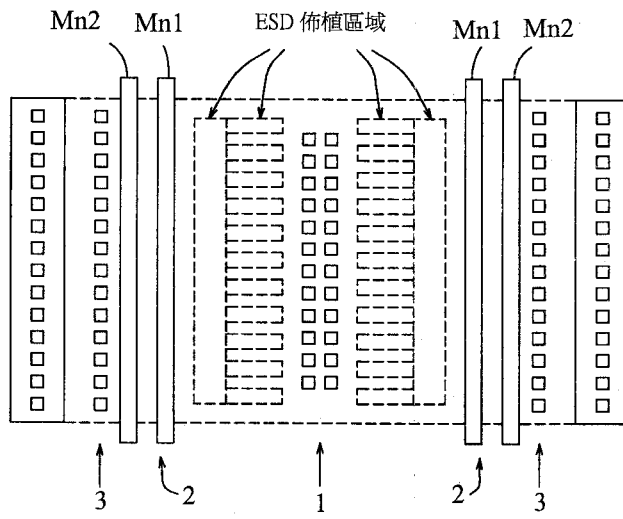


圖 15

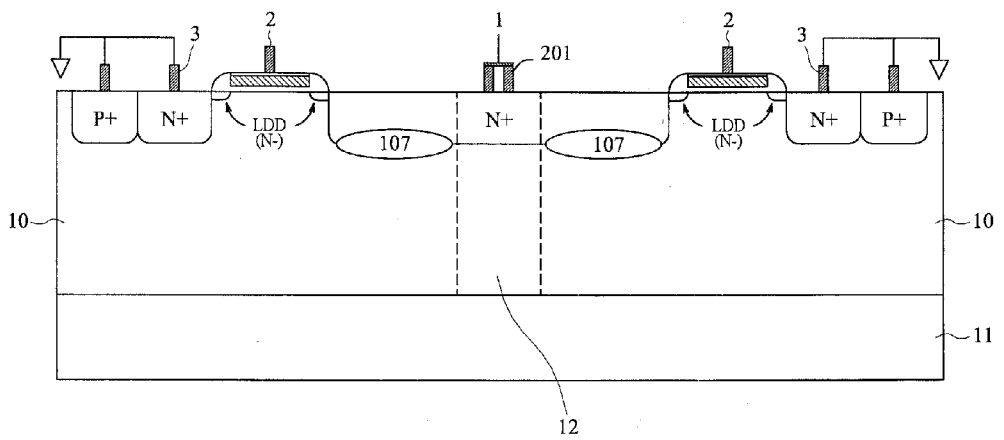


圖 16

(11)

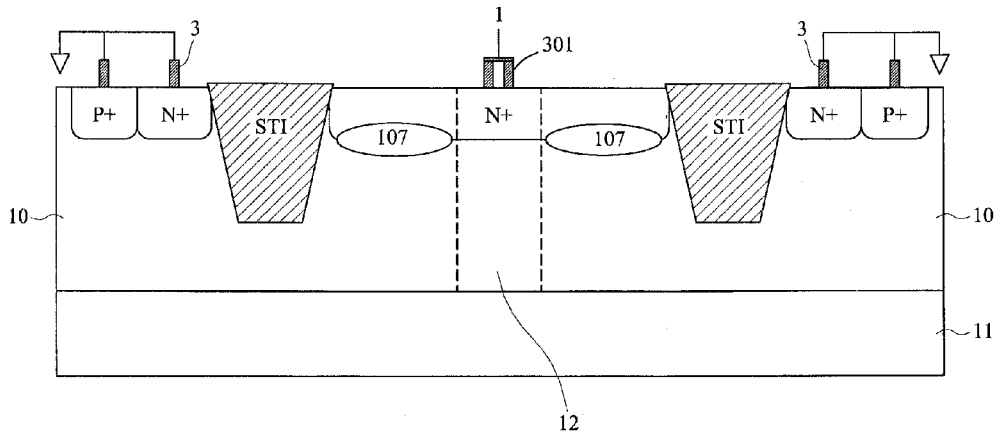


圖 17

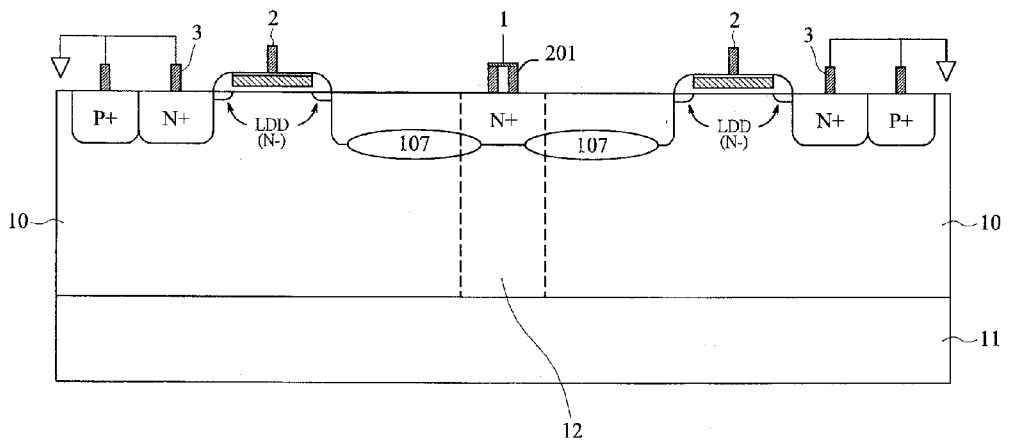


圖 18

