

中華民國專利公報 [19] [12]

[11]公告編號：480668

[44]中華民國 91 年 (2002) 03 月 21 日

發明

全 10 頁

[51] Int.Cl⁰⁷ : H01L21/786
H01L23/60

[54]名稱：絕緣層上有矽之二極體及其靜電放電保護電路

[21]申請案號：090103551

[22]申請日期：中華民國 90 年 (2001) 02 月 16 日

[72]發明人：

柯明道

洪根剛

唐天浩

新竹市寶山路二〇〇巷三號四樓之三

彰化縣芬園鄉彰南路五段五十三號

新竹市東山街二十七巷十三號六樓

[71]申請人：

聯華電子股份有限公司

新竹科學工業園區新竹市力行二路三號

[74]代理人：陳達仁 先生

謝德銘 先生

1

2

[57]申請專利範圍：

1. 一種絕緣層上有矽(SOI)之二極體，其至少包括：

一基底；

一絕緣層，係形成於該基底上；

二淺溝槽隔離區，係形成於該絕緣層上；及

一 PN 接合二極體，係由具有一第一導電性之一第一井及與之相鄰具有一第二導電性之一第二井形成，其中該第一導電性為 N 型及 P 型中任一導電型，該第二導電性與該第一導電性電性相反，且該第一井與該第二井係形成於該二淺溝槽隔離區之間之該絕緣層上，一具有該第一導電性之一第一重摻雜擴散區係形成於該第一井與一該淺溝槽隔離區相鄰之一頂角處，以及一具有該第二導電性之一第二重摻雜擴散區係形成於該第二井與另一該淺溝槽隔離區相鄰之一頂角處。

2. 如申請專利範圍第 1 項之絕緣層上有矽之二極體，其中上述之絕緣層係由一二氧化矽層形成。

3. 如申請專利範圍第 1 項之絕緣層上有矽之二極體，其中一似 MOS 閘極係形成於該第一井與該第二井上方，該似 MOS 閘極包括一介電層、一導電層及三介電質間隙壁，其中該導電層係形成於該介電層上方，而該二介電質間隙壁係分別形成於該似 MOS 閘極之每一側，並且該第一重摻雜擴散區及該第二重摻雜擴散區係分別自行對準於該似 MOS 閘極之每一側。

4. 如申請專利範圍第 3 項之絕緣層上有矽之二極體，其中上述之似 MOS 閘極包括一第三重摻雜擴散區及一第四重摻雜擴散區，該第三重摻雜擴散區與該第四重摻雜擴散區係互相短路導通，並且該第一重摻雜擴散

區與該第二重摻雜擴散區係分別自行對準於該第三重摻雜擴散區與該第四重摻雜擴散區。

- 5.如申請專利範圍第3項之絕緣層上有矽之二極體，其中上述之第一重摻雜擴散區與第二重摻雜擴散區係形成於該絕緣層上，並且分別介於一該淺渠溝槽隔離區與該第一井之間，以及介於另一該淺溝槽隔離區與該第二井之間。
- 6.一種絕緣層上有矽之二極體，其至少包括：
 - 一基底；
 - 一絕緣層，係形成於該基底上；
 - 二淺溝槽隔離區，係形成於該絕緣層上；
 - 一PN接合二極體，係由具有一第一導電性之一第一井及與之相鄰之具有一第二導電性之一第二井形成，其中該第一導電性係為P型及N型中任一導電性，該第二導電性係與該第一導電性相反，且該第一井與該第二井係形成於該二淺溝槽隔離區之間，該第一井相鄰於一該淺溝槽隔離區之一頂角處形成具有該第一導電性之一第一輕摻雜擴散區，該第二井相鄰於另一該淺溝槽隔離區之一頂角處形成具有該第二導電性之一第二輕摻雜擴散區；及
 - 一似MOS閘極，係形成於該第一井與該第二井上方，該似MOS閘極包括一介電層、一導電層及二介電質間隙壁，該導電層係形成於該介電層上方，該二介電質間隙壁係分別形成於該似MOS閘極之每一側，其中該導電層包括具有該第一導電性之一第三輕摻雜擴散區與一具有該第二導電性之一第四輕摻雜擴散區，該第三輕摻雜擴散區係與該第四輕摻雜擴散區短路導通，並且該

第一輕摻雜擴散區及該第二輕摻雜擴散區係分別自行對準於該第三輕摻雜擴散區與該第四輕摻雜擴散區。

- 7.如申請專利範圍第6項之絕緣層上有矽之二極體，其中上述之絕緣層係由一二氧化矽層形成。
- 8.如申請專利範圍第6項之絕緣層上有矽之二極體，其中更包含具有該第一導電性之一第五重摻雜擴散區於該第一輕摻雜擴散區與一該淺渠溝槽隔離區之間之該第一井上，及具有該第二導電性之一第六重摻雜擴散區於該第二輕摻雜擴散區與另一該淺溝槽隔離區之間之該第二井上。
- 9.一種I/O靜電放電保護電路，其保護一絕緣層上有矽之積體電路，該靜電放電保護電路至少包括：
 - 一導電性墊，係形成於該絕緣層上；
 - 一導線，係形成於該絕緣層上，該導線直接連接該導電性墊於一第一節點；
 - 一第一電壓供應列，係形成於該絕緣層上；
 - 一第二電壓供應列，係形成於該絕緣層上；
 - 一第一主要二極體，係形成於該絕緣層上，並連接於該第一節點與該第一電壓供應列之間；
 - 一第二主要二極體，係形成於該絕緣層上，並連接於該第一節點與該第二電壓供應列之間；
 - 複數個第一二極體，係形成於該絕緣層上，並連接於該第一節點與該第一電壓供應列之間，該等二極體係與該第一主要二極體之方向相反；及
 - 複數個第二二極體，係形成於該絕緣層上，並連接於該第一節點與該

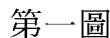
第二電壓供應列之間，該等二極體之方向係相反於該第之主要二極體之方向。

- 10.如申請專利範圍第9項之靜電放電保護電路，其中上述之第一節點直接連接至該積體電路之一輸出緩衝。
- 11.如申請專利範圍第9項之靜電放電保護電路，更包含一電阻形成於該絕緣層上，並且耦合於該第一節點與一第二節點之間，其中該第二節點係位於該積體電路之一輸入緩衝與該電阻之間。
- 12.如申請專利範圍第9項之靜電放電保護電路，其中上述之所有二極體係由申請專利範圍第1至8項中任一項之該絕緣層上有矽之二極體形成。
- 13.一種靜電放電保護電路，其保護絕緣層上有矽之積體電路，該靜電放電保護電路至少包括：
 - 一導電性墊，係形成於該絕緣層上；
 - 一導線，係形成於該絕緣層上，該導線直接連接該導電性墊於一第一節點；
 - 一第一電壓供應列，係形成於該絕緣層上；
 - 一第二電壓供應列，係形成於該絕緣層上；
 - 一第一主要二極體，係形成於該絕緣層上，並連接於該第一節點與該第一電壓供應列之間；
 - 一第二主要二極體，係形成於該絕緣層上，並連接於該第一節點與該第二電壓供應列之間；
 - 一靜電放電箝制電路，係形成於該絕緣層上，並連接於該第一電壓供應列與該第二電壓供應列之間；
 - 一電阻，係形成於該絕緣層上，並

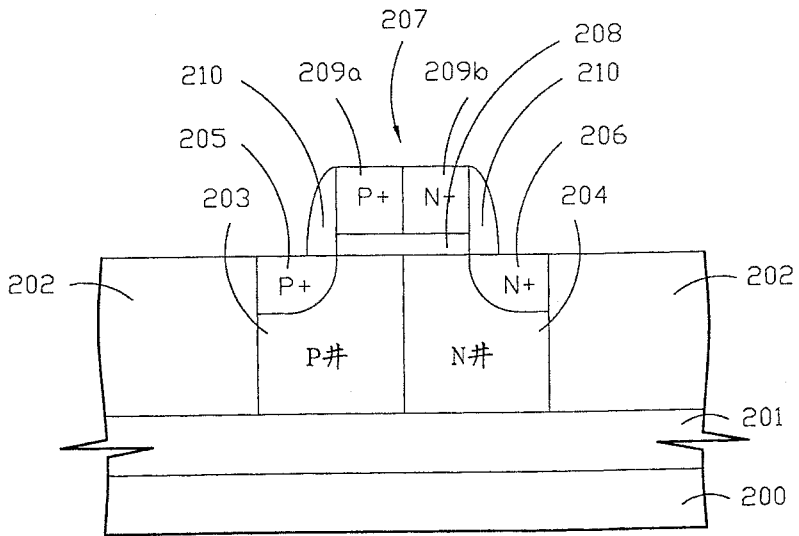
連接於該第一節點與一耦合於該積體電路之一部份的一第二節點之間；及

5. 一N通道電晶體，係形成於該絕緣層上，該N通道電晶體之一閘極及一源極皆連接於該第二電壓供應列，並且該N通道電晶體之一汲極係連接於該第二節點。
10. 14.如申請專利範圍第13項之靜電放電保護電路，其中上述之靜電放電保護電路包括複數個串聯二極體，該等二極體之方向係相反於該第一主要二極體與該第二主要二極體之方向。
15. 15.如申請專利範圍第13項之靜電放電保護電路，更包含一第三主要二極體及一第四主要二極體，其中該第三主要二極體係形成於該絕緣層上，並連接於該第一主要二極體與該第一電壓供應列之間，而該第四主要二極體係形成於該絕緣層上，並連接於該第二主要二極體與該第二電壓供應列之間。
20. 16.如申請專利範圍第15項之靜電放電保護電路，其中上述之靜電放電保護電路包含複數個串聯二極體，該等二極體之方向係相反於該第一主要二極體與該第二主要二極體之方向。
25. 17.如申請專利範圍第15項之靜電放電保護電路，更包含一第五主要二極體及一第六主要二極體，其中該第五主要二極體係形成於該絕緣層上，並連接於該第三主要二極體與該第一電壓供應列之間，而該第六主要二極體係形成於該絕緣層上，並連接於該第四主要二極體與該第二電壓供應列之間。
30. 18.如申請專利範圍第17項之靜電放電保護電路，其中上述之靜電放電箝
35. 40.

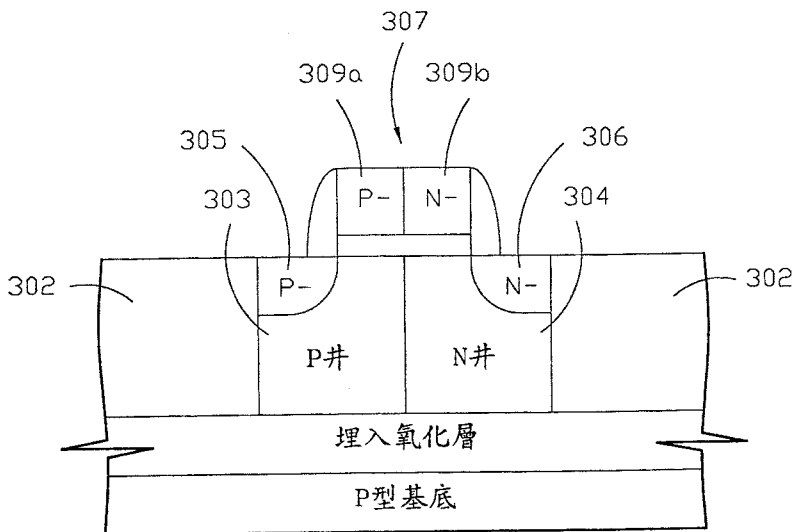
20. 第十二圖及第十三圖分別為第十圖及第十一圖之變化例。



(5)

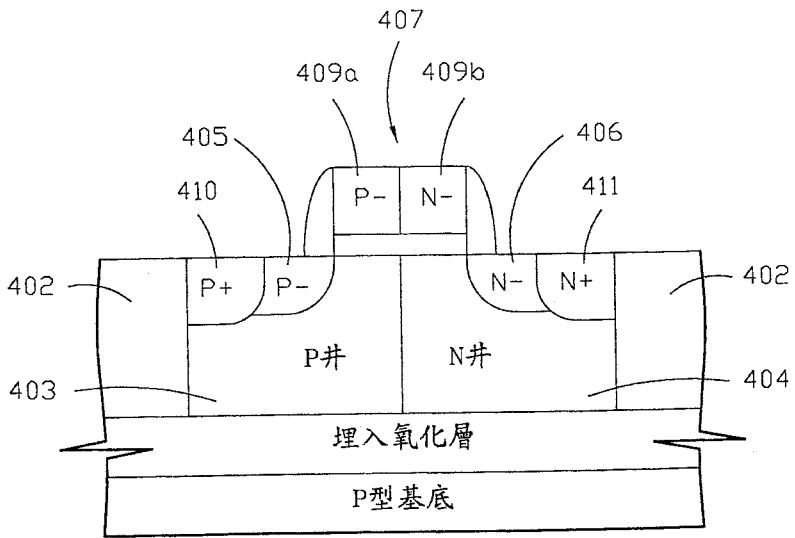


第二圖

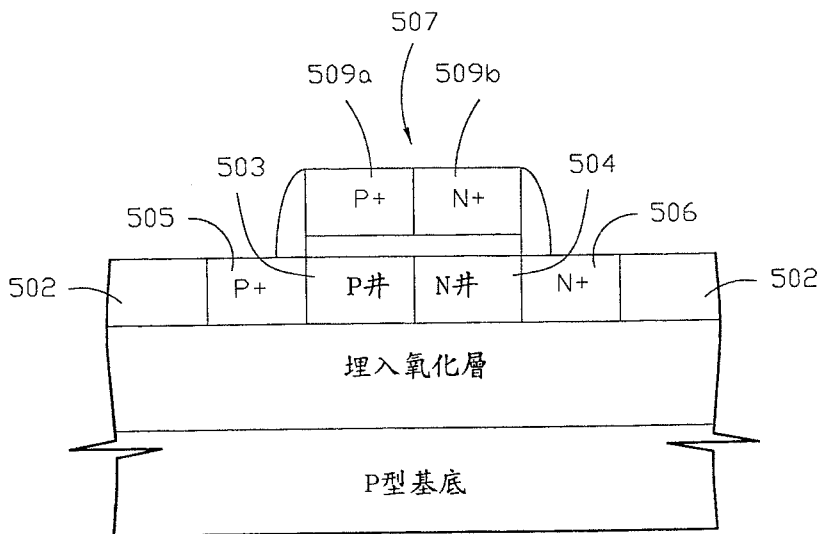


第三圖

(6)

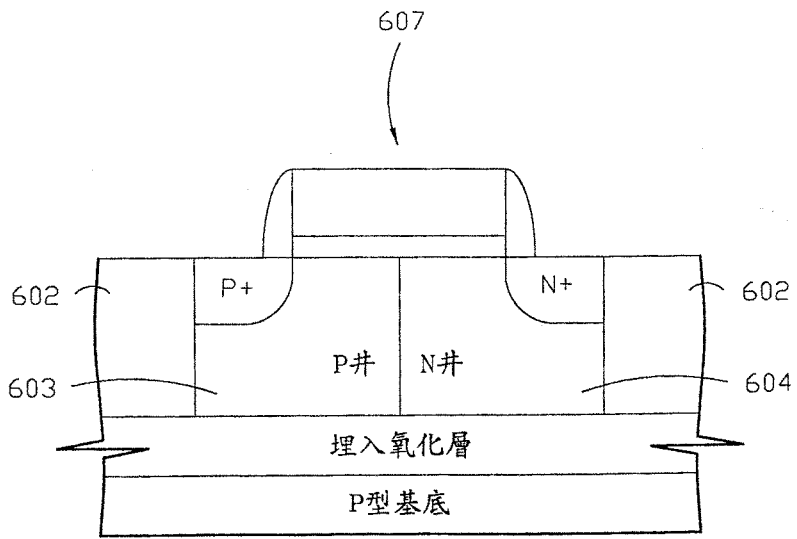


第四圖

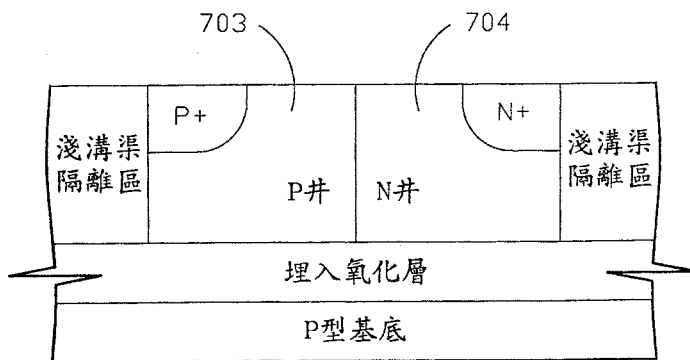


第五圖

(7)

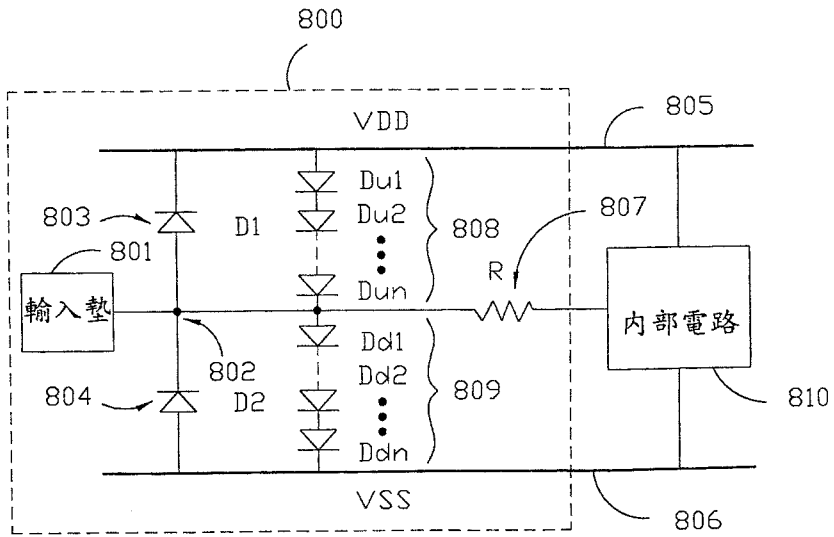


第六圖

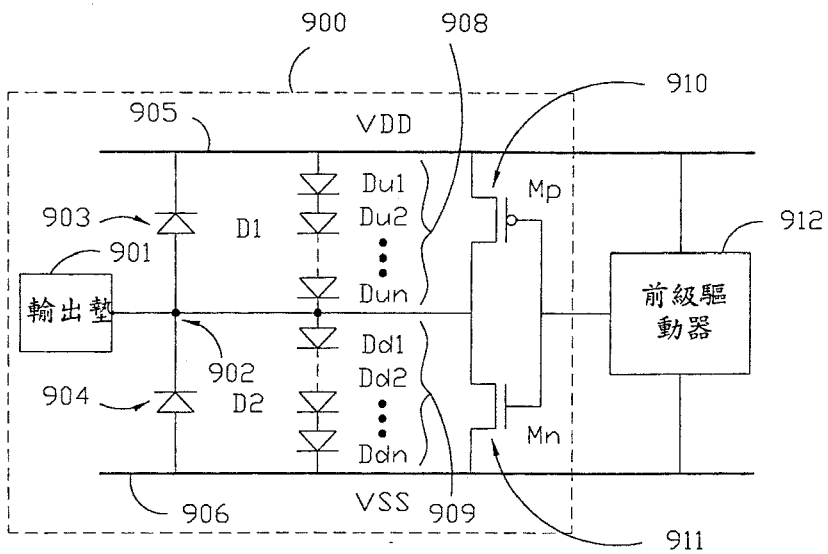


第七圖

(8)

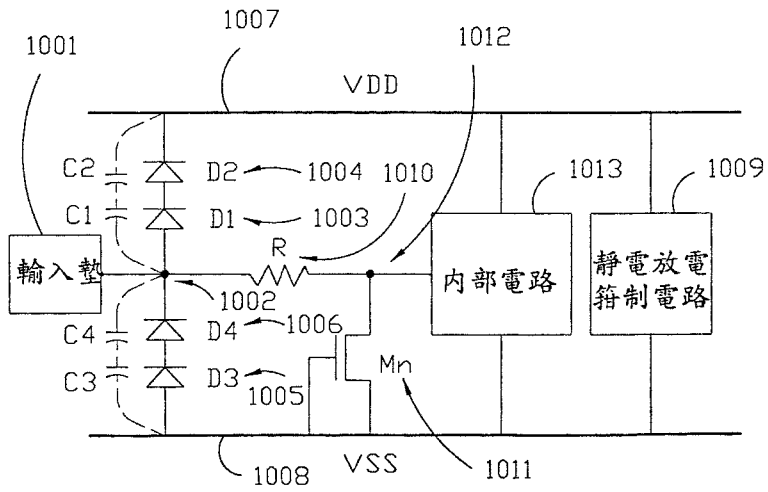


第八圖

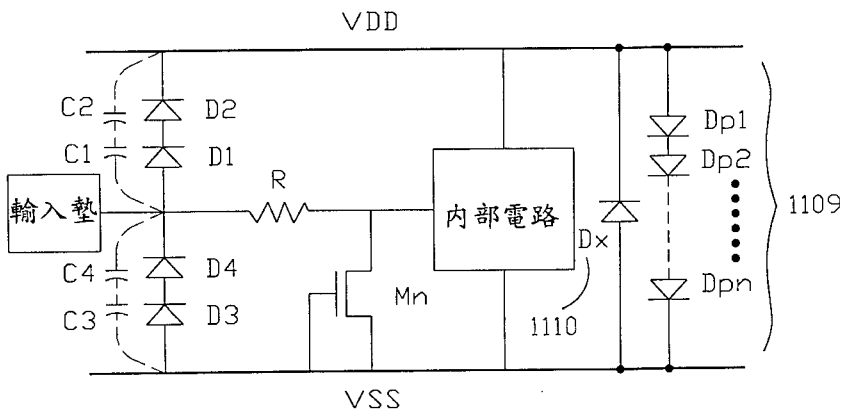


第九圖

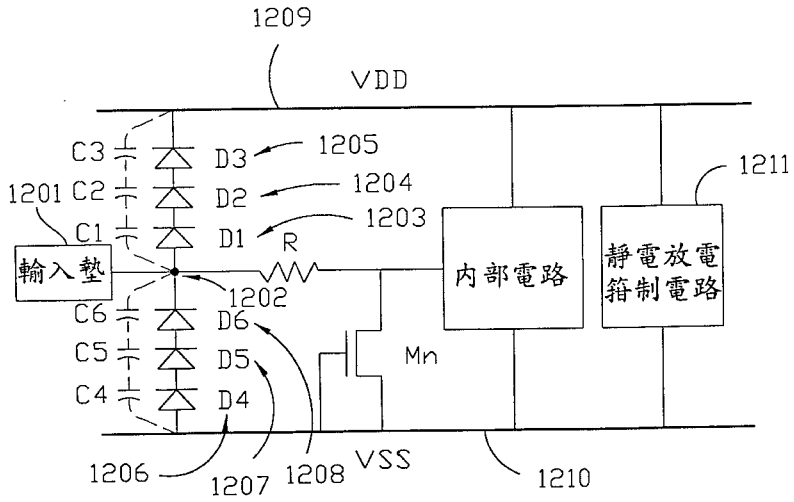
(9)



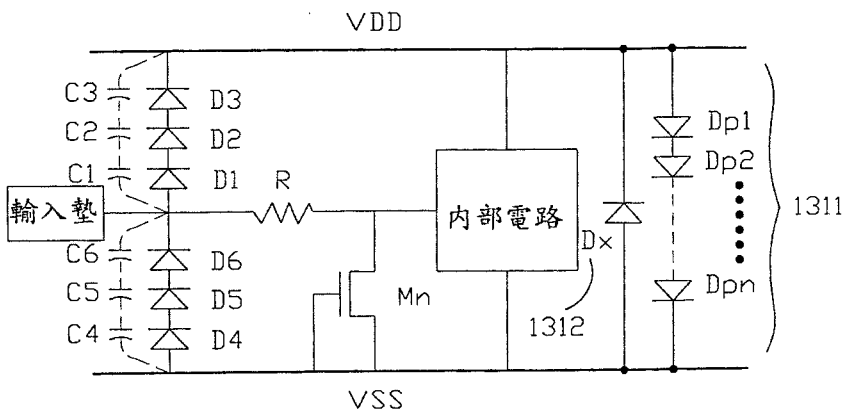
第十圖



第十一圖



第十二圖



第十三圖