

中華民國專利公報 [19] [12]

[11]公告編號：483143

[44]中華民國 91 年 (2002) 04 月 11 日

發明

全 8 頁

[51] Int.Cl⁰⁷ : H01L23/60

[54]名稱：適用於靜電放電防護的電壓控制元件以及其相關電路

[21]申請案號：090102319

[22]申請日期：中華民國 90 年 (2001) 02 月 05 日

[72]發明人：

林耿立

新竹縣竹東鎮中興路二段六五八巷十弄一號六樓之一

柯明道

新竹市東區寶山路二〇〇巷三號四樓之三

[71]申請人：

世界先進積體電路股份有限公司

新竹科學工業園區新竹縣園區三路一二三號

[74]代理人：洪澄文 先生

1

2

[57]申請專利範圍：

- 1.一種靜電放電(electrostatic discharge, ESD)防護元件，適用於一積體電路，耦合於一第一接合墊與一第二接合墊之間，當一工作電源供給該積體電路電源時，該防護元件呈現關閉狀態，當該工作電源不供給該積體電路電源時，該防護元件呈現保持導通狀態，可以釋放發生於該第一接合墊與該第二接合墊之間的一 ESD 事件所產生之電流。
- 2.如專利申請範圍第 1 項之防護元件，其中，該防護元件係受控於一偏壓產生器，於該工作電源供給該積體電路電源時，該偏壓產生器提供一預設電壓，以關閉該防護元件。
- 3.如專利申請範圍第 1 項之防護元件，其中，該防護元件係為一空乏式(deletion-mode)金氧半電晶體(metal oxide semiconductor transistor, MOS)。
- 4.如專利申請範圍第 3 項之防護元件，

其中，該空乏型 MOS 係為一潛藏式通道(buried-channel)元件。

- 5.如專利申請範圍第 3 項之防護元件，其中，該空乏型 MOS 係為一表面式通道(surface-channel)元件。
- 6.如專利申請範圍第 3 項之防護元件，其中，該空乏型 MOS 係為一 N 型空乏式 MOS。
- 7.如專利申請範圍第 3 項之防護元件，其中，該空乏型 MOS 係為一 P 型空乏式 MOS。
- 8.一種適用於一積體電路之靜電放電(electrostatic discharge, ESD)防護電路，連接於一第一接合墊以及一第二接合墊之間，包含有：
一 ESD 防護元件，連接於該第一接合墊以及該第二接合墊之間；以及
一偏壓產生器，當一工作電源提供該積體電路電源時，用以控制該靜電防護元件呈現關閉狀態；
- 10.
- 15.
- 20.

其中，當該工作電源沒提供該積體電路時，該靜電防護元件為開啟狀態，可以釋放發生於該第一接合墊與該第二接合墊之間的一 ESD 事件所產生之電流。

- 9.如專利申請範圍第8項之ESD防護電路，其中，該ESD防護電路係為一初級ESD防護電路，直接連接於該第一接合墊與該第二接合墊之間。
- 10.如專利申請範圍第8項之ESD防護電路，其中，該ESD防護電路係為一次級ESD防護電路，透過一電阻，連接至該第一接合墊。
- 11.如專利申請範圍第8項之ESD防護電路，其中，該ESD防護元件係為一空乏式(deletion-mode)金氧半導體(metal oxide semiconductor transistor, MOS)。
- 12.如專利申請範圍第11項之ESD防護電路，其中，該空乏型MOS係為一潛藏式通道元件。
- 13.如專利申請範圍第11項之ESD防護電路，其中，該空乏型MOS係為一表面式通道元件。
- 14.如專利申請範圍第11項之ESD防護電路，其中，該空乏型MOS係為一N型空乏式MOS。
- 15.如專利申請範圍第14項之ESD防護電路，其中，於該工作電源供給該積體電路電源時，該偏壓產生器提供一預設負電壓予該N型空乏式MOS之一閘極，以關閉該該N型空乏式MOS。
- 16.如專利申請範圍第11項之ESD防護電路，其中，該空乏型MOS係為一P型空乏式MOS。
- 17.如專利申請範圍第16項之ESD防護電路，其中，於該工作電源供給該積體電路電源時，該偏壓產生器提供一預設正電壓予該P型空乏式

MOS之一閘極，以關閉該該P型空乏式MOS。

- 18.一種ESD防護系統，適用於一積體電路，該積體電路包含有複數個接合墊Pad1...PadN，該防護系統包含有：
 - 一ESD匯流線(ESD bus line)；
 - 複數個ESD防護元件D1...DN，每一ESD防護元件Dn連接於一相對應之Padn與該ESD匯流線之間；以及
 - 一偏壓產生器，當一工作電源供給該積體電路電源時，用以提供一預設電壓，以關閉D1...DN；
 其中，當該工作電源不供給該積體電路電源時，D1...DN呈現保持導通狀態，可以釋放發生於一Padx與一Pady之間的一ESD事件所產生之電流。
- 19.如專利申請範圍第18項之ESD防護系統，其中，Dn係為一空乏式(deletion-mode)金氧半導體(metal oxide semiconductor transistor, MOS)。
- 20.如專利申請範圍第19項之ESD防護系統，其中，該空乏型MOS係為一潛藏式通道元件。
- 21.如專利申請範圍第19項之ESD防護系統，其中，該空乏型MOS係為一表面式通道元件。
- 22.如專利申請範圍第19項之ESD防護系統，其中，該空乏型MOS係為一N型空乏式MOS。
- 23.如專利申請範圍第19項之ESD防護系統，其中，該空乏型MOS係為一P型空乏式MOS。
- 24.如專利申請範圍第19項之ESD防護系統，其中，該預設電壓係提供至D1...DN之控制閘，以關閉D1...DN。
- 25.如專利申請範圍第18項之ESD防護

系統，其中，該ESD匯流線係為一金屬線。

26.如專利申請範圍第18項之ESD防護系統，其中，Padx係為一電源接合墊。

27.如專利申請範圍第18項之ESD防護系統，其中，Padx係為一輸出入接合墊。

圖式簡單說明：

第1A圖為一習知的ESD防護電路；

第1B圖為第1A圖中的NMOS電晶體之電壓電流曲線圖；

第2A圖以及第2B圖為兩個習知具有較低觸發電壓的NMOS剖面示意圖；

第3圖為本發明之一ESD防護電路圖；

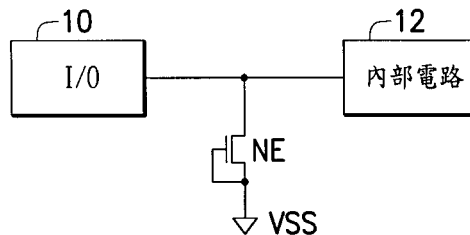
第4A圖到第4C圖為作為本發明的ESD防護元件之潛藏式通道NMOS以及一般NMOS的製程示意圖；

第5A圖到第5C圖為運用本發明之初級(primary)ESD防護電路或次級(secondary)ESD防護電路。

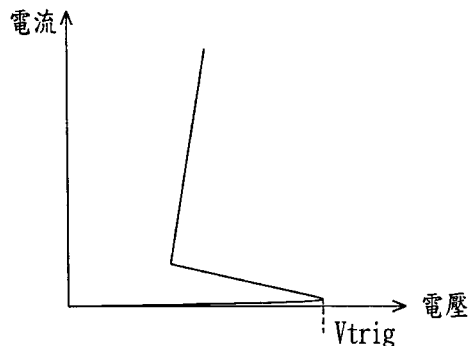
第6A圖到第6C圖為本發明同時運用於I/O接合墊與VDD/VSS之間的ESD防護電路的三個實施例；

第7圖為依據本發明，以空乏型PMOS實施一ESD防護電路圖；以及

第8圖為本發明提供之一ESD防護系統示意圖。

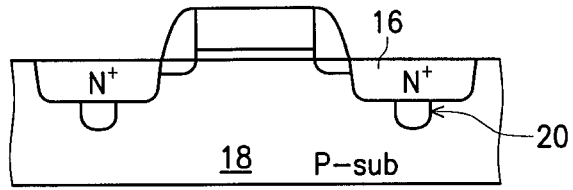


第1A圖

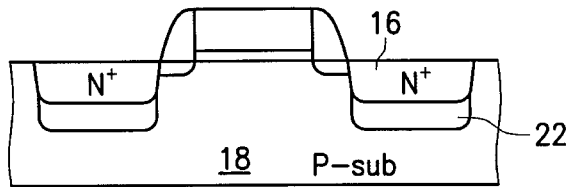


第1B圖

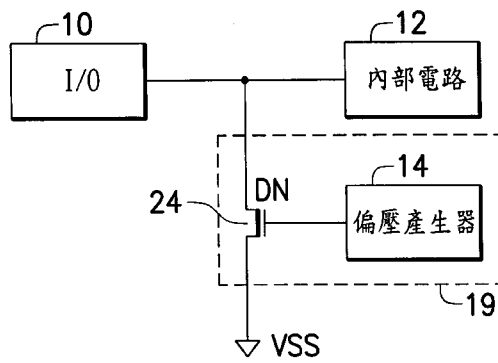
(4)



第 2A 圖

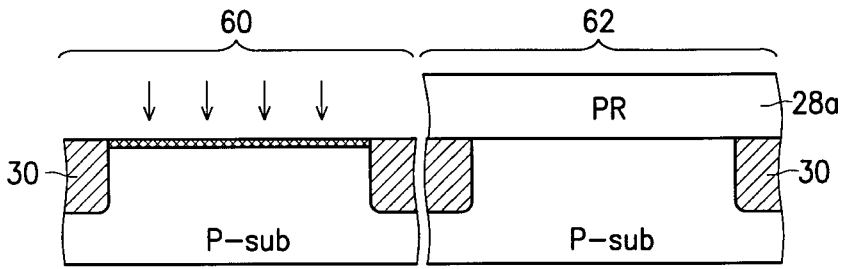


第 2B 圖

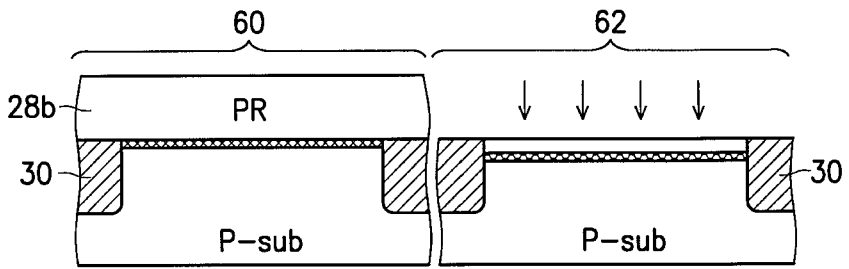


第 3 圖

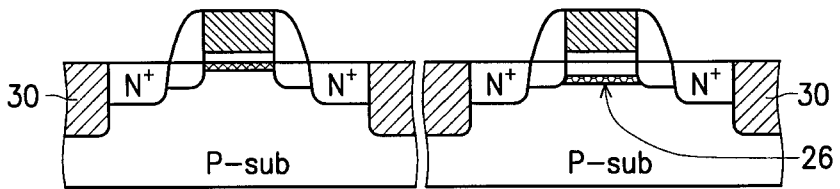
(5)



第 4A 圖

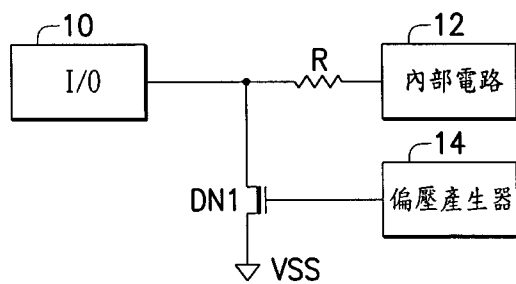


第 4B 圖

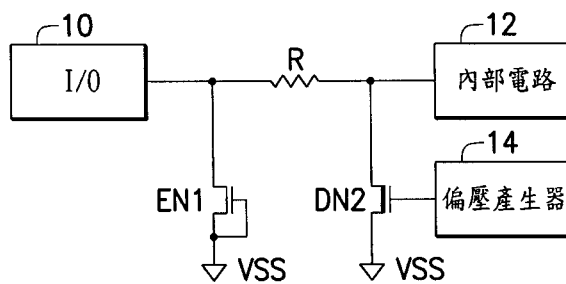


第 4C 圖

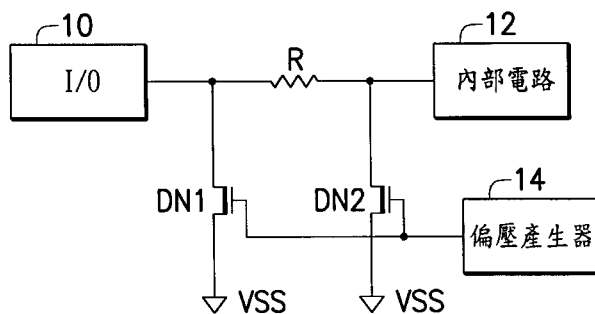
(6)



第 5A 圖

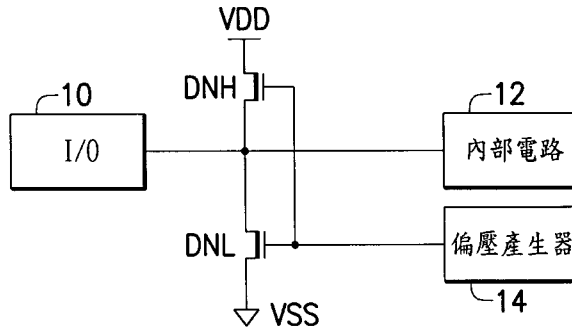


第 5B 圖

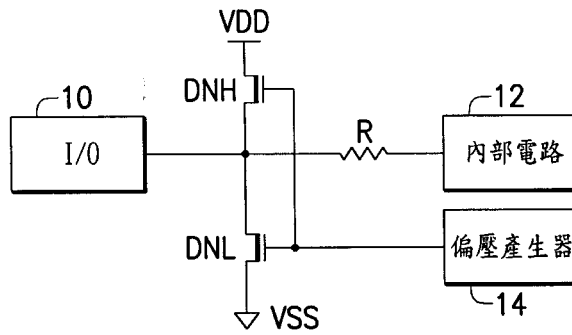


第 5C 圖

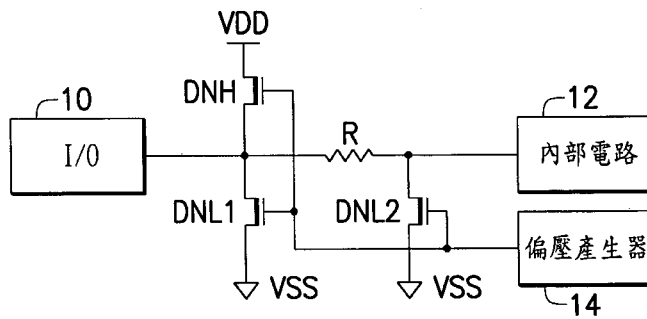
(7)



第 6A 圖

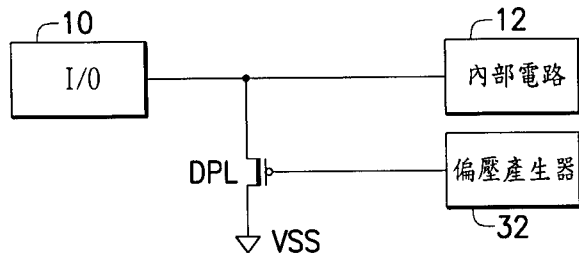


第 6B 圖

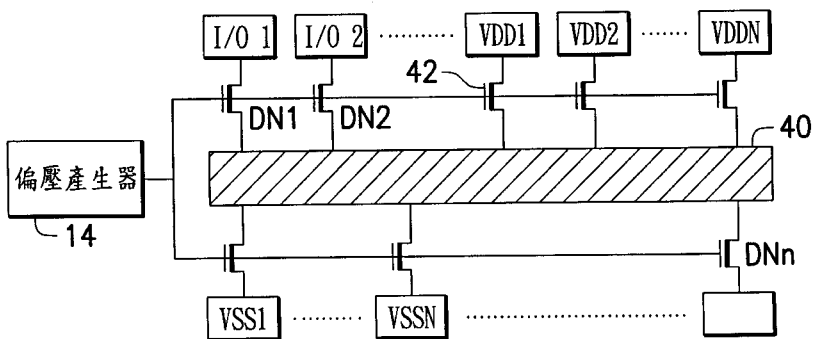


第 6C 圖

(8)



第 7 圖



第 8 圖