

[11]公告編號：485598

[44]中華民國 91 年 (2002) 05 月 01 日

發明

全 13 頁

[51] Int.Cl⁰⁷： H01L23/60

[54]名 稱： 無淺溝槽隔絕之橫向矽控整流器之製造方法

[21]申請案號： 090103550

[22]申請日期： 中華民國 90 年 (2001) 02 月 16 日

[72]發 明 人：

柯明道

張智毅

唐天浩

新竹市寶山路二〇〇巷三號四樓之三

台北縣新莊市中和街一二五巷二十號九樓

新竹市東山街二十七巷十三號六樓

[71]申 請 人：

聯華電子股份有限公司

新竹科學工業園區新竹市力行二路三號

[74]代 理 人： 陳達仁 先生

謝德銘 先生

1

2

[57]申請專利範圍：

1.一種無淺溝槽隔絕之橫向矽控整流器之製造方法，其至少包括：

提供具有一第一導電性的一半導體基底；

形成複數個淺溝槽隔離區於該基底中；

形成具有一第二導電性的一第一井於一對該等淺溝槽隔離區之間的該基底中；

形成一虛閘極於該第一井上方的該基底上；

形成具有該第二導電性的一 MOS 閘極於該第一井旁的該基底上；

分別形成具有該第二導電性的一第一重摻雜擴散區於該 MOS 閘極的每一側之該基底中，一該第一重摻雜擴散區係橫跨一部份的該第一井及一部份的該基底，並鄰接於該虛閘極的一側，而另一該第一重摻雜擴散區係連接於一陰極；及

形成具有該第一導電性的一第二重摻雜擴散區於相對於位於該虛閘極一側的該第一重摻雜擴散區的該虛閘極的另一側，該第二重摻雜擴散區係連接至一陽極。

2.如申請專利範圍第 1 項之方法，其中上述之 MOS 閘極係連接至該陰極。

3.如申請專利範圍第 1 項之方法，其中上述之具有該第二導電性之一第三重摻雜擴散區係形成於鄰接該虛閘極之具有該第一導電性的該第二重摻雜擴散區之一側的該第一井中。

4.如申請專利範圍第 3 項之方法，其中上述之第三重摻雜擴散區係連接至該陽極。

5.如申請專利範圍第 1 項之方法，其中上述之具有該第一導電性之一第四重摻雜擴散區係形成於連接至該陰極之具有該第二導電性的該第一重摻雜擴散區一側的該基底中。

- 6.如申請專利範圍第5項之方法，其中上述之具有該第一導電性的該第四重摻雜擴散區係連接至該陰極。
- 7.如申請專利範圍第1項之方法，其中上述之虛閘極包含具有該第一導電性的一第一多晶矽閘極電極及具有該第二導電性的一第二多晶矽閘極，該第一多晶矽閘極電極係鄰接於該第二重摻雜擴散區，而該第二多晶矽閘極係鄰接於橫跨一部份該第一井及一部份該基底的該第一重摻雜擴散區。
- 8.如申請專利範圍第1項之方法，其中上述之虛閘極係由一金屬閘極形成。
- 9.如申請專利範圍第1項之方法，其中上述之具有該第一導電性的一第二井係形成於該第一井與一該淺溝槽隔離區之間的該基底中，該MOS閘極、介於該MOS閘極與該第四重摻雜擴散區之間的該第一重摻雜擴散區，及該第四重摻雜擴散區係由該第二井所包圍，而介於該MOS閘極與該虛閘極之間的該第一重摻雜擴散區係橫跨一部份該第一井及一部份該第二井。
- 10.如申請專利範圍第1項之方法，其中上述之基底係由一P型矽基底形成。
- 11.如申請專利範圍第1項之方法，其中上述之第一井係由一摻質濃度約 10^{12} 至 $10^{13}/\text{cm}^2$ 的N井形成。
- 12.如申請專利範圍第9項之方法，其中上述之第二井係由一摻質濃度約 10^{12} 至 $10^{13}/\text{cm}^2$ 的P井形成。
- 13.如申請專利範圍第1項之方法，其中上述之第一重摻雜擴散區係由一具有摻質濃度約 $10^{15}/\text{cm}^2$ 之N⁺擴散區形成。
- 14.如申請專利範圍第1項之方法，其

- 中上述之第二重摻雜擴散區係由一具有摻質濃度約 $10^{15}/\text{cm}^2$ 的P⁺擴散區形成。
5. 15.如申請專利範圍第1項之方法，其中上述之第三重摻雜擴散區係由一具有摻質濃度約 $10^{15}/\text{cm}^2$ 的N⁺擴散區形成。
10. 16.如申請專利範圍第5項之方法，其中上述之第四重摻雜擴散區係由一具有摻質濃度約 $10^{15}/\text{cm}^2$ 的P⁺擴散區形成。
15. 17.如申請專利範圍第7項之方法，其中上述之虛閘極之該第一多晶矽閘極電極及該第二多晶矽閘極電極係分別由一P型多晶矽閘極及一N型多晶矽閘極形成。
20. 18.如申請專利範圍第1項之方法，其中一該淺溝槽隔離區係形成於該第二重摻雜擴散區與該第三重摻雜擴散區之間的該第一井中，及一該淺溝槽隔離區係形成於該第一重摻雜擴散區與該第四重摻雜擴散區之間的該基底中。
25. 19.一種無淺溝槽隔絕的橫向矽控整流器，其至少包括：
 - 一P型矽基底；
 - 複數個淺溝槽隔離區，係形成於該基底中；
 - 一N井及一與之相鄰之P井，係形成於一對該淺溝槽隔離區之間的該基底中；
 - 一虛閘極，係形成於該N井中；
 - 一N型多晶矽閘極係形成於該P井上方，並連接至一陰極；
30. 35. 二第一N⁺擴散區，係形成於該N型多晶矽閘極的每一側，其中一該N⁺擴散區係位於該N型多晶矽閘極與該虛閘極之間，並橫跨一部份該N井及一部份該P井，而另一該N⁺擴散區係連接至該陰極；
- 40.

- 一第一 P+ 擴散區，係形成於相對於形成於該虛閘極一側的該第一 N+ 擴散區的該虛閘極的另一側，該第一 P+ 擴散區連接至一陽極；
- 一第二 P+ 擴散區，係形成於連接該陰極的該第一 N+ 擴散區與一該淺溝槽隔離區之間的該基底中，該第二 P+ 擴散區連接至該陰極；及
- 一第二 N+ 擴散區，係形成於該第一 P+ 擴散區與一淺溝槽隔離區之間的該 N 井中，該第二 N+ 擴散區連接至該陽極。
20. 如申請專利範圍第 19 項之橫向矽控整流器，其中上述之虛閘極包括一 P 型多晶矽閘極電極及一 N 型多晶矽閘極電極，其中該 P 型多晶矽閘極電極相鄰於連接至該陽極的該第一 P+ 擴散區，及該 N 型多晶矽閘極電極相鄰於橫跨該 N 井及該 P 井的該第一 N+ 擴散區。
21. 如申請專利範圍第 19 項之橫向矽控整流器，其中上述之虛閘極係由一金屬閘極形成。
22. 如申請專利範圍第 19 項之橫向矽控整流器，其中上述之第一 N+ 擴散區之摻質濃度約 $10^{15}/\text{cm}^2$ 。
23. 如申請專利範圍第 19 項之橫向矽控整流器，其中上述之第二 N+ 擴散區之摻質濃度約 $10^{15}/\text{cm}^2$ 。
24. 如申請專利範圍第 19 項之橫向矽控整流器，其中上述之第一 P+ 擴散區之摻質濃度約 $10^{15}/\text{cm}^2$ 。
25. 如申請專利範圍第 19 項之橫向矽控整流器，其中上述之第二 P+ 擴散區之摻質濃度約 $10^{15}/\text{cm}^2$ 。
26. 如申請專利範圍第 19 項之橫向矽控整流器，其中一該淺溝槽隔離區係形成於該第一 P+ 擴散區與一該第二 N+ 擴散區之間的該 N 井中，及一該淺溝槽隔離區係形成於另一該第一

- N+ 擴散區與該第二 P+ 擴散區之間的該 P 井中。
27. 一種無淺溝槽隔絕之橫向矽控整流器之製造方法，其至少包括：
5. 提供具有一第一導電性的一半導體基底；
- 形成複數個淺溝槽隔離區於該基底中；
- 形成具有一第二導電性的一第一井於一對該淺溝槽隔離區之間的該基底中；
10. 形成具有該第一導電性的一 MOS 閘極於該第一井上方；
- 形成一虛閘極於該第一井旁的該基底中；
15. 分別形成具有該第一導電性的一第一重摻雜擴散區於該 MOS 閘極每一側的該第一井中，其中一該第一重摻雜擴散區橫跨一部份的該第一井與一部份的該基底，並相鄰於該虛閘極的一側，而與其相對的另一該第一重摻雜擴散區係連接至一陽極；及
20. 形成具有該第二導電性的一第二重摻雜擴散區於相對於鄰接該虛閘極一側的該第一重摻雜擴散區的該虛閘極的另一側，該第二重摻雜擴散區連接至一陰極。
28. 如申請專利範圍第 27 項之方法，其中上述之 MOS 閘極係連接至該陰極。
30. 如申請專利範圍第 27 項之方法，其中具有該第二導電性的一第三重摻雜擴散區係形成於鄰接該虛閘極之該第一重摻雜擴散區一側的該第一井中。
35. 如申請專利範圍第 27 項之方法，其中上述之第三重摻雜擴散區係連接至該陽極。
40. 31. 如申請專利範圍第 27 項之方法，其

- 中具有該第一導電性之一第四重摻雜擴散區係形成於連接於該陰極的該第二重摻雜擴散區的一側的該基底中。
- 32.如申請專利範圍第31項之方法，其中上述之具有該第一導電性的該第四重摻雜擴散區係連接至該陰極。
- 33.如申請專利範圍第27項之方法，其中上述之虛閘極包括具有該第一導電性之一第一多晶矽閘極電極及具有該第二導電性之一第二多晶矽閘極電極，該第一多晶矽閘極電極鄰接於橫跨一部份該第一井與一部份該基底之該第一重摻雜擴散區，而該第二多晶矽閘極電極鄰接於連接該陰極的該第二重摻雜擴散區。
- 34.如申請專利範圍第27項之方法，其中上述之虛閘極係由一金屬閘極形成。
- 35.如申請專利範圍第27項之方法，其中具有該第一導電性之一第二井係形成於該第一井與一該淺溝槽隔離區之間的該基底中，該虛閘極、介於該虛閘極與該第四重摻雜擴散區之間的該第二重摻雜擴散區，及該第四重摻雜擴散區係由該第二井所包圍，而位於該 MOS 閘極與該虛閘極之間之該第一重摻雜擴散區橫跨一部份該第一井與一部份該第二井。
- 36.如申請專利範圍第27項之方法，其中上述之基底係由一 P 型矽基底形成。
- 37.如申請專利範圍第27項之方法，其中上述之第一井係由具有摻質濃度約 10^{12} 至 $10^{13}/\text{cm}^2$ 之一 N 井形成。
- 38.如申請專利範圍第27項之方法，其中上述之第二井係由具有摻質濃度約 10^{12} 至 $10^{13}/\text{cm}^2$ 之一 P 井形成。
- 39.如申請專利範圍第27項之方法，其

- 中上述之第一重摻雜擴散區係由具有摻質濃度約 $10^{15}/\text{cm}^2$ 之一 P+ 重摻雜擴散區形成。
- 40.如申請專利範圍第27項之方法，其中上述之第二重摻雜擴散區係由具有摻質濃度約 $10^{15}/\text{cm}^2$ 之一 N+ 重摻雜擴散區形成。
- 41.如申請專利範圍第29項之方法，其中上述之第三重摻雜擴散區係由具有摻質濃度約 $10^{15}/\text{cm}^2$ 之一 N+ 重摻雜擴散區形成。
- 42.如申請專利範圍第31項之方法，其中上述之第四重摻雜擴散區係由具有摻質濃度約 $10^{15}/\text{cm}^2$ 之一 P+ 重摻雜擴散區形成。
- 43.如申請專利範圍第33項之方法，其中上述之虛閘極之該第一多晶矽閘極電極與該第二多晶矽閘極電極分別由一 P 型多晶矽閘極與一 N 型多晶矽閘極形成。
- 44.如申請專利範圍第27項之方法，其中一該淺溝槽隔離區係形成於該第一重摻雜擴散區與該第三重摻雜擴散區之間的該第一井中，及一該淺溝槽隔離區係形成於該第二重摻雜擴散區與該第四重摻雜擴散區之間的該基底中。
- 45.一種無淺溝槽隔絕之橫向矽控整流器，其至少包括：
- 一 P 型矽基底；
- 複數個淺溝槽隔離區，係形成於該基底中；
- 一 N 井與一與之相鄰之一 P 井，係形成於一對該等淺溝槽隔離區之間之該基底中；
- 一虛閘極，係形成於該 P 井中；
- 一 P 型多晶矽閘極，係形成於該 N 井中，並連接至一陽極；
- 二第一 P+ 重摻雜擴散區，係分別形成於該 P 型多晶矽閘極之每一側，其

中一該第一 P+ 重摻雜擴散區係位於該 P 型多晶矽閘極與該虛閘極之間，並橫跨一部份該 N 井與一部份該 P 井，而另一該第一 P+ 重摻雜擴散區係連接至該陽極；

一第一 N+ 重摻雜擴散區，係形成於相對形成於該虛閘極一側的該第一 P+ 重摻雜擴散區之該虛閘極的另一側；

一第二 P+ 重摻雜擴散區，係形成於連接該陰極之該第一 N+ 重摻雜擴散區與一該淺溝槽隔離區之間的該 P 井中，該第二 P+ 重摻雜擴散區連接至該陰極；及

一第二 N+ 重摻雜擴散區，係形成於該第一 P+ 重摻雜擴散區與一該淺溝槽隔離區之間的該 N 井中，該第二 N+ 重摻雜擴散區連接至該陽極。

46. 如申請專利範圍第 45 項之橫向矽控整流器，其中上述之虛閘極包括一 P 型多晶矽閘極電極及一 N 型多晶矽閘極電極，該 P 型多晶矽閘極電極相鄰於橫跨該 N 井與該 P 井之該第一 P+ 重摻雜擴散區，及該 N 型多晶矽閘極電極係相鄰於連接該陰極的該第一 N+ 重摻雜擴散區。

47. 如申請專利範圍第 45 項之橫向矽控整流器，其中上述之虛閘極係由一金屬閘極形成。

48. 如申請專利範圍第 45 項之橫向矽控整流器，其中上述之第一重摻雜 N+ 擴散區具有摻質濃度約 $10^{15}/\text{cm}^2$ 。

49. 如申請專利範圍第 45 項之橫向矽控整流器，其中上述之第二重摻雜 N+ 擴散區具有摻質濃度約 $10^{15}/\text{cm}^2$ 。

50. 如申請專利範圍第 45 項之橫向矽控整流器，其中上述之第一重摻雜 P+ 擴散區具有摻質濃度約 $10^{15}/\text{cm}^2$ 。

51. 如申請專利範圍第 45 項之橫向矽控整流器，其中上述之第二重摻雜 P+

擴散區具有摻質濃度約 $10^{15}/\text{cm}^2$ 。

52. 如申請專利範圍第 45 項之橫向矽控整流器，其中一該淺溝槽隔離區係形成於該第一重摻雜 P+ 擴散區與該第二重摻雜 N+ 擴散區之間的該 N 井中，及一該淺溝槽隔離區係形成於該第一重摻雜 N+ 擴散區與該第二重摻雜 P+ 擴散區之間的該 P 井中。

圖式簡單說明：

10. 第一圖描述揭露於美國專利第 5012317 號之一習知橫向矽控整流器的截面示意圖；

15. 第二圖描述揭露於美國專利第 4939616 號之一習知經修飾的橫向矽控整流器的截面示意圖；

20. 第三圖描述揭露於美國專利第 5465189 號之一習知低電壓觸發的矽控整流器的截面示意圖；

25. 第四圖描述揭露於美國專利第 5225702 號之另一習知橫向矽控整流器的截面示意圖；

30. 第五圖描述揭露於美國專利第 5754381 號之一習知高電流 NMOS 觸發的橫向矽控整流器的截面示意圖；

35. 第六圖描述揭露於美國專利第 6081002 號之又另一習知橫向矽控整流器的截面示意圖；

40. 第七 A 圖描述本發明之一 NMOS 觸發的橫向矽控整流器的截面示意圖；

第七 B 圖描述第七 A 圖之 NMOS 觸發的橫向矽控整流器的一變化例的截面示意圖；

35. 第八 A 圖描述本發明之一 PMOS 觸發的橫向矽控整流器的截面示意圖；

第八 B 圖描述第八 A 圖之 PMOS 觸發的橫向矽控整流器的一變化例的截面示意圖；

40. 第九圖為第七圖之 NMOS 觸發的

11

12

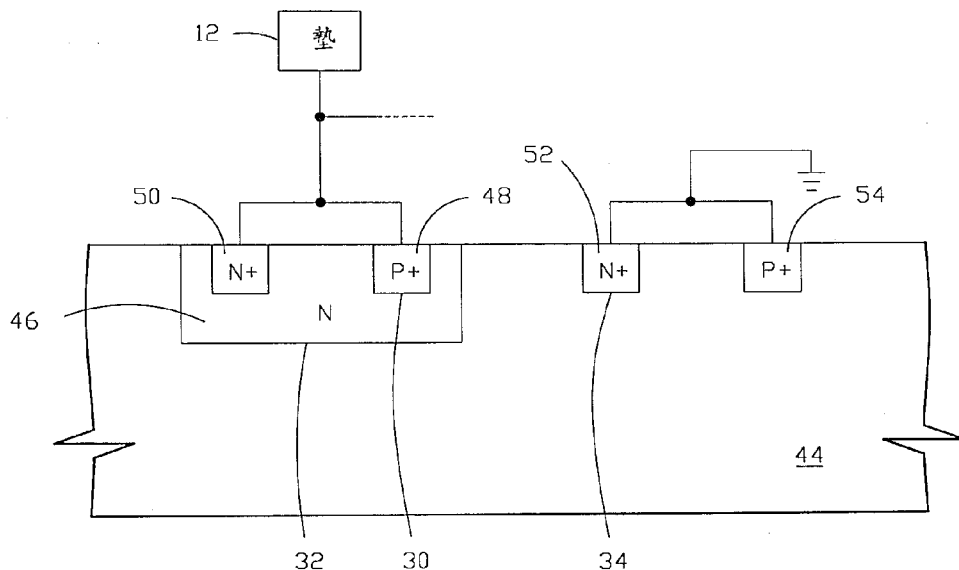
橫向矽控整流器的佈局示意圖；

第十圖描述第七A圖之NMOS觸發的橫向矽控整流器的另一變化例的截面示意圖；

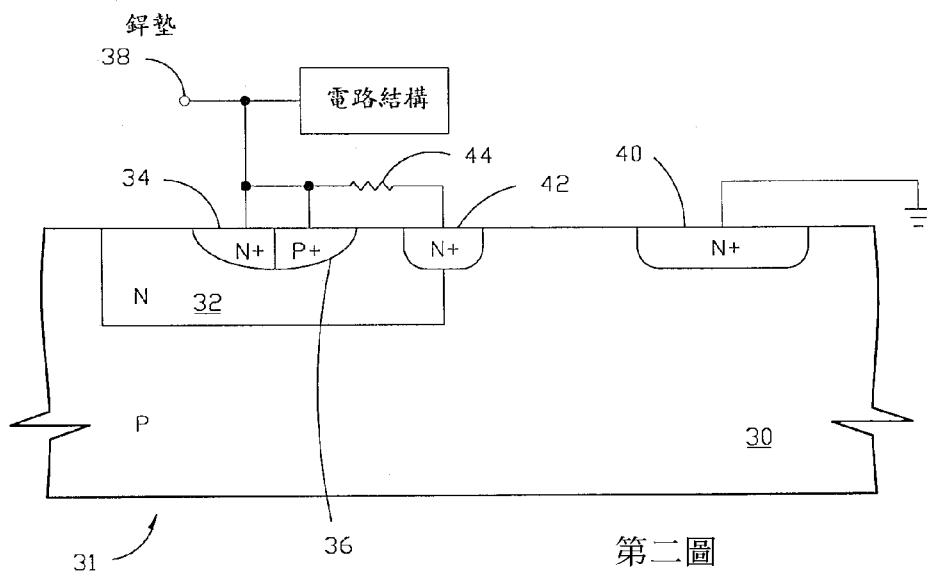
第十一圖描述第八A圖之PMOS觸發的橫向矽控整流器的另一變化例的截面示意圖；

第十二圖描述第七A圖之NMOS觸發的橫向矽控整流器的又一變化例的截面示意圖；及

第十三圖描述第八A圖之PMOS觸發的橫向矽控整流器的又一變化例的截面示意圖。

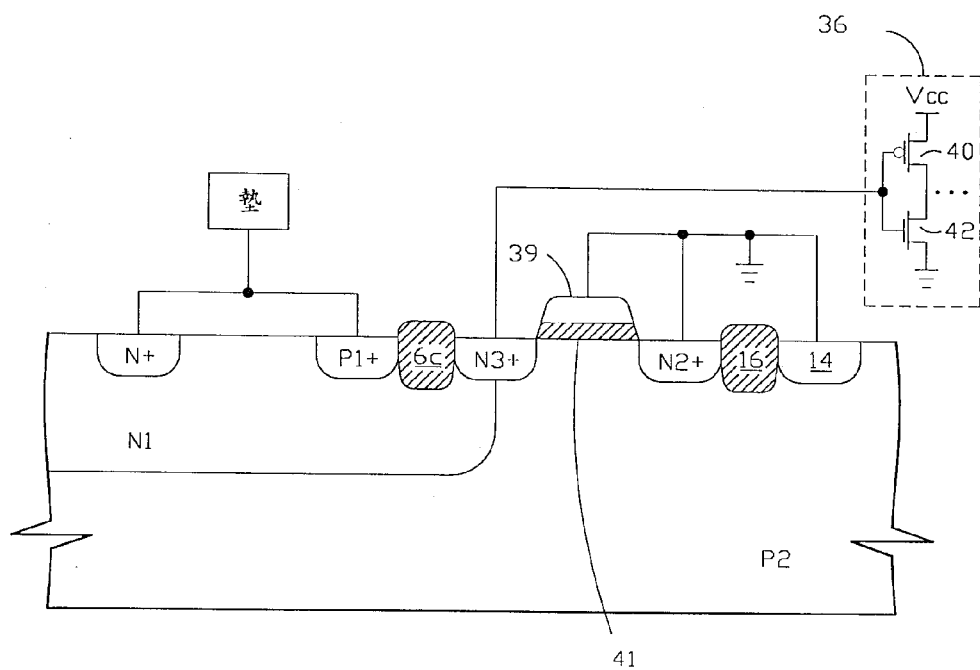


第一圖

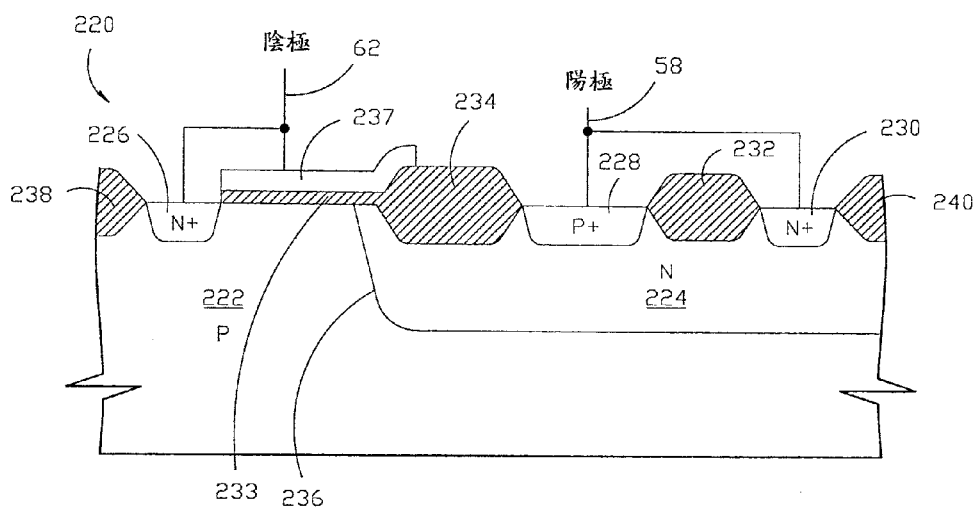


第二圖

(7)

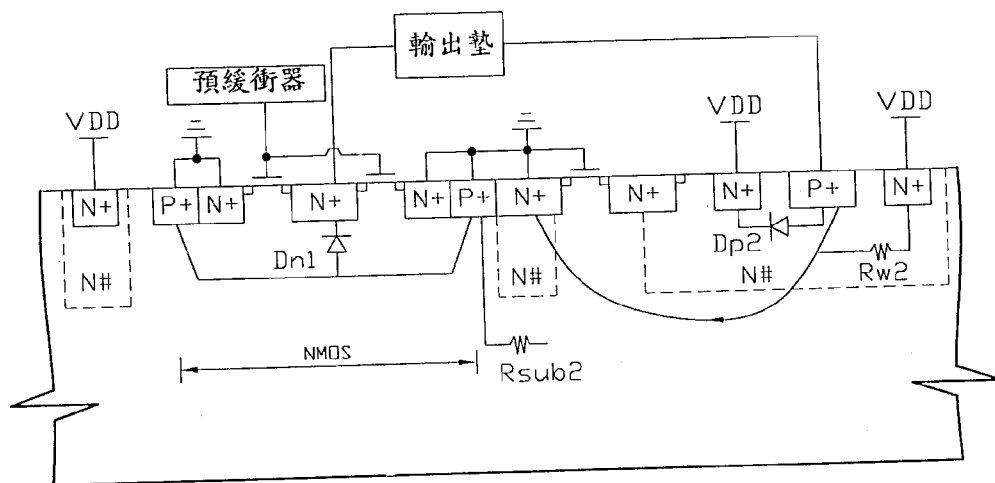


第三圖

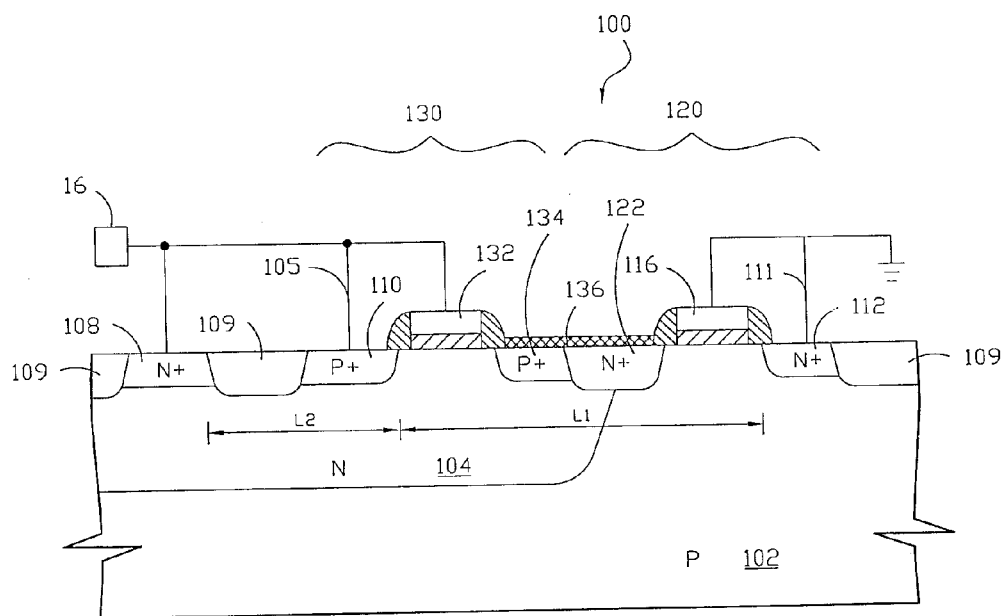


第四圖

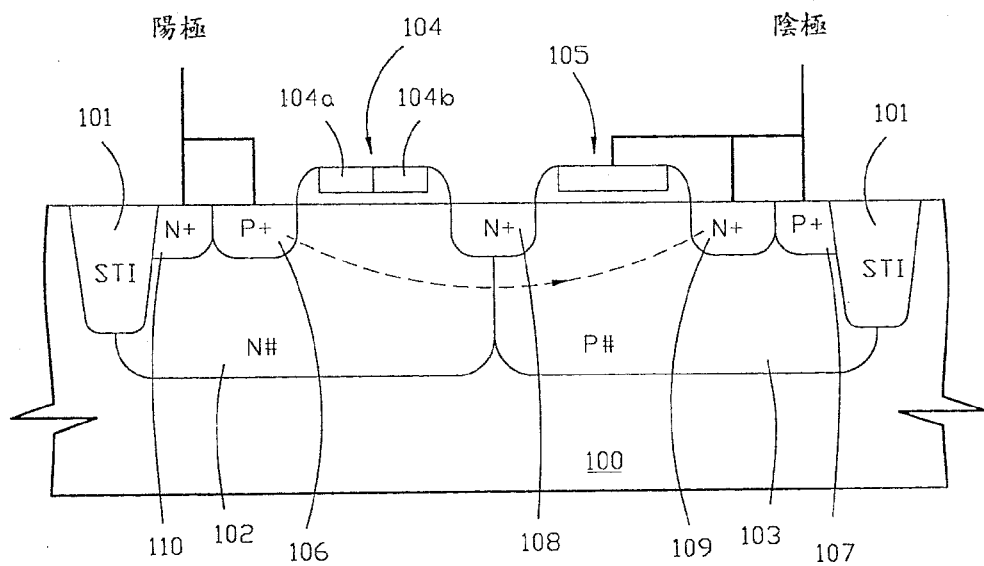
(8)



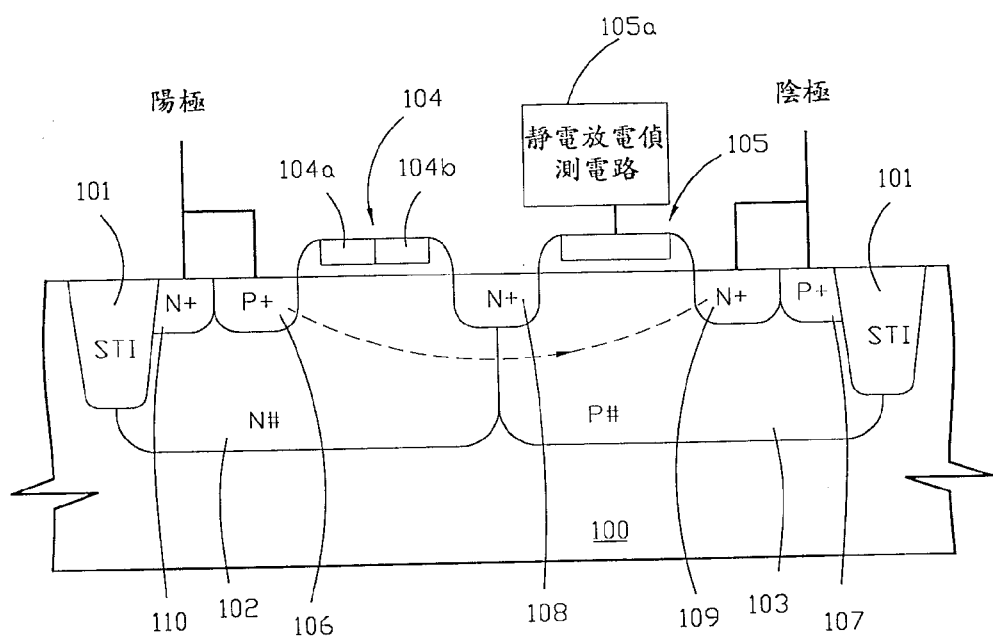
第五圖



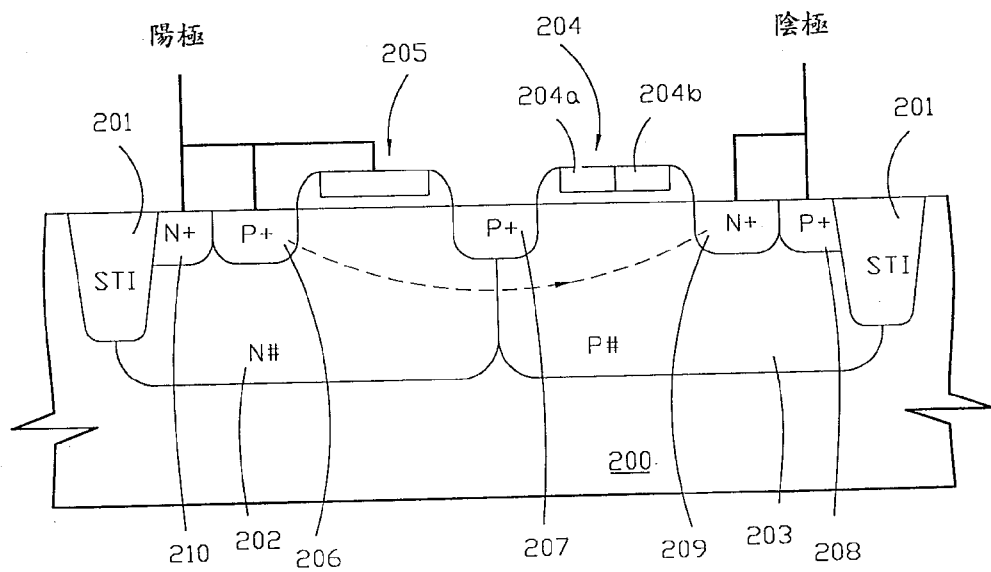
第六圖



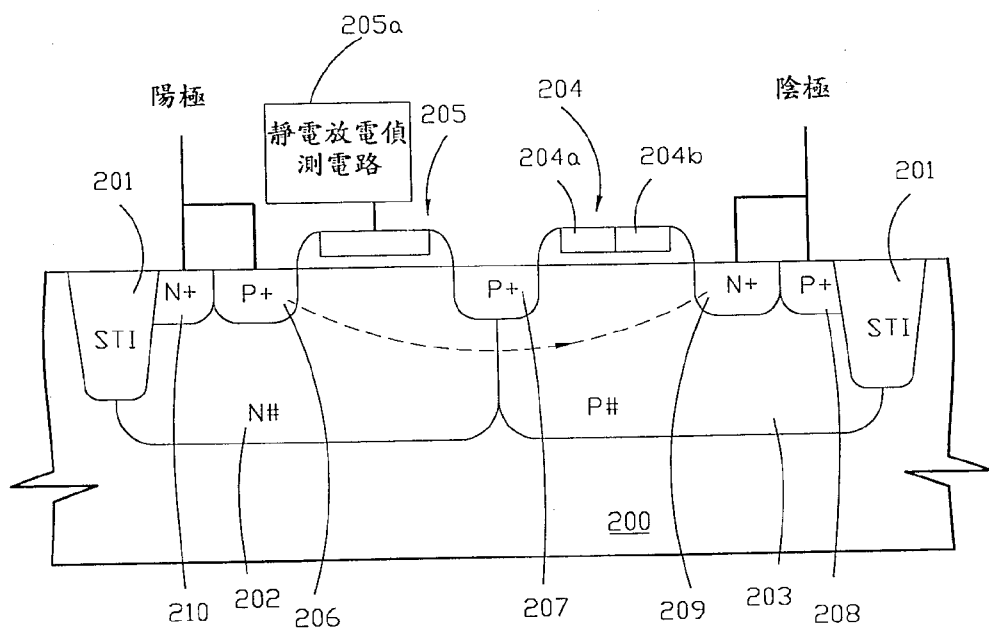
第七A圖



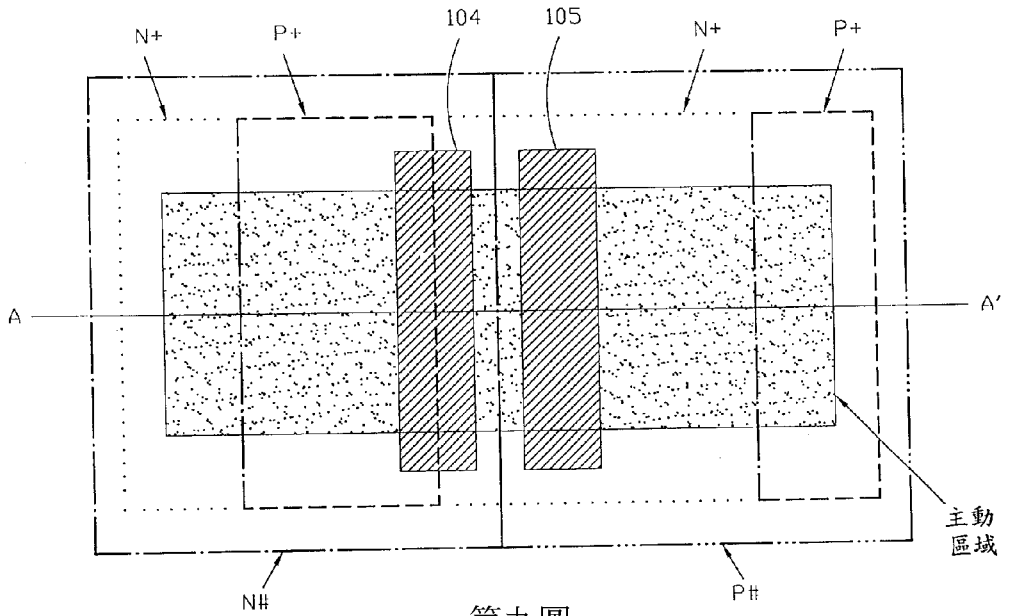
第七B圖



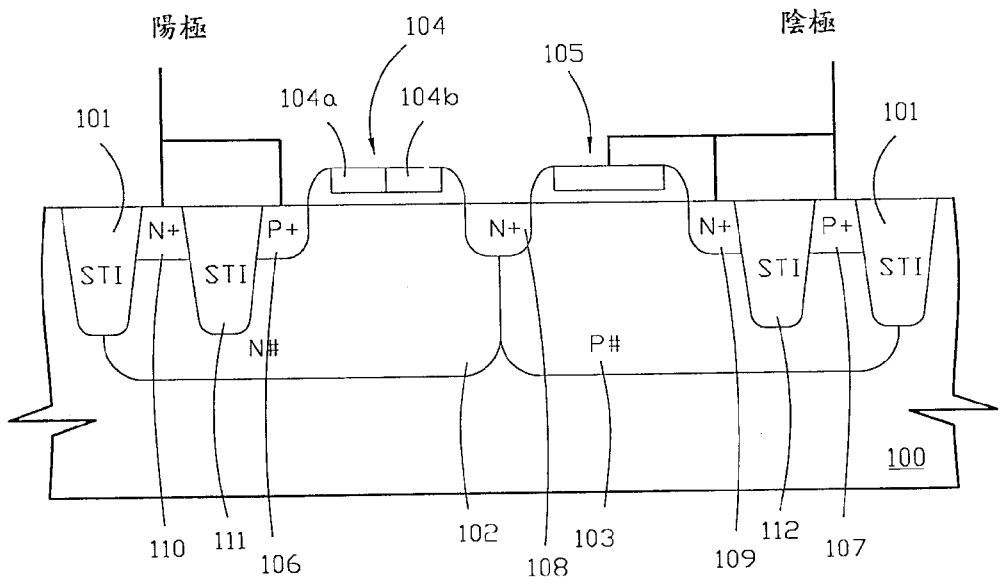
第八A圖



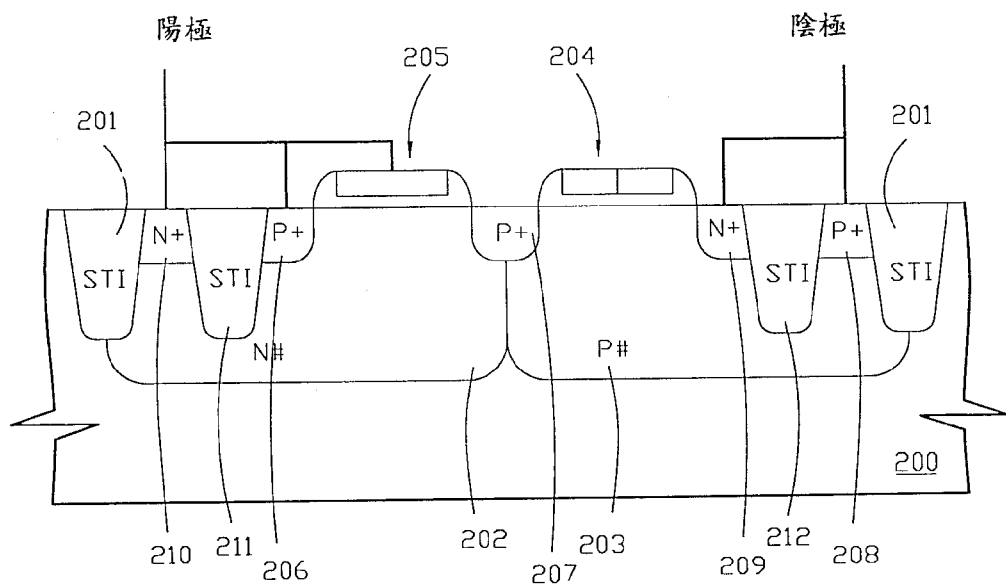
第八B圖



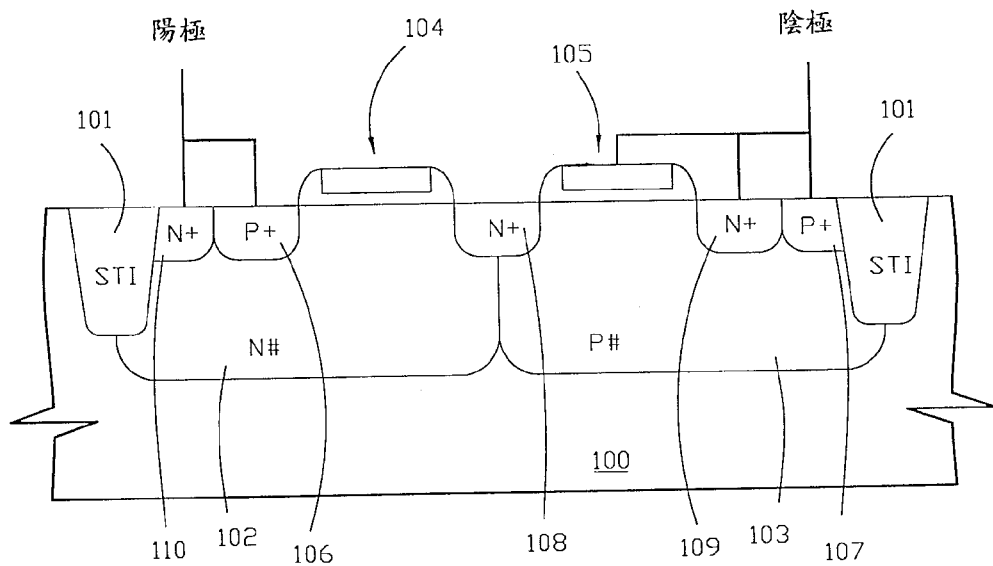
第九圖



第十圖



第十一圖



第十二圖

