

[11]公告編號：486804

[44]中華民國 91 年 (2002) 05 月 11 日

發明

全 10 頁

[51] Int.Cl⁰⁷：H01L23/60

[54]名稱：雙觸發式靜電放電防護電路

[21]申請案號：090109741

[22]申請日期：中華民國 90 年 (2001) 04 月 24 日

[72]發明人：

柯明道

洪根剛

黃紹璋

新竹市寶山路二〇〇巷三號四樓之三

彰化縣芬園鄉彰南路五段五十三號

嘉義縣布袋鎮復興里六六九號

[71]申請人：

聯華電子股份有限公司

新竹科學工業園區新竹市力行二路三號

[74]代理人：詹銘文 先生

1

2

[57]申請專利範圍：

1.一種雙觸發式靜電放電防護電路，耦接於一第一電壓源與一第二電壓源之間，該雙觸發式靜電放電防護電路包括：

一二極體串，由複數個二極體串聯所構成，該些二極體之第一個二極體的陽極與該第一電壓源耦接；以及

一電晶體，其中該電晶體之閘極耦接於該二極體串之最後一個二極體的陽極，該電晶體之基底耦接於該二極體串之最後一個二極體的陰極，該電晶體之汲極／源極分別耦接於該第一電壓源與該第二電壓源之間

其中當該二極體串之最後一個二極體的陽極電壓(Vg)大於陰極電壓(Vs)時，該電晶體之閘極電壓大於該電晶體之基底電壓，使得一正靜電放電電壓電壓會先經由該電晶體之閘

極將該電晶體導通；

當該二極體串之最後一個二極體的陽極電壓(Vg)等於陰極電壓(Vs)時，該電晶體之閘極電壓等於該電晶體 N1 之基底電壓，使得該電晶體之閘極與基底／源極接面上有同的觸發電壓；

當該二極體串之最後一個二極體的陽極電壓(Vg)小於陰極電壓(Vs)時，該電晶體之閘極電壓小於該電晶體之基底電壓，使得該電晶體之基底／源極接面上會被先觸發。

2.如申請專利範圍第 1 項所述之雙觸發式靜電放電防護電路，其中該第一電壓源之電壓高於該第二電壓源之電壓。

3.如申請專利範圍第 1 項所述之雙觸發式靜電放電防護電路，更包括一寄生二極體耦接於該電晶體之基底與源極之間。

- 4.如申請專利範圍第1項所述之雙觸發式靜電放電防護電路，其中該電晶體為一NMOS電晶體。
- 5.如申請專利範圍第1項所述之雙觸發式靜電放電防護電路，其中該二極體串之導通電壓大於該第一電壓源。
- 6.如申請專利範圍第5項所述之雙觸發式靜電放電防護電路，其中該二極體串之導通電壓小於電壓該電晶體之反轉P-N接合面的崩潰電壓。
- 7.如申請專利範圍第5項所述之雙觸發式靜電放電防護電路，其中該二極體串之該最後一個二極體的陽極電壓小於該電晶體的臨界電壓。
- 8.如申請專利範圍第5項所述之雙觸發式靜電放電防護電路，其中該電晶體的基底電壓必須小於該電晶體之基底／源極接面之切入(cut-in)電壓。
- 9.一種雙觸發式靜電放電防護電路，耦接於一輸出入焊墊、一電壓源與一內部電路之間，該雙觸發式靜電放電防護電路包括：
 - 一二極體，該二極體之陰極耦接至該輸出入焊墊，且該二極體之陽極耦接至該電壓源；
 - 一二極體串，由複數個二極體串聯所構成，該些二極體之第一個二極體的陽極與該輸出入焊墊耦接；以及
 - 一電晶體，其中該電晶體之閘極耦接於該二極體串之最後一個二極體的陽極，該電晶體之基底耦接於該二極體串之最後一個二極體的陰極，該電晶體之源極／汲極分別耦接於該電壓源與該輸出入焊墊之間，其中當該二極體串之最後一個二極體的陽極電壓(Vg)大於陰極電壓(Vs)時，該電晶體之閘極電壓大於該電

- 晶體之基底電壓，使得一正靜電放電電壓電壓會先經由該電晶體之閘極將該電晶體導通；
- 當該二極體串之最後一個二極體的陽極電壓(Vg)等於陰極電壓(Vs)時，該電晶體之閘極電壓等於該電晶體N1之基底電壓，使得該電晶體之閘極與基底／源極接面上有同的觸發電壓；
- 當該二極體串之最後一個二極體的陽極電壓(Vg)小於陰極電壓(Vs)時，該電晶體之閘極電壓小於該電晶體之基底電壓，使得該電晶體之基底／源極接面上會被先觸發。
- 10.如申請專利範圍第9項所述之雙觸發式靜電放電防護電路，更包括一寄生二極體耦接於該電晶體之基底與源極之間。
- 11.如申請專利範圍第9項所述之雙觸發式靜電放電防護電路，其中該電晶體為一NMOS電晶體。
- 12.如申請專利範圍第9項所述之雙觸發式靜電放電防護電路，其中該二極體串之導通電壓大於該電壓源。
- 13.如申請專利範圍第12項所述之雙觸發式靜電放電防護電路，其中該二極體串之導通電壓小於電壓該電晶體之反轉P-N接合面的崩潰電壓。
- 14.如申請專利範圍第12項所述之雙觸發式靜電放電防護電路，其中該二極體串之該最後一個二極體的陽極電壓小於該電晶體的臨界電壓。
- 15.如申請專利範圍第12項所述之雙觸發式靜電放電防護電路，其中該電晶體的基底電壓必須小於該電晶體之基底，源極接面之切入(cut-in)電壓。
- 16.一種雙觸發式靜電放電防護電路，耦接於一輸出入焊墊、一電壓源與一內部電路之間，該雙觸發式靜電

放電防護電路包括：

一二極體，該二極體之陽極耦接至該輸出入焊墊，且該二極體之陰極耦接至該電壓源；

一二極體串，由複數個二極體串聯所構成，該些二極體之最後一個二極體的陰極與該輸出入焊墊耦接；以及

一電晶體，其中該電晶體之閘極耦接於該二極體串之第一個二極體的陰極，該電晶體之基底耦接於該二極體串之第一個二極體的陽極，該電晶體之源極／汲極分別耦接於該電壓源與該輸出入焊墊之間，

其中當該二極體串之第一個二極體的陽極電壓($|V_g|$)大於陰極電壓($|V_s|$)時，該電晶體之閘極電壓大於該電晶體之基底電壓，使得一負靜電放電電壓會先經由該電晶體的閘極將該電晶體導通；

當該二極體串之第一個二極體的陽極電壓($|V_g|$)等於陰極電壓($|V_s|$)時，該電晶體之閘極電壓等於該電晶體之基底電壓，使得該電晶體之閘極與基底／源極接面上有同的觸發電壓；

當該二極體串之第一個二極體的陽極電壓($|V_g|$)小於陰極電壓($|V_s|$)時，該電晶體P1之閘極電壓小於該電晶體之基底電壓，使得該電晶體P1的基底／源極接面上會被先觸發。

17.如申請專利範圍第16項所述之雙觸發式靜電放電防護電路，更包括一寄生二極體耦接於該電晶體之基底與源極之間。

18.如申請專利範圍第16項所述之雙觸發式靜電放電防護電路，其中該電晶體為一PMOS電晶體。

19.如申請專利範圍第16項所述之雙觸

發式靜電放電防護電路，其中該二極體串之導通電壓的絕對值大於該電壓源。

20.如申請專利範圍第19項所述之雙觸發式靜電放電防護電路，其中該二極體串之導通電壓的絕對值小於電壓該電晶體之反轉P-N接合面的崩潰電壓。

21.如申請專利範圍第19項所述之雙觸發式靜電放電防護電路，其中該二極體串之該最後一個二極體的陽極電壓的絕對值小於該電晶體的臨界電壓。

22.如申請專利範圍第19項所述之雙觸發式靜電放電防護電路，其中該電晶體的基底電壓必須小於該電晶體之基底／源極接面之切入(cut-in)電壓。

23.一種雙觸發式靜電放電防護電路，耦接於一輸出入焊墊、一第一電壓源、一第二電壓源之間，該雙觸發式靜電放電防護電路包括：

一第一二極體，該第一二極體之陽極耦接至該輸出入焊墊，且該第一二極體之極耦接至該第一電壓源；

一第一二極體串，由複數個二極體串聯所構成，該第一二極體串中之該最後一個二極體的陰極與該輸出入焊墊耦接；

一第一電晶體，其中該第一電晶體之閘極耦接於該二極體串之第一個二極體的陰極，該第一電晶體之基底耦接於該二極體串之第一個二極體的陽極，該第一電晶體之源極／汲極分別耦接於該第一電壓源與該輸出入焊墊之間；

一第二二極體，該第二二極體之陰極耦接至該輸出入焊墊，且該第二二極體之陽極耦接至該第二電壓源；

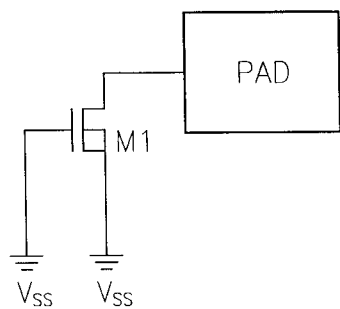
- 一第二二極體串，由複數個二極體串聯所構成，該第二二極體中之該第一個二極體的陽極與該輸出焊墊耦接；
- 一第二電晶體，其中該第二電晶體之閘極耦接於該第二二極體串中之該最後一個二極體的陽極，該第二電晶體之基底耦接於該二極體串中之該最後一個二極體的陰極，該電晶體之源極／汲極分別耦接於該第二電壓源與該輸出焊墊之間；
- 一第三二極體串，由複數個二極體串聯所構成，該第三二極體中之該第一個二極體的陽極與該第一電壓源耦接；以及
- 一第三電晶體，其中該第三電晶體之閘極耦接於該第三二極體串中之該最後一個二極體的陽極，該第三電晶體之基底耦接於該二極體串中之該最後一個二極體的陰極，該電晶體之源極／汲極分別耦接於該第一與該第二電壓源之間。
- 24.如申請專利範圍第23項所述之雙觸發式靜電放電防護電路，更包括一第一、一第二與一第三寄生二極體分別耦接於該第一、該第二與該第三電晶體之基底與源極之間。
- 25.如申請專利範圍第23項所述之雙觸發式靜電放電防護電路，其中該第一電晶體為PMOS電晶體，且該第二與該第三電晶體為NMOS電晶

體。

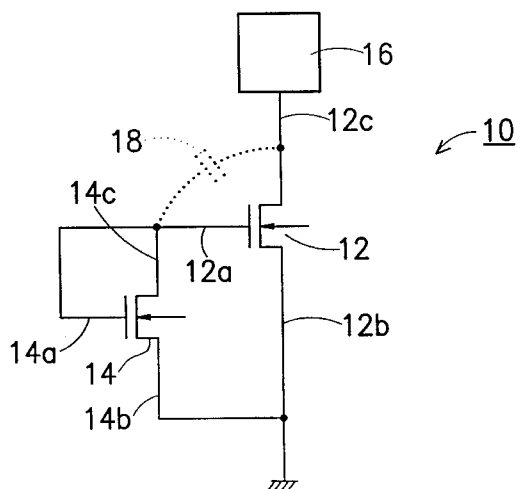
圖式簡單說明：

- 第1圖繪示一種習知之靜電放電防護電路圖；
5. 第2圖繪示一種習知之靜電放電防護電路圖；
- 第3圖繪示第2圖中之汲極電壓與波極電流間的崩潰特性曲線；
- 第4圖繪示一種習知之閘極驅動式靜電放電防護電路圖；
10. 第5圖繪示一種習知之電容耦合式靜電放電防護電路圖；
- 第6圖繪示一種習知之本體耦合閘極式靜電放電防護電路圖；
15. 第7圖繪示閘極耦合元件之電流與電壓的關係圖；
- 第8圖繪示基底電壓 V_{sub} 與電流 I_{D2} 之關係圖；
- 第9圖係依據本發明之雙觸發式靜電放電防護電路之第一實施例的電路示意圖；
20. 第10圖係依據本發明之雙觸發式靜電放電防護電路之第二實施例的電路示意圖；
25. 第11圖係依據本發明之雙觸發式靜電放電防護電路之第三實施例的電路示意圖；以及
- 第12圖係依據本發明之雙觸發式靜電放電防護電路之第四實施例的電路示意圖。
- 30.

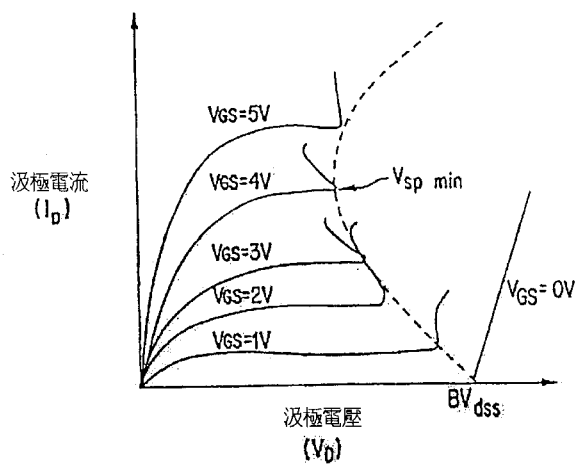
(5)



第 1 圖

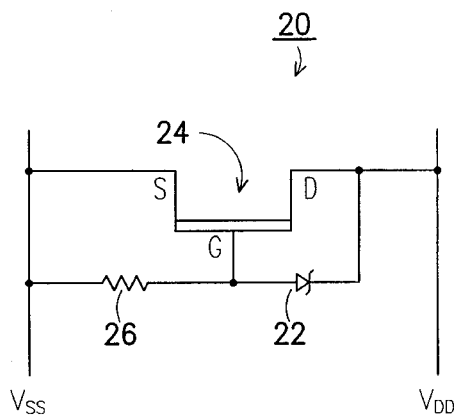


第 2 圖

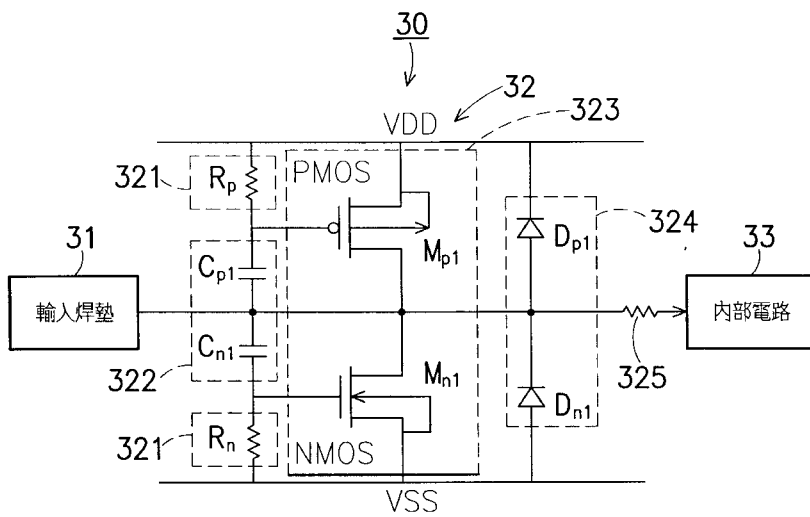


第 3 圖

(6)

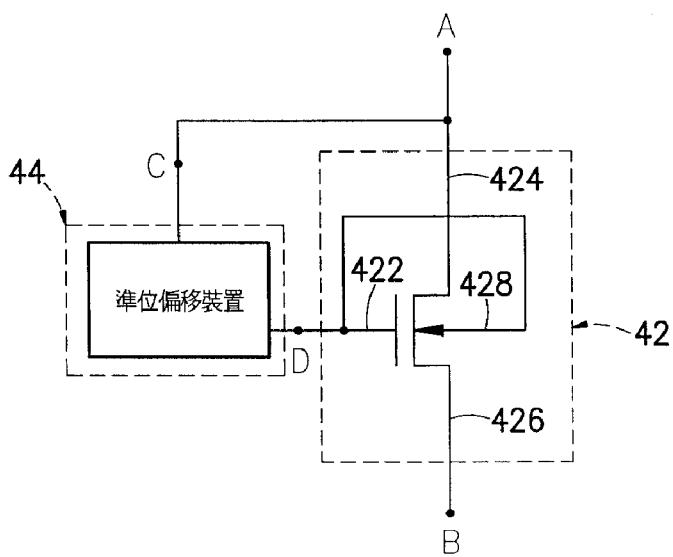


第 4 圖

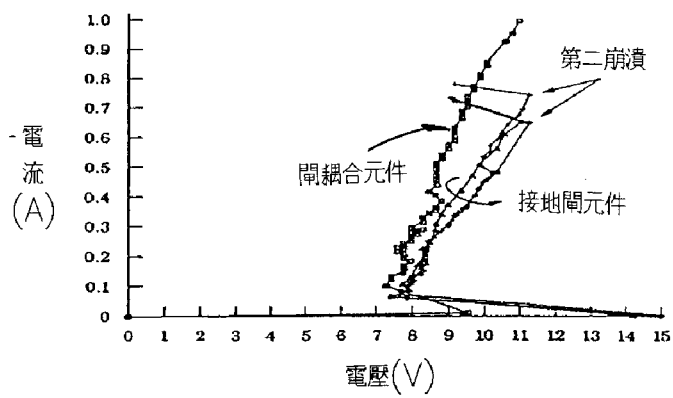


第 5 圖

(7)

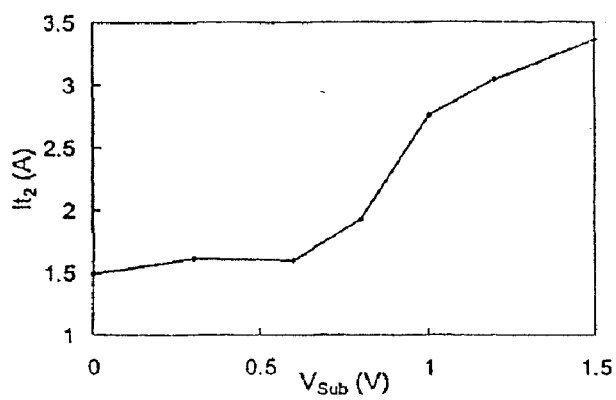


第 6 圖

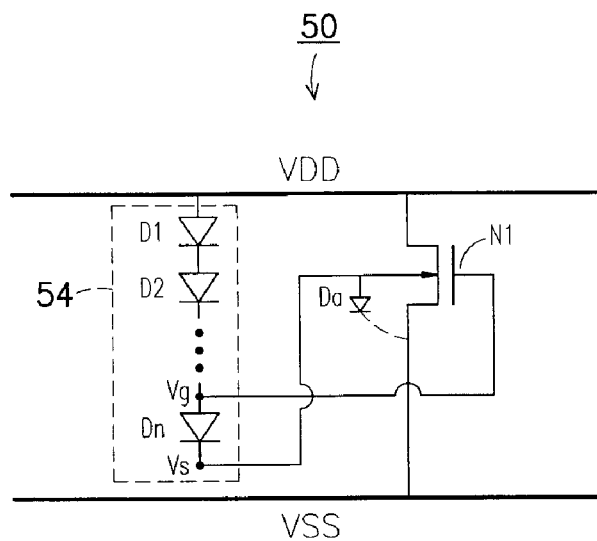


第 7 圖

(8)

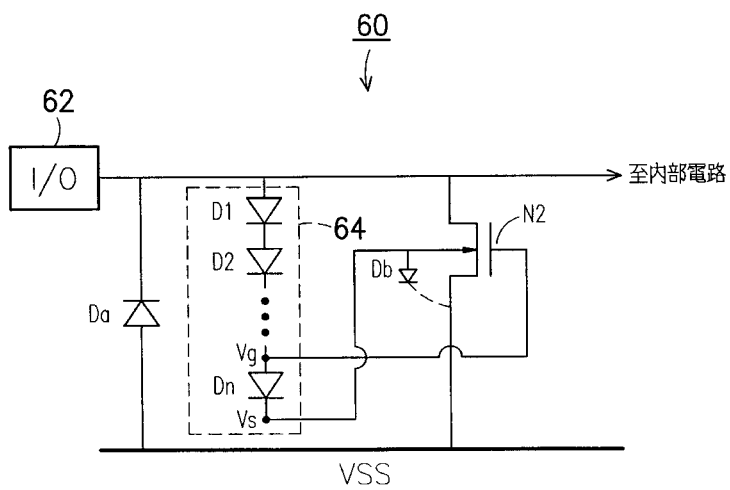


第 8 圖

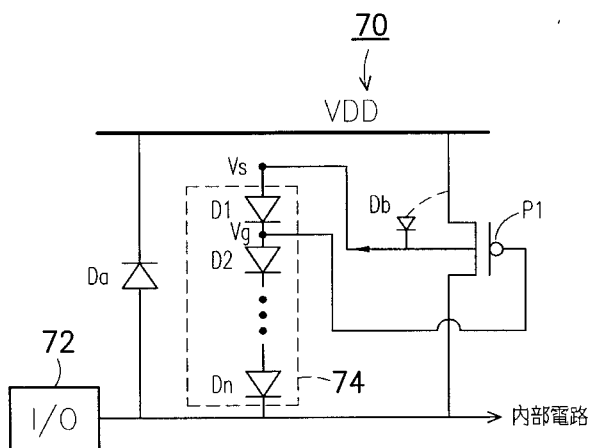


第 9 圖

(9)



第 10 圖



第 11 圖

