

中華民國專利公報 [19] [12]

[11]公告編號：488056

[44]中華民國 91 年 (2002) 05 月 21 日

發明

全 4 頁

[51] Int.Cl⁰⁷： H01L23/60

[54]名 稱： 加速次級導通之二級式靜電放電防護電路

[21]申請案號： 090109806

[22]申請日期： 中華民國 90 年 (2001) 04 月 24 日

[72]發 明 人：

林耿立

新竹縣竹東鎮中興路二段六五八巷十弄一號六樓之一

柯明道

新竹市高峰里寶山路二〇〇巷三號四樓之三

[71]申 請 人：

世界先進積體電路股份有限公司

新竹科學工業園區新竹縣園區三路一二三號

[74]代 理 人： 洪澄文 先生

1

2

[57]申請專利範圍：

1.一種二級式靜電放電(electrostatic discharge, ESD)防護電路，適用於一輸出入埠，耦合於一輸出入接合墊與一電源線之間，包含有：

一初級 ESD 防護電路，耦合於該輸出入接合墊與該電源線之間；

一 ESD 偵測電路，耦合於該輸出入接合墊與該電源線之間，

一串接電阻，耦合於該接合墊與一內部電路之間；以及

一次級 ESD 防護電路，耦合於該內部電路與該電源線之間，具有一控制端；

其中，當一 ESD 事件發生時，該 ESD 偵測電路提供一控制信號予該控制端，以使該次級 ESD 防護電路較該初級 ESD 防護電路早開啟，以釋放 ESD 電流。

2.如專利申請範圍第 1 項之二級式 ESD 防護電路，其中，該初級 ESD 防護

電路與該次級 ESD 防護電路均包含有 NMOS 電晶體。

3.如專利申請範圍第 1 項之二級式 ESD 防護電路，其中，該初級 ESD 防護電路係為一第一 NMOS 電晶體，具有一閘極，耦合至該電源線。

4.如專利申請範圍第 1 項之二級式 ESD 防護電路，其中，該次級 ESD 防護電路係為一第二 NMOS 電晶體，該控制端係為該第二 NMOS 電晶體之一閘極。

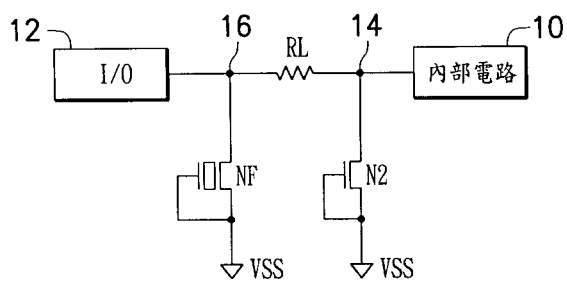
5.如專利申請範圍第 4 項之二級式 ESD 防護電路，其中，該初級 ESD 防護電路包含有一第一 NMOS 電晶體，具有一閘極，耦合至該電源線，該第二 NMOS 電晶體的臨界電壓較該第一 NMOS 電晶體的臨界電壓相同。

6.如專利申請範圍第 4 項之二級式 ESD 防護電路，其中，該初級 ESD 防護

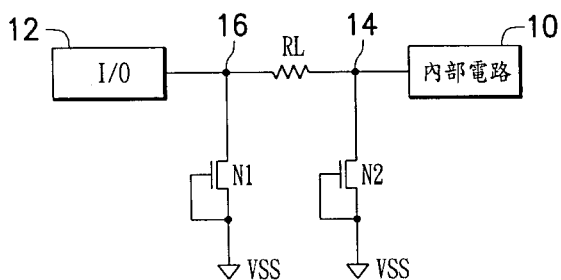
- 電路包含有一第一 NMOS 電晶體，具有一閘極，耦合至該電源線，該第二 NMOS 電晶體的臨界電壓較該第一 NMOS 電晶體的臨界電壓低。
- 7.如專利申請範圍第4項之二級式ESD防護電路，其中，該第二 NMOS 電晶體係為一原生型(native)NMOS 電晶體。
 - 8.如專利申請範圍第1項之二級式ESD防護電路，其中，該 ESD 偵測電路包含有一RC耦合電路，用以區別該 ESD 事件以及正常工作狀態。
 - 9.如專利申請範圍第1項之二級式ESD防護電路，其中，該電源線係為 VSS 電源線。
 - 10.如專利申請範圍第1項之二級式ESD防護電路，其中，該電源線係為 VDD 電源線。
 - 11.一種二級式 ESD 防護電路，適用於一輸出入埠，耦合於一輸出入接合墊與一位源線之間，包含有：
 - 一初級 ESD 防護電路，耦合於該輸出入接合墊與該電源線之間，包含有一個一般型 NMOS 電晶體，具有一第一臨界電壓；
 - 一串接電阻，耦合於該接合墊與一內部電路之間；以及
 - 一次級 ESD 防護電路，耦合於該內部電路與該電源線之間，包含有一原生型 NMOS 電晶體，具有較該第一臨界電壓低的一第二臨界電壓。
 其中，當一 ESD 事件發生時，該原生型 NMOS 電晶體較該一般型 NMOS 電晶體早開啟，以釋放 ESD 電流。

- 12.如專利申請範圍第11項之ESD防護電路，其中，該一般型 NMOS 電晶體具有耦合至該電源線的一源極以及一閘極，以及耦合至該輸出入接合墊的一汲極。
 - 13.如專利申請範圍第11項之ESD防護電路，其中，該原生型 NMOS 電晶體具有耦合至該電源線的一源極以及一閘極，以及耦合至該內部電路的一汲極。
 - 14.如專利申請範圍第11項之ESD防護電路，其中，該二級式 ESD 防護電路另包含有一 ESD 偵測電路，耦合於該輸出入接合墊與該電源線之間，當偵測到該 ESD 事件發生時，該 ESD 偵測電路觸發該原生型 NMOS 電晶體。
 - 15.如專利申請範圍第14項之ESD防護電路，其中，該 ESD 偵測電路包含有一RC耦合電路，用以區別該 ESD 事件以及正常工作狀態。
- 圖式簡單說明：
- 第1A圖為一種習知的二級式ESD防護電路示意圖；
- 第1B圖為另一種習知的二級式ESD防護電路示意圖；
- 第2A圖為本發明之二級式ESD防護電路之一示意圖；
- 第2B圖為第2A圖中之二級式ESD防護電路的一實施例；
- 第3A圖為本發明之二級式ESD防護電路之另一示意圖；以及
- 第3B圖為結合原生型NMOS與ESD偵測電路之二級式ESD防護電路。

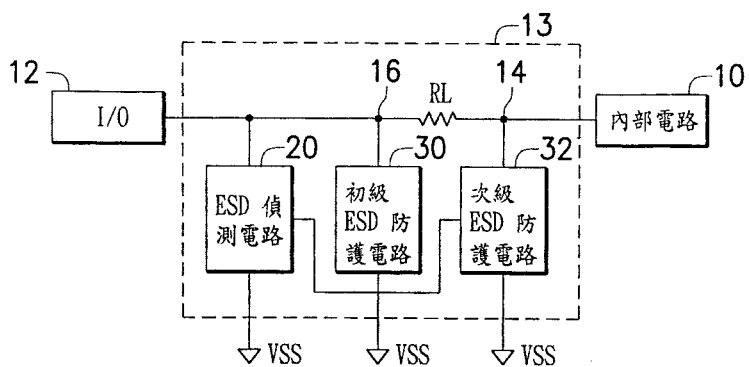
(3)



第 1A 圖

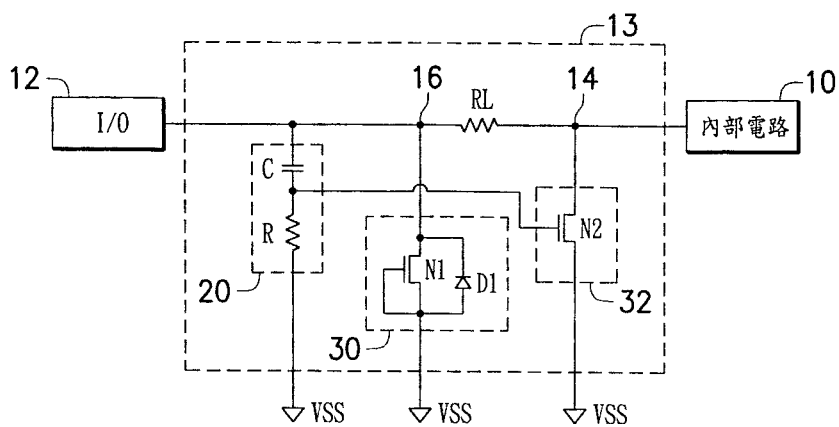


第 1B 圖

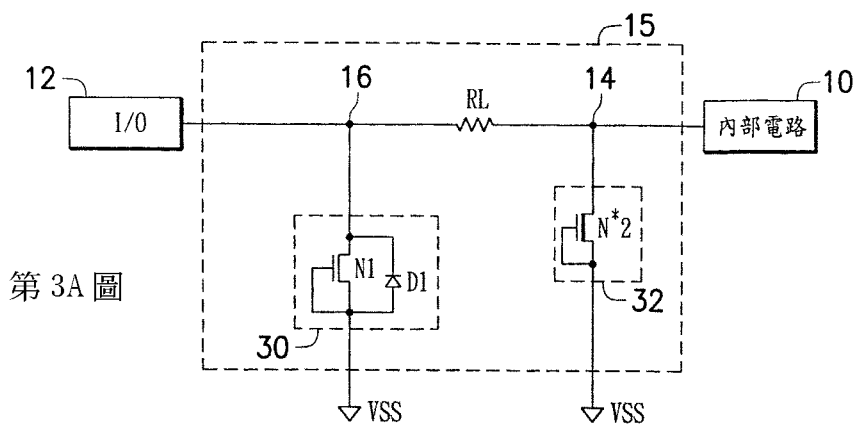


第 2A 圖

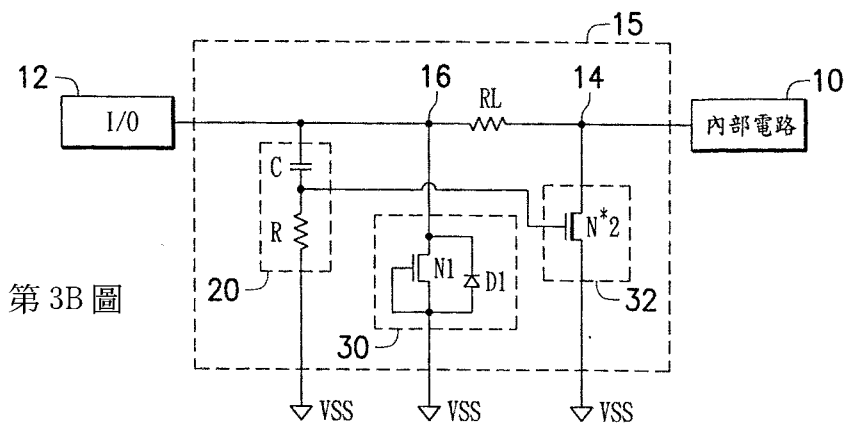
(4)



第 2B 圖



第 3A 圖



第 3B 圖