

[11]公告編號：492176

[44]中華民國 91 年 (2002) 06 月 21 日

發明

全 18 頁

[51] Int.Cl⁰⁷： H01L23/60

[54]名 稱： 矽晶層二極體及其製作方法

[21]申請案號： 090106579

[22]申請日期： 中華民國 90 年 (2001) 03 月 21 日

[72]發 明 人：

張智毅

柯明道

台北縣新莊市中和街一二五巷二十號九樓

新竹市寶山路二〇〇巷三號四樓之三

[71]申 請 人：

財團法人工業技術研究院

新竹縣竹東鎮中興路四段一九五號

[74]代 理 人：

1

2

[57]申請專利範圍：

1.一種積體電路元件，係包含：
一個半導體基材；和
一層矽晶層置於該半導體基材上，
其中

該矽晶層包含摻雜 n 型雜質的 n 型雜
質區與摻雜 p 型雜質的 p 型雜質區。

2.如申請專利範圍第 1 項之積體電路元
件，其中該半導體基材為基體晶
圓。

3.如申請專利範圍第 1 項之積體電路元
件，其中該半導體基材為絕緣層上
矽(SOI)晶圓。

4.如申請專利範圍第 1 項之積體電路元
件，其中該矽晶層為多晶矽
(polysilicon)。

5.如申請專利範圍第 1 項之積體電路元
件，更進一步在該矽晶層與該半導
體基材間有一閘極介電層(gate
insulator)。

6.如申請專利範圍第 1 項之積體電路元

件，更進一步在該矽晶層下方有一
製作於半導體基材內之隔絕結構。

7.如申請專利範圍第 1 項之積體電路元
件，更進一步在該 n 型雜質區與 p 型
雜質區中間有一低濃度雜質區或純
質區，其雜質濃度低於 n 型雜質區或
p 型雜質區之雜質濃度。

8.如申請專利範圍第 7 項之積體電路元
件，其中該低濃度雜質區為 n 型雜質
區或 p 型雜質區。

9.一種積體電路元件，係包含：
一個半導體基材；

一個井區(well)製作於該半導體基材
內；

一層矽晶層置於該井區上方；和
一高雜質濃度區域製作於該井區
內，其中

該矽晶層包含摻雜 n 型雜質的 n 型雜
質區與摻雜 p 型雜質的 p 型雜質區。

10.如申請專利範圍第 9 項之積體電路

- 元件，其中該半導體基材為基體晶圓。
- 11.如申請專利範圍第9項之積體電路元件，其中該半導體基材為絕緣層上矽(SOI)晶圓。
 - 12.如申請專利範圍第9項之積體電路元件，其中該矽晶層為多晶矽(polysilicon)。
 - 13.如申請專利範圍第9項之積體電路元件，更進一步在該矽晶層與該半導體基材間有一閘極介電層(gate insulator)。
 - 14.如申請專利範圍第9項之積體電路元件，更進一步在該n型雜質區與p型雜質區中間有一低濃度雜質區或純質區。
 - 15.如申請專利範圍第14項之積體電路元件，更進一步包含：
 - 一個第一隔絕結構；和
 - 一個第二隔絕結構，其中第一隔絕結構與第二隔絕結構所包圍的井區部分位於該低濃度雜質區或純質區之下方。
 - 16.如申請專利範圍第15項之積體電路元件，其中該高雜質濃度區域用來提供偏壓訊號給井區以控制井區上方之晶矽層半導體接面狀態，來提供靜電放電防護。
 - 17.一種積體電路元件，係包含：
 - 一個半導體基材；
 - 一層矽晶層置於該半導體基材上方；和
 - 一高雜質濃度區域製作於該半導體基材內，其中該矽晶層包含摻雜n型雜質的n型雜質區與摻雜p型雜質的p型雜質區。
 - 18.如申請專利範圍第17項之積體電路元件，其中該半導體基材為基體晶圓。
 - 19.如申請專利範圍第17項之積體電路

- 元件，其中該半導體基材為絕緣層上矽(SOI)晶圓。
- 20.如申請專利範圍第17項之積體電路元件，其中該矽晶層為多晶矽(polysilicon)。
 - 21.如申請專利範圍第17項之積體電路元件，更進一步在該矽晶層與該半導體基材間有一閘極介電層(gate insulator)。
 - 22.一種積體電路元件，從積體電路接收訊號，其包含最少一個矽晶層二極體來對該訊號做反應，以提供靜電放電防護功能。
 - 23.如申請專利範圍第22項之積體電路元件，其中所述最少一個矽晶層二極體包含一個或一個以上之串連的矽晶層二極體。
 - 24.如申請專利範圍第22項之積體電路元件，其中所述最少一個矽晶層二極體包含一個或一個以上之並連的矽晶層二極體。
 - 25.如申請專利範圍第22項之積體電路元件，其中該矽晶層二極體包含一個摻雜n型雜質的矽晶層與摻雜p型雜質的矽晶層。
 - 26.如申請專利範圍第25項之積體電路元件，其中該矽晶層為多晶矽(polysilicon)。
 - 27.一靜電放電防護電路，係包含：
 - 一個鉅墊；
 - 一第一訊號線；
 - 一第二訊號線；
 - 一第一組矽晶層二極體連接於鉅墊與第一訊號線之間；和
 - 一第二組矽晶層二極體連接於鉅墊與第二訊號線之間，其中第一組矽晶層二極體與第二組矽晶層二極體為一個或一個以上之矽晶層二極體所組成。
 - 28.如申請專利範圍第27項之靜電放電

- 防護電路，其中第一組矽晶層二極體為一個以上之矽晶層二極體串聯所組成。
- 29.如申請專利範圍第27項之靜電放電防護電路，其中第二組矽晶層二極體為一個以上之矽晶層二極體串聯所組成。
- 30.如申請專利範圍第27項之靜電放電防護電路，其中第一訊號線為提供VDD電壓給積體電路之電源線。
- 31.如申請專利範圍第27項之靜電放電防護電路，其中第一訊號線為提供靜電放電訊號經過之訊號線。
- 32.如申請專利範圍第27項之靜電放電防護電路，更進一步包含一偵測電路置於第一訊號線與第二訊號線之間，並提供訊號給至少一個矽晶層二極體。
- 33.如申請專利範圍第32項之靜電放電防護電路，其中該偵測電路包含：
一個電阻，與第一訊號線連接；
一個電容，一端與第二訊號線連接，另一端與電阻連接；其中該電阻與電容形成之電阻-電容網路之時間常數特性可分辨靜電放電訊號與電源供應器提供之訊號。
- 34.如申請專利範圍第33項之靜電放電防護電路，其中該偵測電路更進一步包含一反向器，該反相器置於第一訊號線與第二訊號線之間，反相器輸入端與電阻電容相連。
- 35.一種方法保護互補式金氧半積體電路元件避免靜電放電傷害，包含下列步驟：
提供一個訊號經由互補式金氧半積體電路給該元件；
提供一個或至少一個矽晶層二極體於互補式金氧半積體電路；和
藉由矽晶層二極體保護互補式金氧半積體電路元件避免靜電放電傷

- 害。
- 36.一種方法保護絕緣層上矽(SOI)積體電路元件避免靜電放電傷害，包含下列步驟：
5. 提供一個訊號經由絕緣層上矽(SOI)積體電路給該元件；
提供一個或至少一個矽晶層二極體於絕緣層上矽(SOI)積體電路；和
藉由矽晶層二極體保護絕緣層上矽(SOI)積體電路元件避免靜電放電傷害。
10. 37.一種製造矽晶層二極體的方法，包含下列步驟：
提供一半導體基材；
15. 形成一介電層，其位於半導體基材上方；
形成一矽晶層，其位於介電層上方；
利用微影製程定義第一摻雜區域於矽晶層；
摻雜第一型雜質於第一摻雜區域；
利用微影製程定義第二摻雜區域於矽晶層；和
摻雜第二型雜質於第二摻雜區域，
20. 其中
第一摻雜區域與第二摻雜區域互為鄰近區域。
25. 38.如申請專利範圍第37項之製造矽晶層二極體的方法，其中該半導體基材為基體晶圓。
30. 39.如申請專利範圍第37項之製造矽晶層二極體的方法，其中該半導體基材為絕緣層上矽(SOI)晶圓。
35. 40.如申請專利範圍第37項之製造矽晶層二極體的方法，其中形成一介電層步驟包含成長氧化層步驟。
40. 41.如申請專利範圍第37項之製造矽晶層二極體的方法，其中形成一矽晶層步驟包含以化學氣象法沈積多晶矽層步驟。

- 42.如申請專利範圍第37項之製造矽晶層二極體的方法，其中第一型為n型而第二型為p型。
- 43.如申請專利範圍第37項之製造矽晶層二極體的方法，其中第一型為p型而第二型為n型。
- 44.如申請專利範圍第37項之製造矽晶層二極體的方法，其中摻雜步驟包含離子佈植步驟。
- 45.如申請專利範圍第37項之製造矽晶層二極體的方法，更進一步包含利用微影製程定義第三摻雜區域；和摻雜第二型雜質於第三摻雜區域，其中第三摻雜區域與第一摻雜區域及第二摻雜區域相鄰。
- 46.一種製造矽晶層二極體的方法，包含下列步驟：
提供一半導體基材；
形成一井區位於該半導體基材內；
形成第一隔絕區與第二隔絕區與井區相接觸；
形成一介電層，其位於一隔絕區與第二隔絕區上方；
形成一矽晶層，其位於介電層上方；
利用微影製程定義第一摻雜區域於矽晶層與第二摻雜區域於半導體基材，且第二摻雜區域與井區相接觸；
摻雜第一型雜質於第一摻雜區域與第二摻雜區域；
利用微影製程定義第三摻雜區域；
和
摻雜第二型雜質於第三摻雜區域，其中
第一摻雜區域與第三摻雜區域互為鄰近區域。
- 47.如申請專利範圍第46項之製造矽晶層二極體的方法，其中該半導體基

- 材為基體晶圓。
- 48.如申請專利範圍第46項之製造矽晶層二極體的方法，其中該半導體基材為絕緣層上矽(SOI)晶圓。
5. 49.如申請專利範圍第46項之製造矽晶層二極體的方法，其中形成一井區步驟包含離子佈植步驟。
- 50.如申請專利範圍第46項之製造矽晶層二極體的方法，其中該第一隔絕區為淺溝槽隔絕區。
10. 51.如申請專利範圍第46項之製造矽晶層二極體的方法，其中該第二隔絕區為淺溝槽隔絕區。
- 52.如申請專利範圍第46項之製造矽晶層二極體的方法，其中形成一介電層步驟包含成長氧化層步驟。
15. 53.如申請專利範圍第46項之製造矽晶層二極體的方法，其中形成一矽晶層步驟包含以化學氣象法沈積多晶矽層步驟。
20. 54.如申請專利範圍第46項之製造矽晶層二極體的方法，其中第一型為n型而第二型為p型。
- 55.如申請專利範圍第46項之製造矽晶層二極體的方法，其中第一型為p型而第二型為n型。
25. 56.如申請專利範圍第46項之製造矽晶層二極體的方法，其中摻雜步驟包含離子佈植步驟。
30. 57.如申請專利範圍第46項之製造矽晶層二極體的方法，更進一步包含：
利用微影製程定義第三摻雜區域；
和
摻雜第二型雜質於第三摻雜區域，其中
第三摻雜區域與第一摻雜區域及第二摻雜區域相鄰。
35. 圖式簡單說明：
第1圖 繪示的是一種習知的製作於積體電路之二極體剖面圖。
- 40.

第2圖 繪示的是另一種習知的製作於積體電路之二極體剖面圖。

第3圖 繪示的是一個習知 ESD 防護電路的電路示意圖。

第4圖 繪示的是在第3圖的電路中，鉅墊電壓與輸入寄生電容之電容量的關係圖。

第5圖 繪示的是所量測到的矽晶層二極體的電性圖，該矽晶層二極體為根據本發明精神所製造的。

第6圖 繪示的是，根據本發明精神的一個矽晶層二極體的俯視圖與對應剖面圖。

第7圖 繪示的是，根據本發明精神的另一種矽晶層二極體的俯視圖與對應剖面圖。

第8圖 繪示的是，根據本發明精神的又另一種矽晶層二極體的傾斜俯視圖。

第9圖 繪示的是，根據本發明精神的製作於絕緣層上矽晶圓的矽晶層二極體的俯視圖與對應剖面圖。

第10圖(a)~第10圖(h) 繪示的是，根據本發明精神的矽晶層二極體的製造方法。

第11圖(a)~第11圖(h) 繪示的是，根據本發明精神的矽晶層二極體

的另一種製造方法。

第12圖 繪示的是，根據本發明精神的矽晶層二極體之電路符號示意圖。

5. 第13圖 繪示的是，利用矽晶層二極體所設計的 ESD 防護電路。

第14圖 A 繪示的是鉅墊電壓與個別二極體之電容量關係圖。

10. 第14圖 B 繪示的是鉅墊電壓與總輸入電容量關係圖。

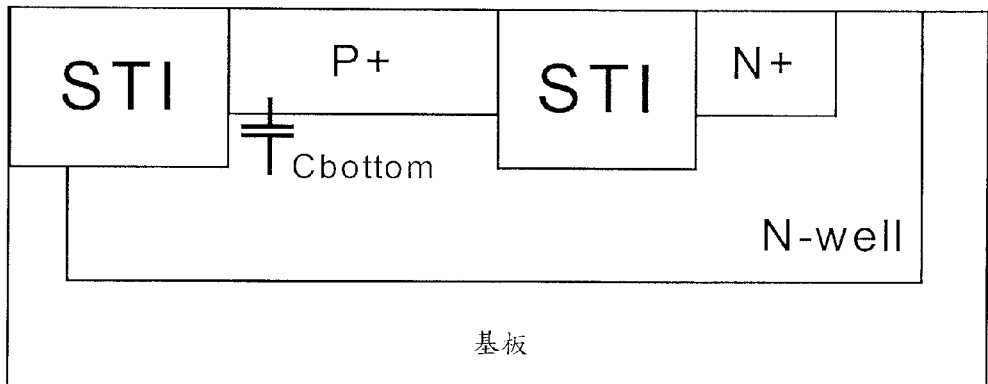
第15圖 A 繪示的是，根據本發明精神，利用矽晶層二極體元件所設計的 ESD 防護電路圖。

15. 第15圖 B 繪示的是，根據本發明精神，利用堆疊矽晶層二極體元件所設計的 ESD 防護電路圖。

第15圖 C 繪示的是，根據本發明精神，利用串連矽晶層二極體元件所設計的 ESD 防護電路圖。

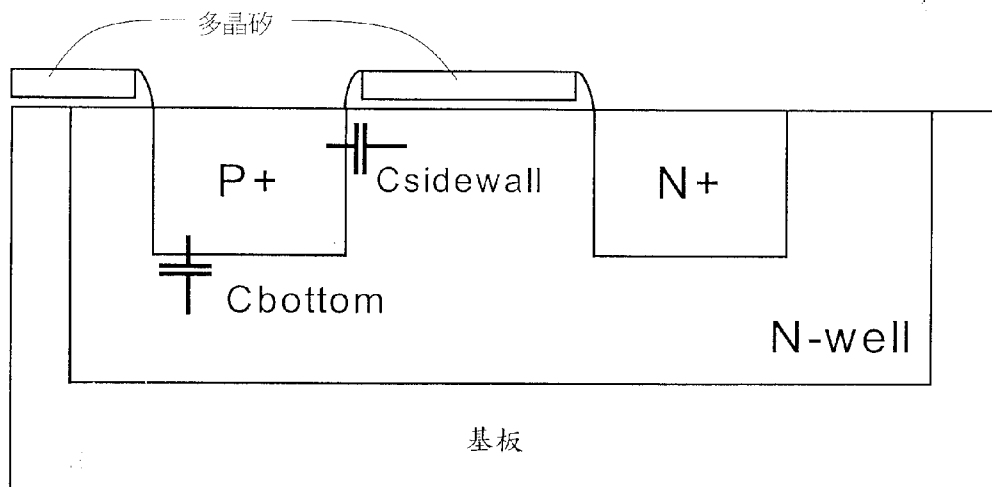
20. 第16圖 繪示的是，根據本發明精神，利用矽晶層二極體元件以及偵測 - 偏壓電路所設計的 ESD 防護電路圖。

25. 第17圖 繪示的是，根據本發明精神，利用矽晶層二極體元件所設計的電源線間 ESD 箝制電路圖。

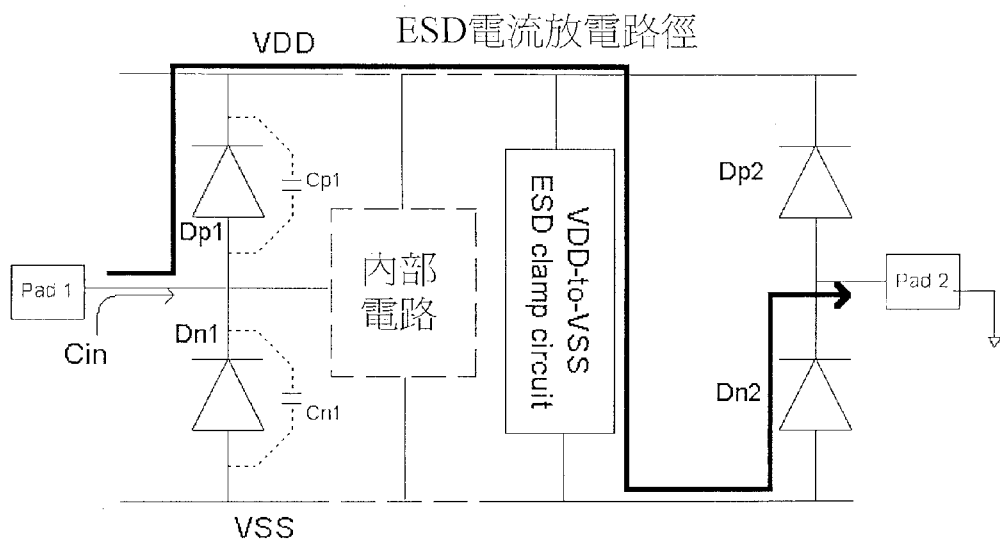


第1圖

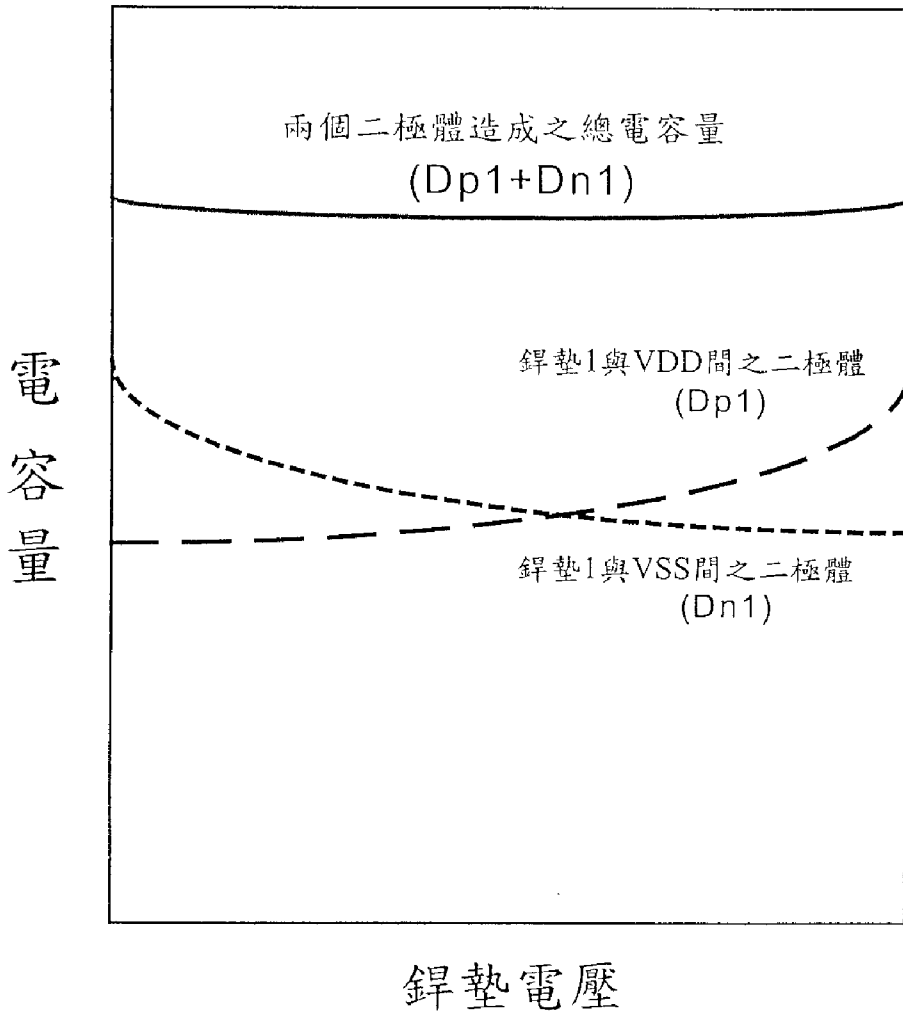
(6)



第 2 圖

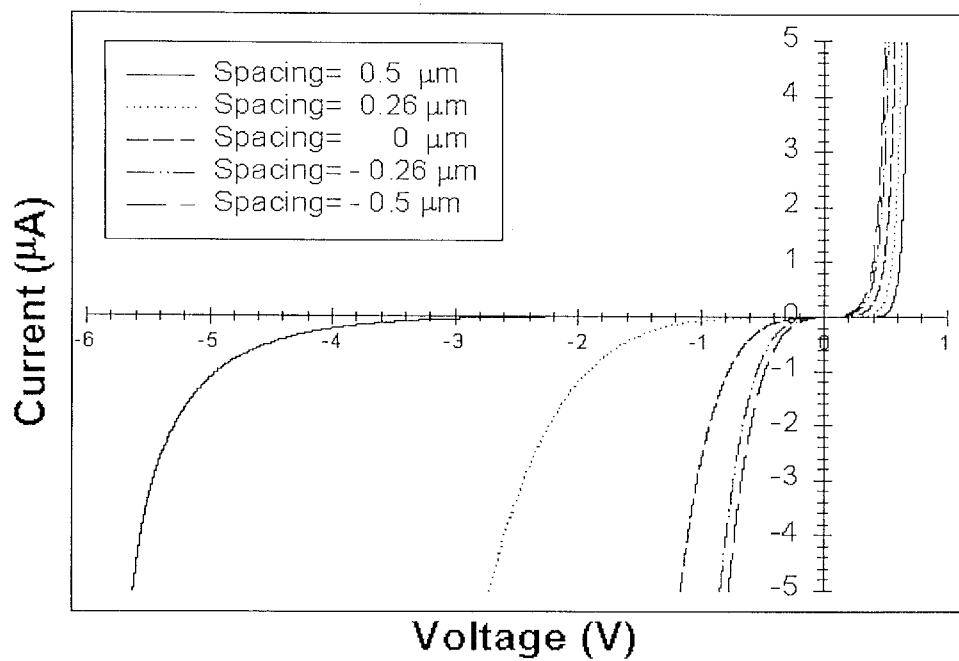


第 3 圖

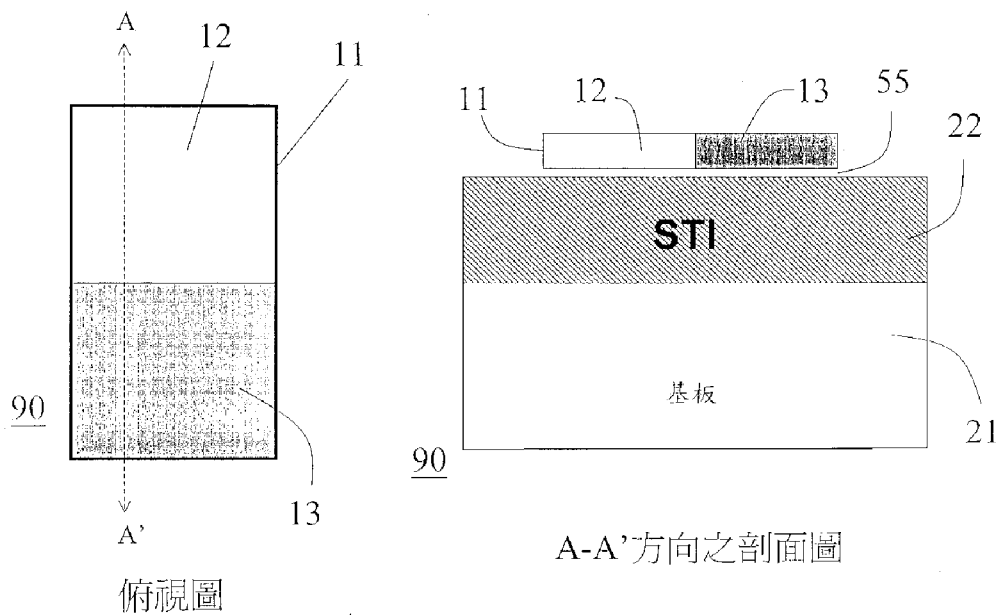


第 4 圖

(8)

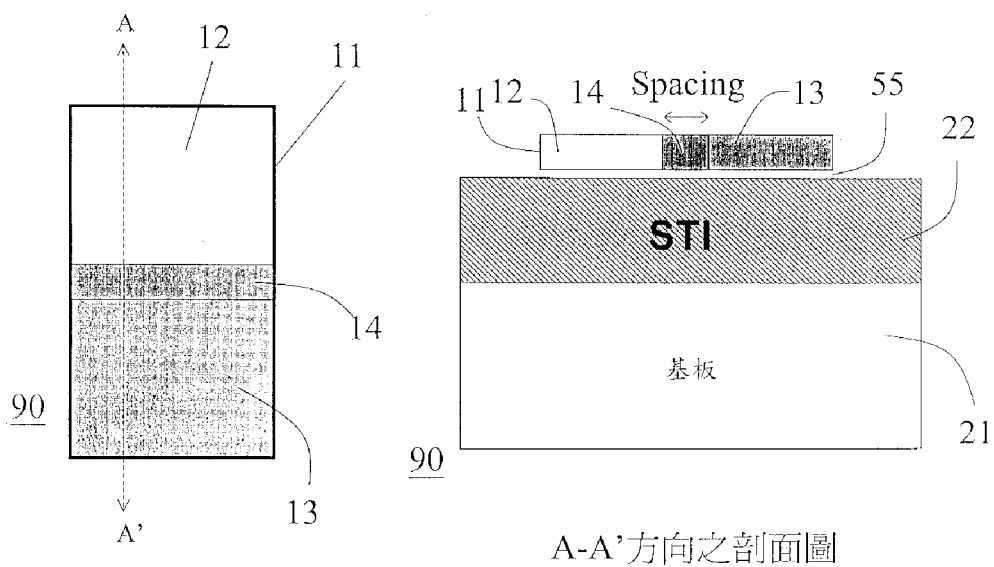


第 5 圖



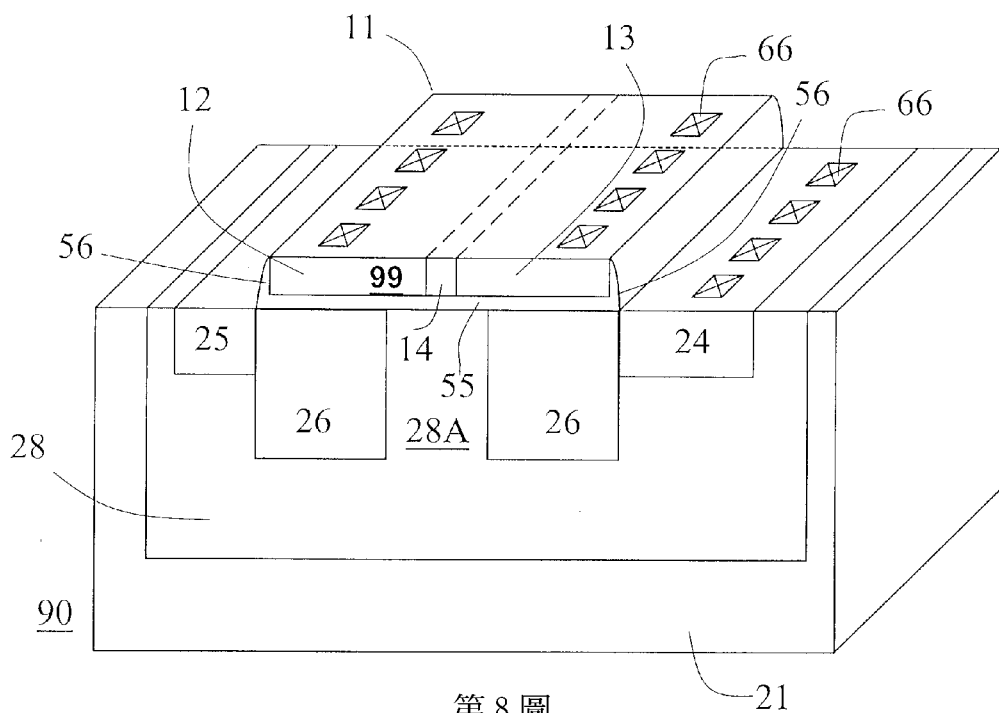
第 6 圖

(9)

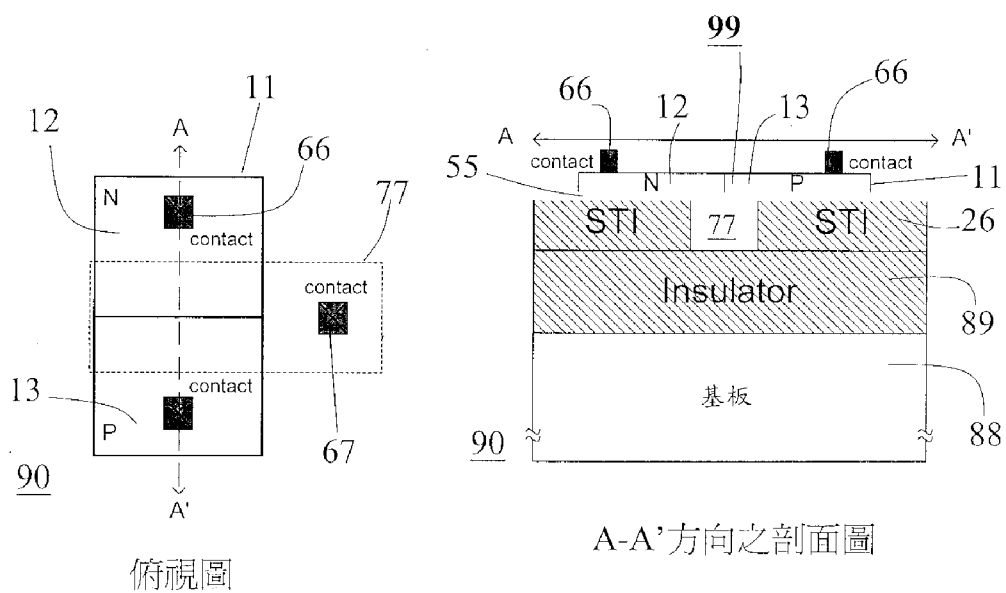


俯視圖

第 7 圖

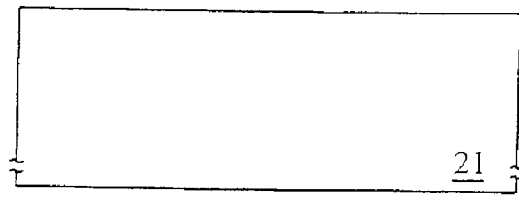


第 8 圖

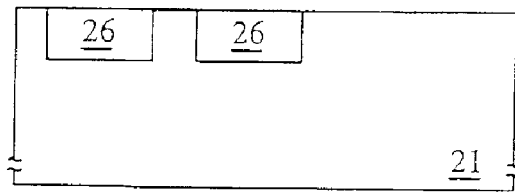


第 9 圖

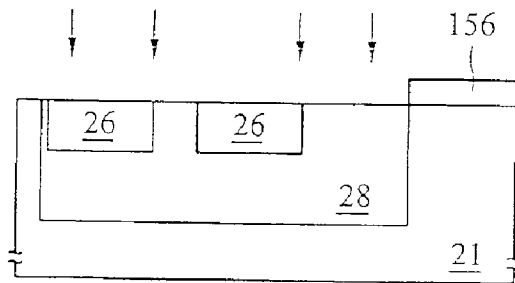
(11)



(a)

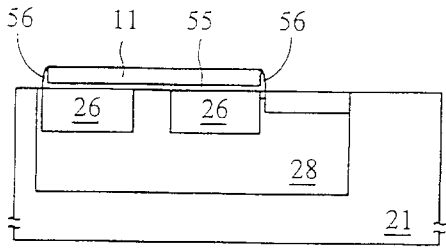


(b)

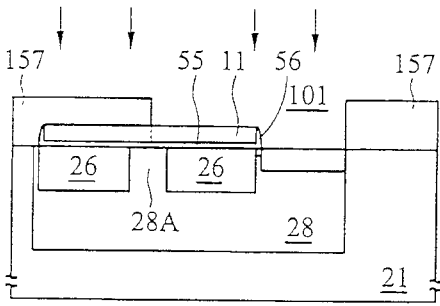


(c)

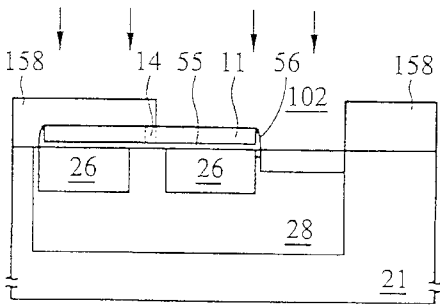
第 10 圖



(d)

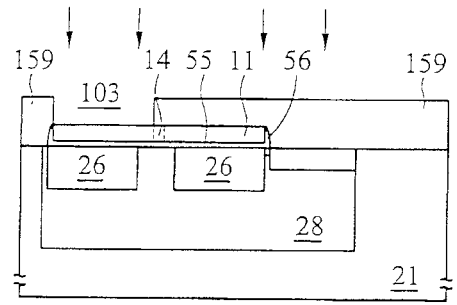


(e)

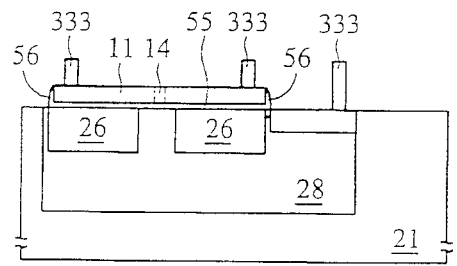


(f)

第 10 圖

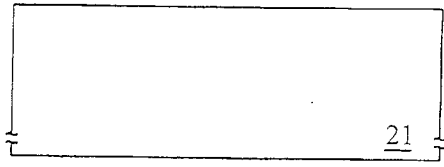


(g)

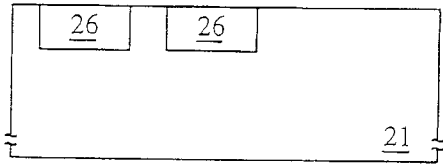


(h)

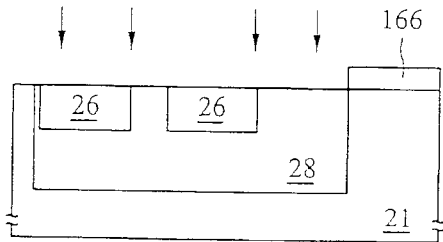
第 10 圖



(a)

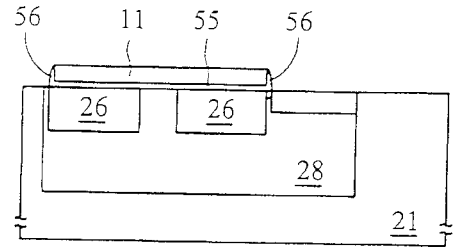


(b)

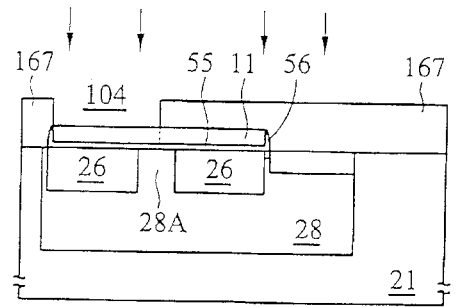


(c)

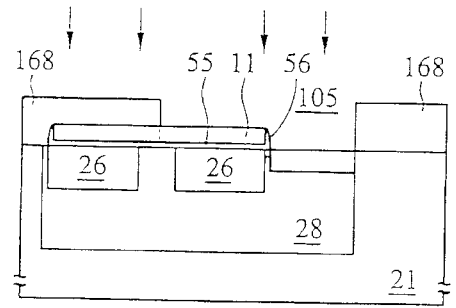
第 11 圖



(d)



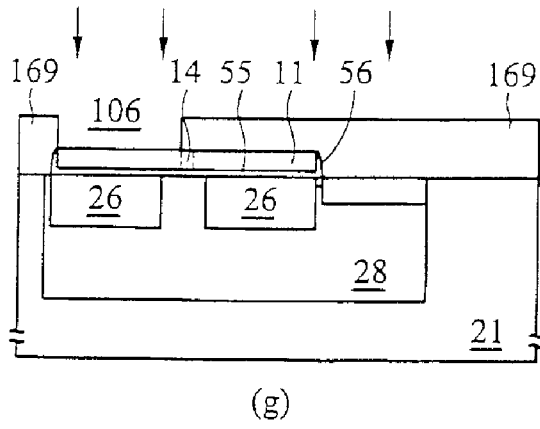
(e)



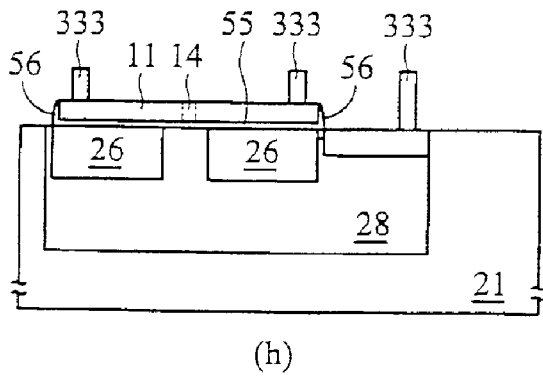
(f)

第 11 圖

(14)

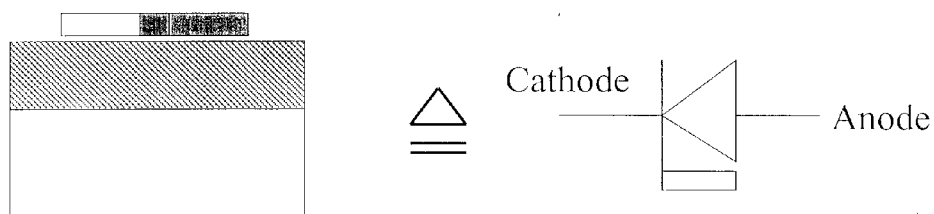


(g)

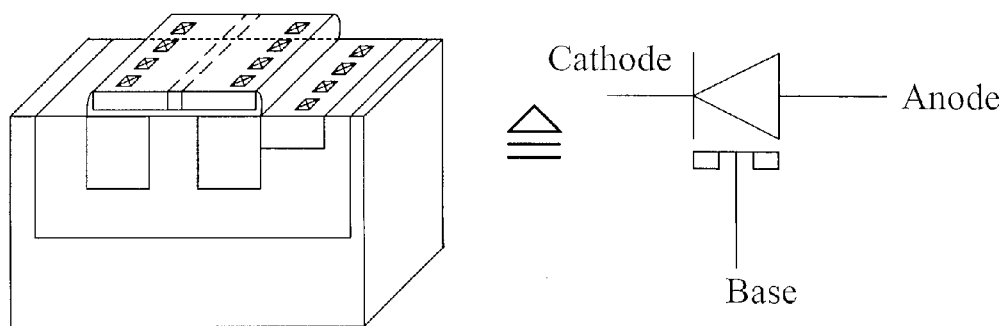


(h)

第 11 圖

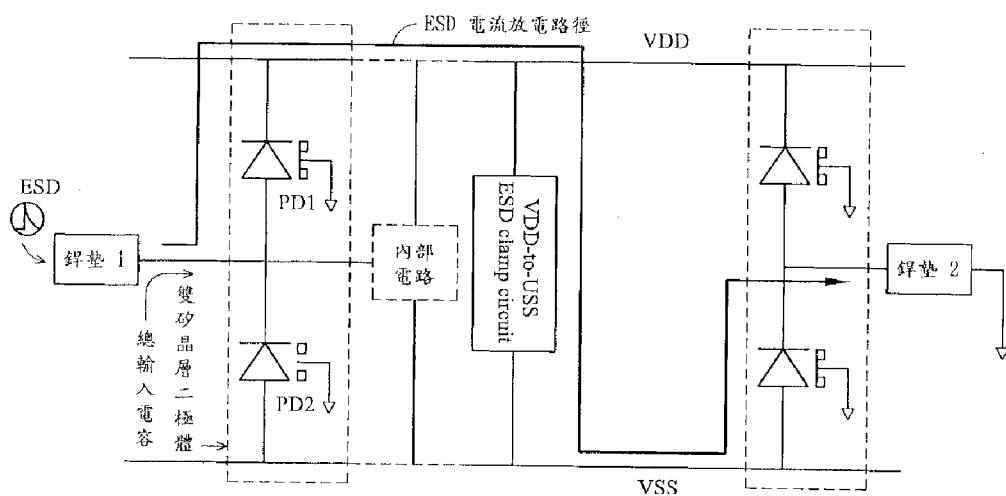


矽晶二極體的電路符號

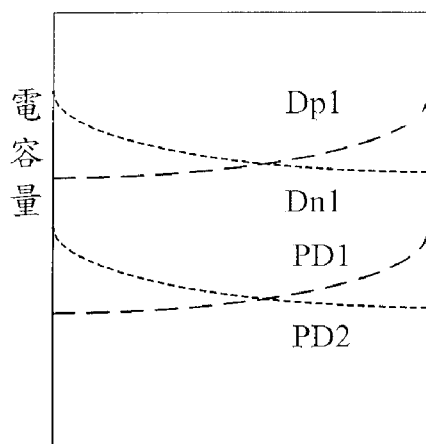


可由基體偏壓之矽晶二極體的電路符號

第 12 圖

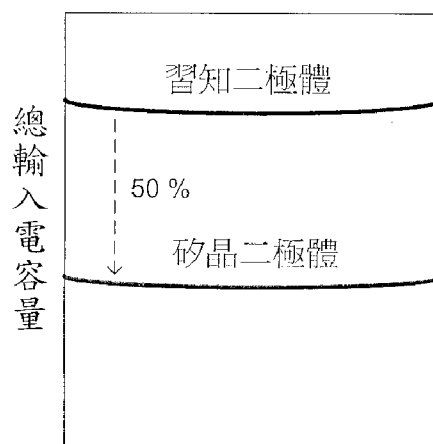


第 13 圖



鉀墊電壓

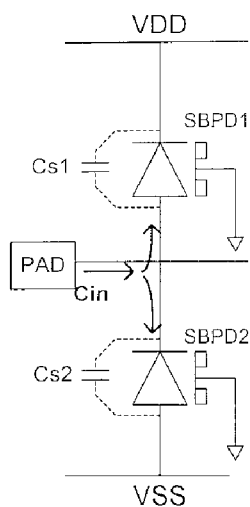
A



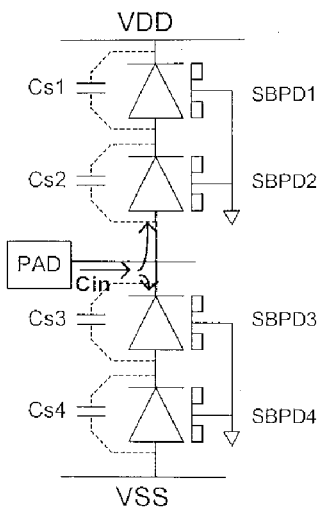
鉀墊電壓

B

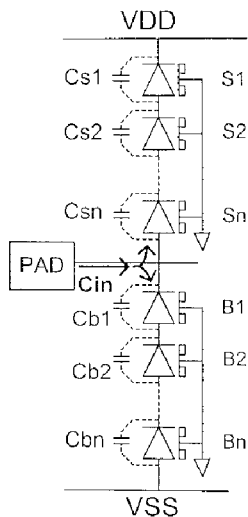
第 14 圖



A

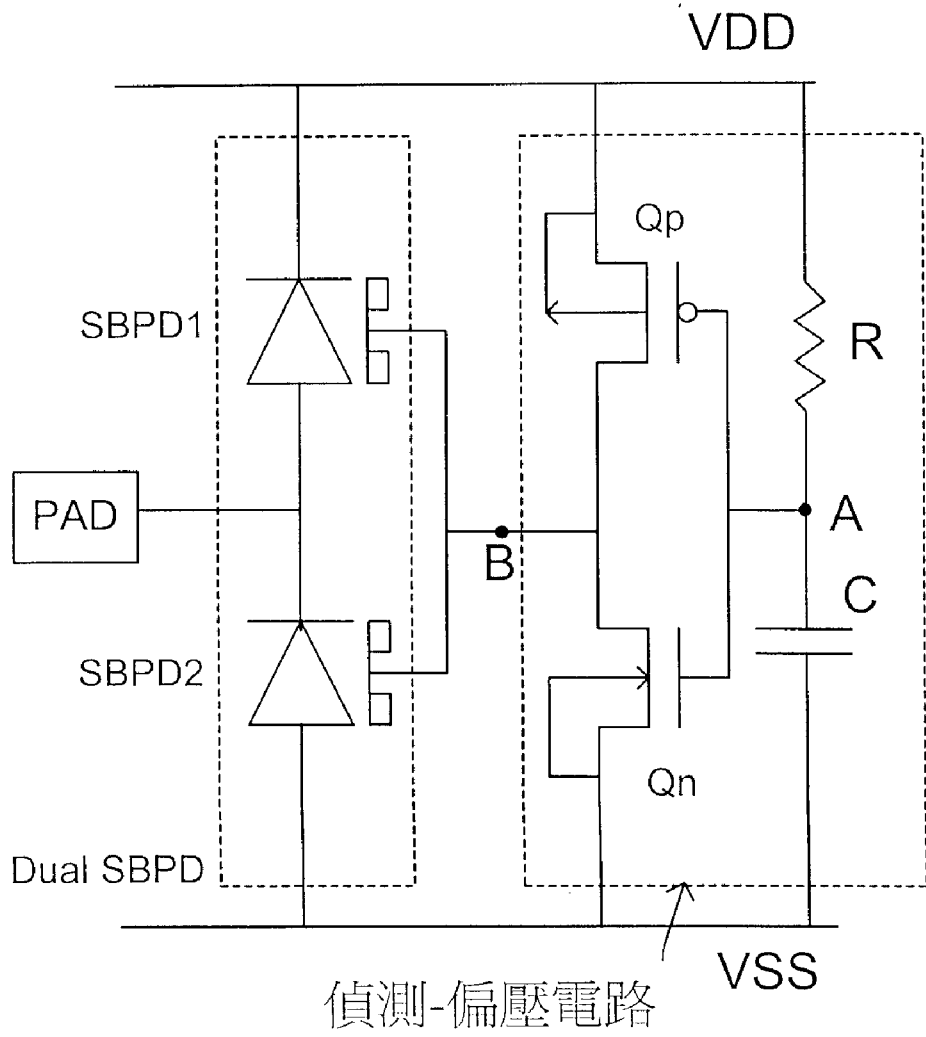


B

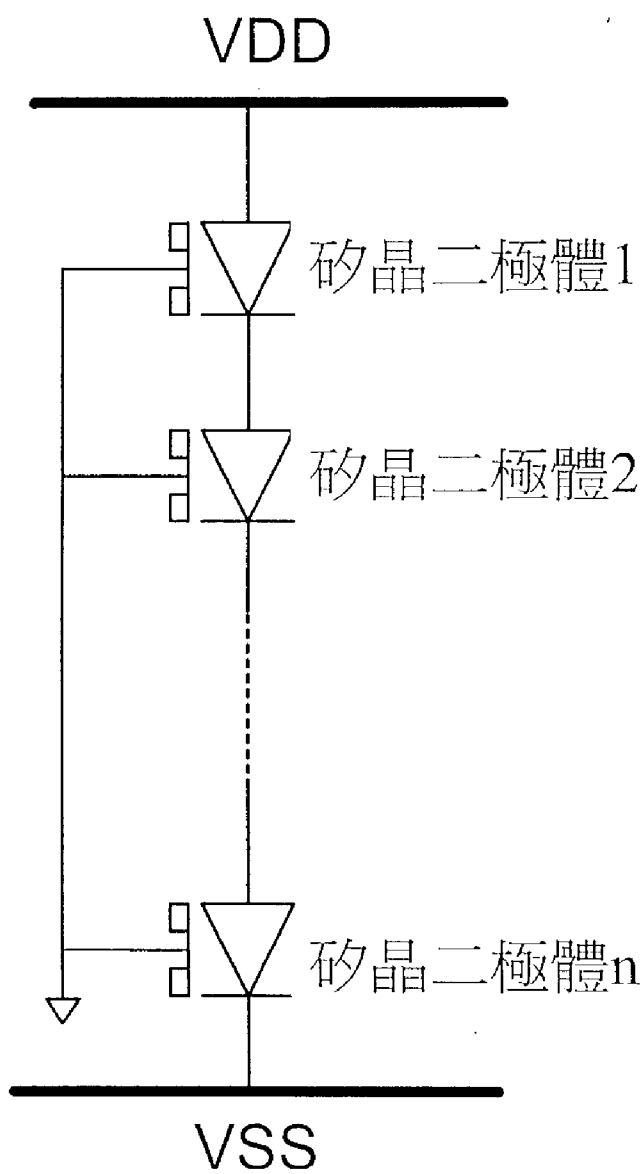


C

第 15 圖



第 16 圖



第 17 圖