

[11]公告編號：495951

[44]中華民國 91 年 (2002) 07 月 21 日

發明

全 11 頁

[51] Int.Cl⁰⁷： H01L23/60

[54]名稱：利用深井區結構之元件充電模式靜電放電防護設計

[21]申請案號： 090112894

[22]申請日期：中華民國 90 年 (2001) 05 月 29 日

[72]發明人：

柯明道

張恆祥

王文泰

新竹市東區寶山路二〇〇巷三號四樓之三

台北縣汐止市大同路二段三三七號

台北市信義區基隆路一段三五〇之二十一號二樓

[71]申請人：

台灣積體電路製造股份有限公司

新竹科學工業園區園區三路一二一號

[74]代理人：洪澄文 先生

1

2

[57]申請專利範圍：

1.一種元件充電模式(charged-device mode、CDM)靜電放電(electrostatic discharge、ESD)防護電路，適用於一積體電路，包含有：

一ESD 箝制電路，耦合於一接合鋸墊(bonding pad)與一第一導電型之基體(substrate)之間，於一正常電源操作時，該ESD 箝制電路係為關閉狀態；以及

一功能性(functional)元件，形成於該基體上，耦合至該接合鋸墊，該功能性元件具有該第一導電型之一第一井區以及一第二導電型之一隔絕區，該第二導電型與該第一導電型相反，且該隔絕區分隔了該第一井區與該基體，於該正常電源操作時，該功能性元件負責該積體電路與一外界之間信號的傳遞。

2.如專利申請範圍第1項之元件充電模式ESD 防護電路，其中，該隔絕區

係以環繞該第一井區之一第二井區以及設於該第一井區之下之一深井區所構成。

3.如專利申請範圍第1項之元件充電模式ESD 防護電路，其中，該隔絕區係耦合至一第一電源線，該第一井區係耦合至一第二電源線。

4.如專利申請範圍第1項之元件充電模式ESD 防護電路，其中，該功能性元件包含有該第二導電型之一MOS metal-on-semiconductor)元件形成於該第一井區之中。

5.如專利申請範圍第1項之元件充電模式ESD 防護電路，其中，該ESD 箝制電路包含有一MOS 二極體，具有二端，分別耦合至該接合鋸墊與該基體。

6.如專利申請範圍第1項之元件充電模式ESD 防護電路，其中，該ESD 箝制電路係為一二級式ESD 防護電

- 路，具有一首級 ESD 防護電路，耦接於該接合鉀墊與該基體之間，一第二級 ESD 防護電路，耦接於該功能性元件與該基體之間，以及一電阻，耦接於該功能性元件與該接合鉀墊之間。
- 7.如專利申請範圍第1項之元件充電模式 ESD 防護電路，其中，該第一導電型係為N型，該第二導電型係為P型。
- 8.如專利申請範圍第1項之元件充電模式 ESD 防護電路，其中，該第一導電型係為P型，該第二導電型係為N型。
- 9.一種元件充電模式 ESD 防護電路，適用於一積體電路之一輸入埠，包含有：
一 ESD 箝制電路，耦合於一接合鉀墊與一第一導電型之基體之間，於一正常電源操作時，該 ESD 箝制電路係為關閉狀態；以及
一第二導電型之一 MOS 元件，形成於該基體上之一第一導電型之一第一井區中，耦合至該接合鉀墊，該第一井區與該基體之間設有一第二導電型之一隔絕區，該第二導電型與該第一導電型相反，且該隔絕區分隔了該第一井區與該基體，於該正常電源操作時，該 MOS 元件負責將外界之信號傳遞進入該積體電路。
- 10.如專利申請範圍第9項之元件充電模式 ESD 防護電路，其中，該 MOS 元件之一閘極耦合至該接合鉀墊。
- 11.如專利申請範圍第9項之元件充電模式 ESD 防護電路，其中，該 MOS 元件之一源極耦合至一內部電源線。
- 12.如專利申請範圍第11項之元件充電模式 ESD 防護電路，其中，該元件

- 充電模式 ESD 防護電路另包含有一輸入端 ESD 防護電路，耦合於該 MOS 元件之該閘極與該內部電源線之間。
5. 13.如專利申請範圍第11項之元件充電模式 ESD 防護電路，其中，該輸入端 ESD 防護電路係為一閘極接地 (gate-grounded)之 MOS 元件。
10. 14.如專利申請範圍第11項之元件充電模式 ESD 防護電路，其中，該第一井區係耦合至該內部電源線。
- 15.一種元件充電模式 ESD 防護電路，適用於一積體電路之一輸出埠，包含有：
一 ESD 箝制電路，耦合於一接合鉀墊與一第一導電型之基體之間，於一正常電源操作時，該 ESD 箝制電路係為關閉狀態；以及
一第二導電型之一 MOS 元件，形成於該基體上之一第一導電型之一第一井區中，耦合至該接合鉀墊，該第一井區與該基體之間設有一第二導電型之一隔絕區，該第二導電型與該第一導電型相反，且該隔絕區分隔了該第一井區與該基體，於該正常電源操作時，該 MOS 元件負責將該積體電路之信號傳遞至該接合鉀墊。
20. 16.如專利申請範圍第15項之元件充電模式 ESD 防護電路，其中，該 MOS 元件之一汲極耦合至該接合鉀墊，該 MOS 元件之一源極與該第一井區係耦合至一輸出入電源線。
30. 17.如專利申請範圍第15項之元件充電模式 ESD 防護電路，其中該輸出入電源線與一內部電源線之間設有數個串接之二極體。
35. 18.一種元件充電模式 ESD 防護電路，適用於一積體電路之一耐高壓之輸出入埠，包含有：
- 40.

- 一 ESD 箝制電路，耦合於一接合鉚墊與一 P 型之基體之間，於一正常電源操作時，該 ESD 箝制電路係為關閉狀態；
- 一第一 NMOS(N-type metal-on-semiconductor)元件，形成於該基體上之 P 型之一第一獨立井區中，該第一獨立井區與該基體之間設有一 N 型之一第一隔絕區，且該第一隔絕區分隔了該第一獨立井區與該基體，該第一 NMOS 元件具有一閘極耦合至一高電源線，一第一源/汲極耦合至該接合鉚墊，以及一第二源/汲極耦合至一輸入緩衝器(input buffer)；以及
- 一輸出緩衝器(output driver)，包含有相串連之一第二 NMOS 元件以及一第三 NMOS 元件，形成於該基體上的 P 型之一第二獨立井區中，該第二獨立井區與該基體之間設有一 N 型之一第一隔絕區，且該第二隔絕區分隔了該第二獨立井區與該基體，該第二 NMOS 元件之一閘極耦合至該高電源線，該第二 NMOS 元件之一汲極耦合至該接合鉚墊，該第二 NMOS 元件之一源極係作為該第三 NMOS 元件之一汲極，該第三 NMOS 元件之一源極係耦合至一輸出入低電源線，該第三 NMOS 元件之一閘極係耦合至一前級輸出緩衝器(pre-output driver)。
- 19.如專利申請範圍第 18 項之元件充電模式 ESD 防護電路，其中，該第一獨立井區係耦合至一內部低電源線，該第二獨立井區係耦合至該輸出入低電源線。
- 20.如專利申請範圍第 19 項之元件充電模式 ESD 防護電路，其中該內部低電源線與該輸出入低電源線之間串接有複數二極體。

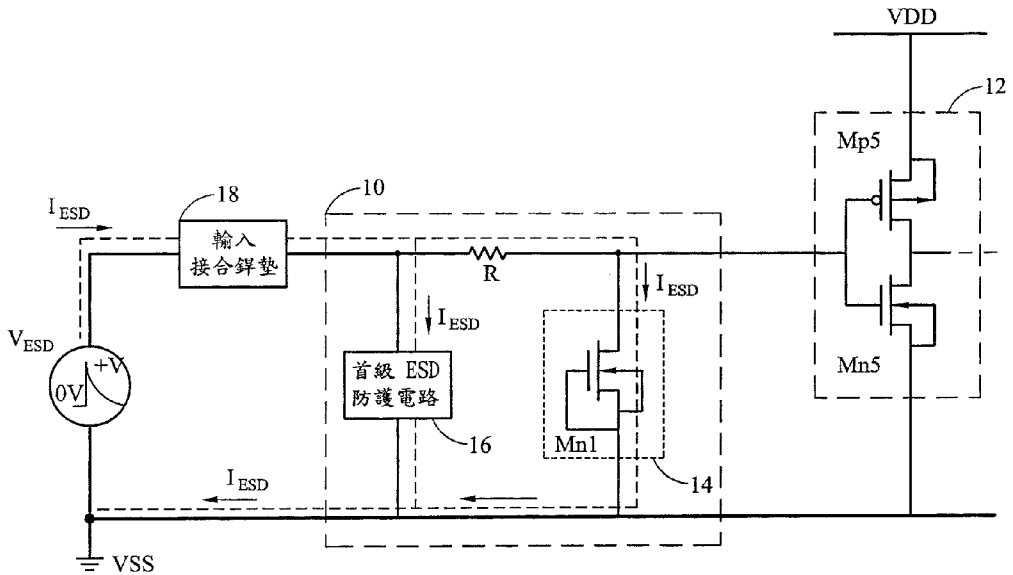
- 21.如專利申請範圍第 18 項之元件充電模式 ESD 防護電路，其中，該 ESD 箝制電路包含有一第四 NMOS 元件以及一第五 NMOS 元件，串接於該接合鉚墊與一輸出入電源線之間，該第四 NMOS 元件具有一閘極，耦合至該高電源線，該第五 NMOS 元件具有一閘極，耦合至該輸出入電源線。
- 22.如專利申請範圍第 18 項之元件充電模式 ESD 防護電路，其中，該第一 NMOS 元件與該接合鉚墊之間串接有一 ESD 防護電阻。
- 圖式簡單說明：
- 第 1 圖為一習知的 ESD 防護電路；
- 第 2 圖為正極性靜電電荷累積在浮接的積體電路基體之示意圖；
- 第 3 圖為負極性靜電電荷累積在浮接的積體電路基體之示意圖；
- 第 4 圖為第 2 圖或第 3 圖之放電現象在電路上的等效示意圖；
- 第 5 圖為一種習知之 CDM ESD 防護電路示意圖；
- 第 6 圖為另一種習知之 CDM ESD 防護電路示意圖；
- 第 7 圖為本發明所使用的具有深 N 型井結構的 NMOS 元件之剖面圖以及其代表符號；
- 第 8 圖為依據本發明一專為輸入埠使用之 CDM ESD 防護電路示意圖；
- 第 9 圖為依據本發明一專為輸出埠使用之 CDM ESD 防護電路示意圖；
- 第 10 圖為第 8 圖或第 9 圖中之 Mn6 與 Mn7，兩個 NMOS 的剖面圖；
- 第 11 圖表示堆積於第 10 圖中的 CDM 電荷以及其放電路徑示意圖；
- 第 12 圖顯示了第 8 圖之輸入埠的 ESD 防護電路以及其於 CDM ESD 電流的路徑；

第 13 圖顯示了第 9 圖之輸出埠的 ESD 防護電路以及其於 CDM ESD 電流的路徑；

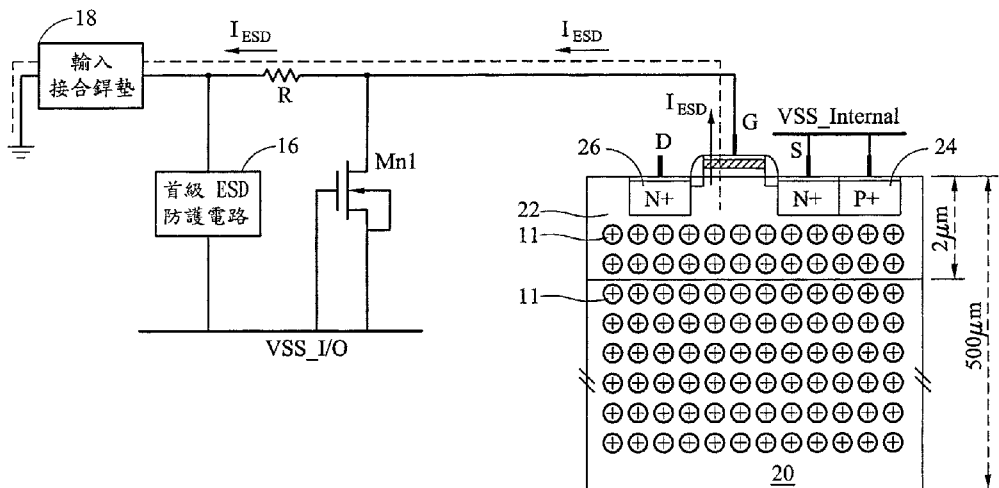
第 14 圖為一應用本發明之 3 伏特/

耐受 5 伏特的輸出入電路；以及

第 15 圖為本發明的設計概念示意圖。

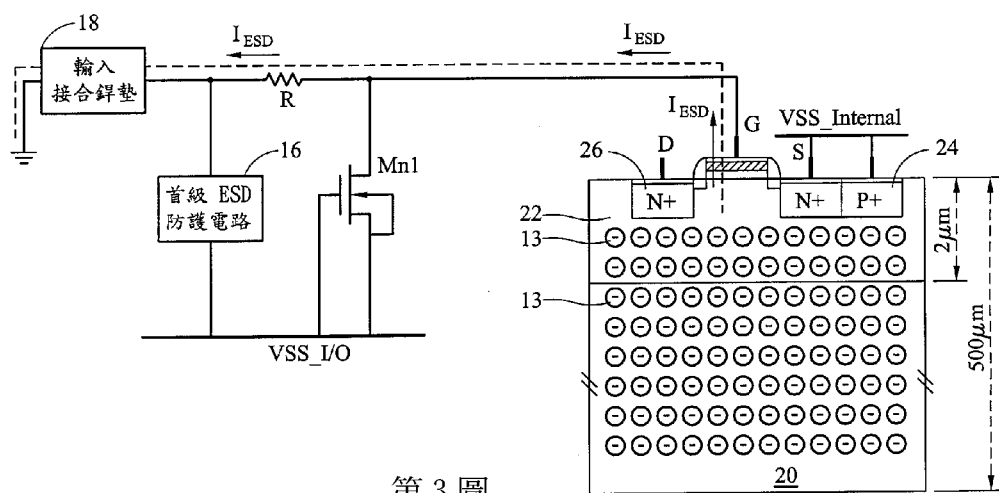


第 1 圖

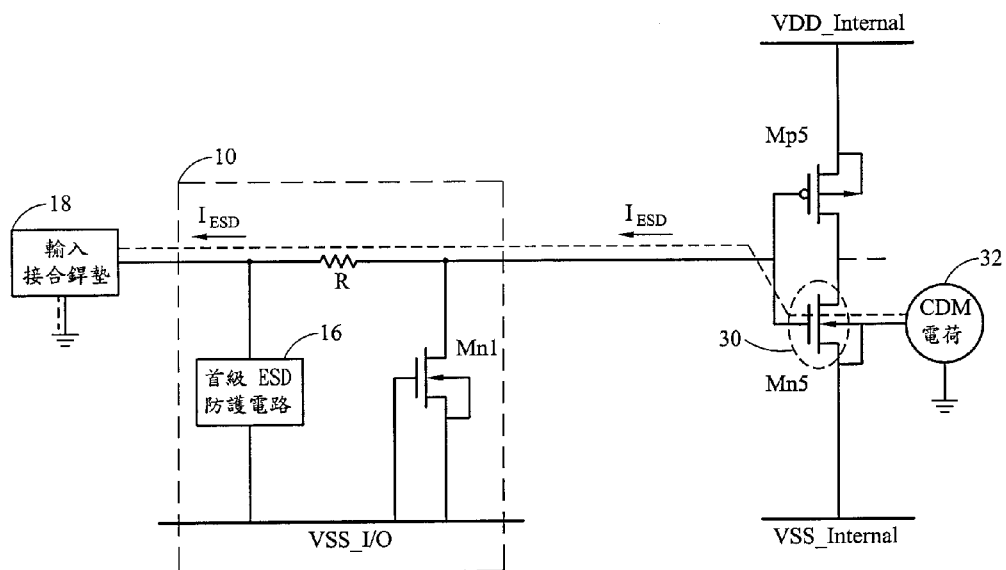


第 2 圖

(5)

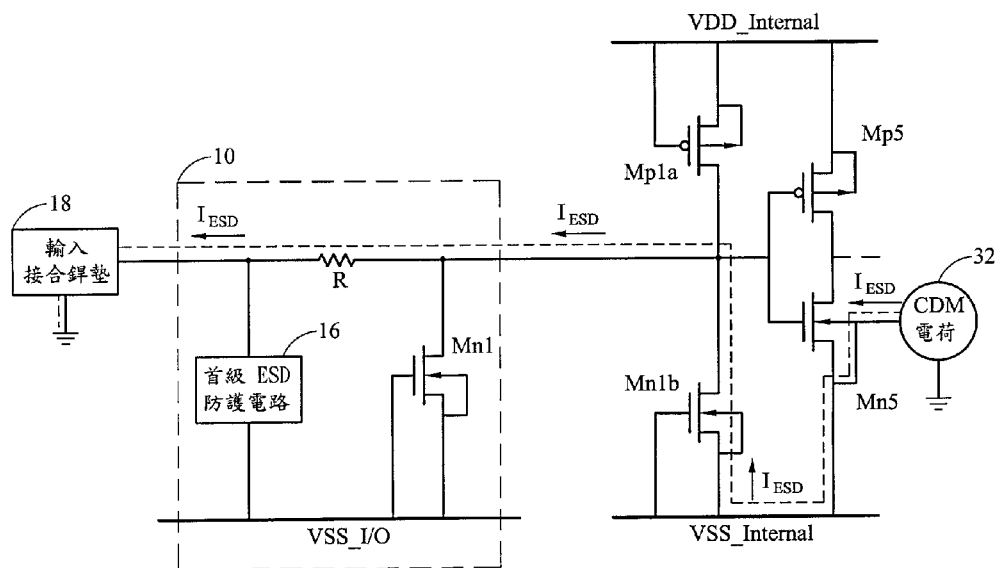


第 3 圖

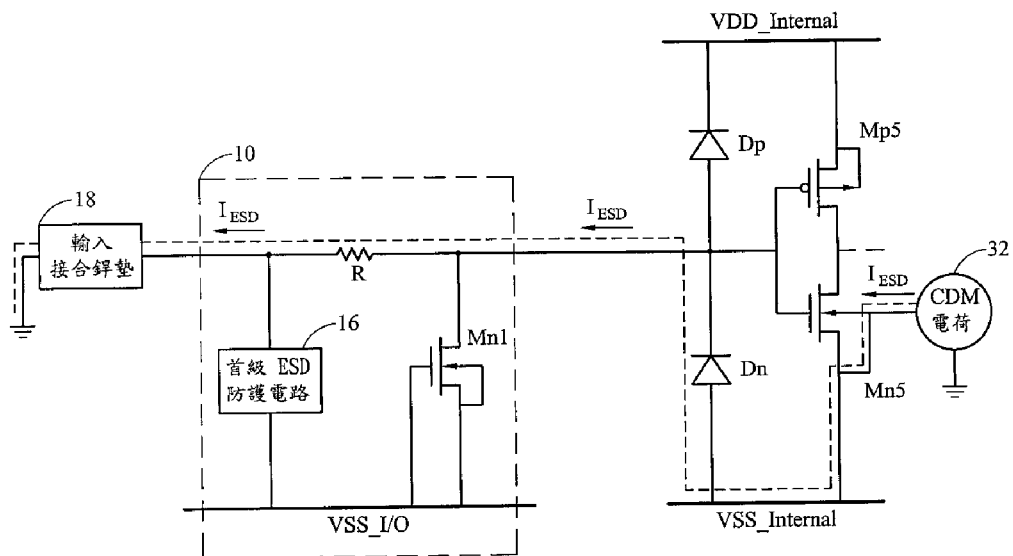


第 4 圖

(6)

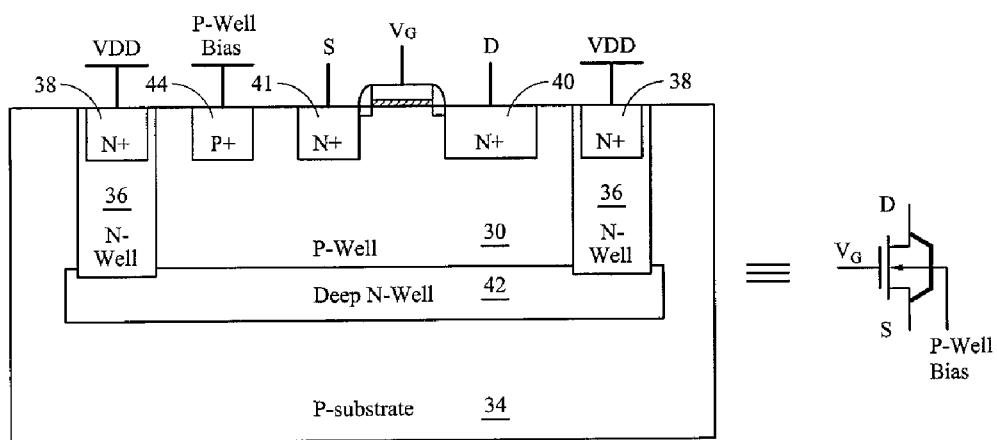


第 5 圖

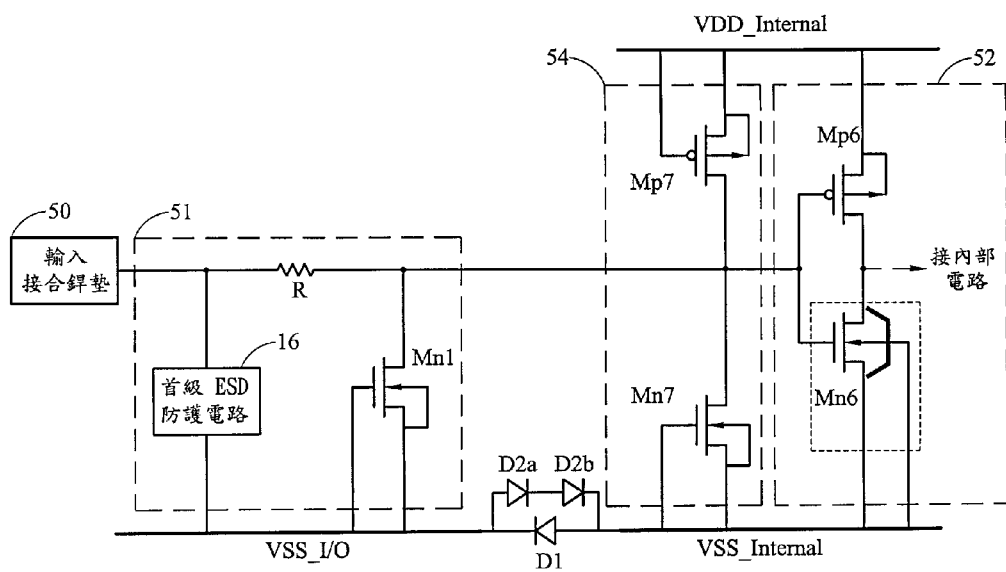


第 6 圖

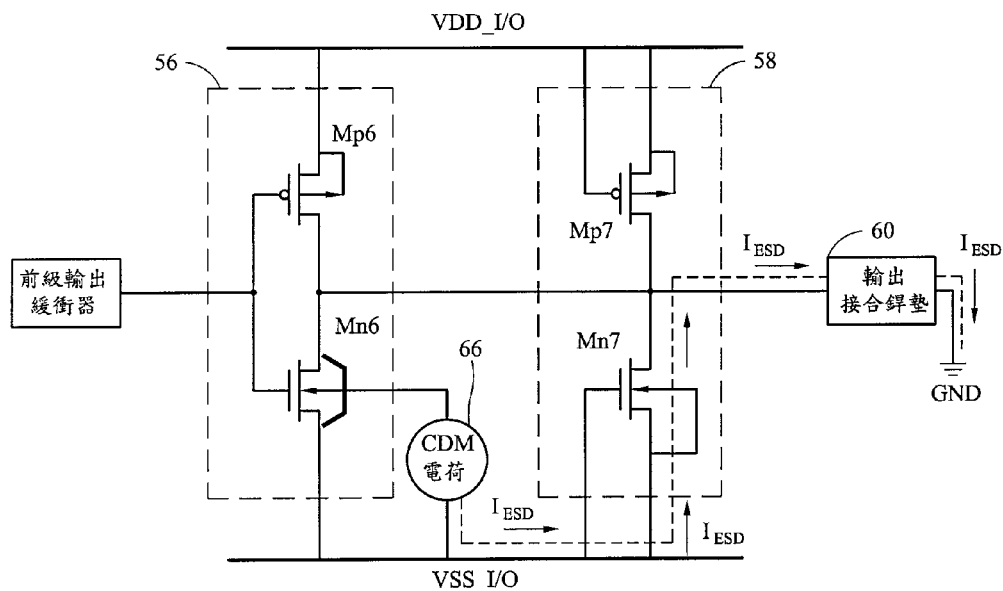
(7)



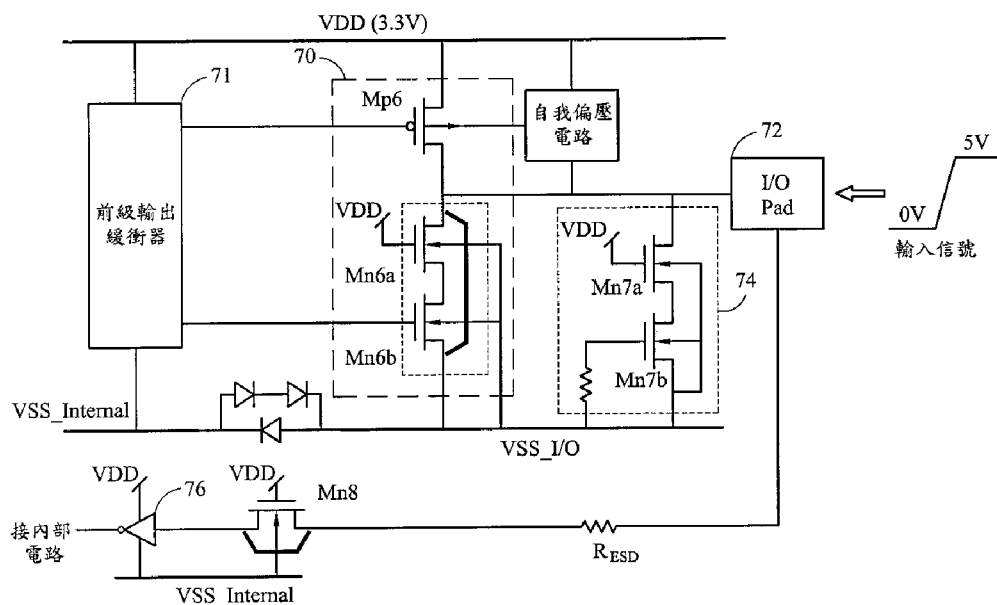
第 7 圖



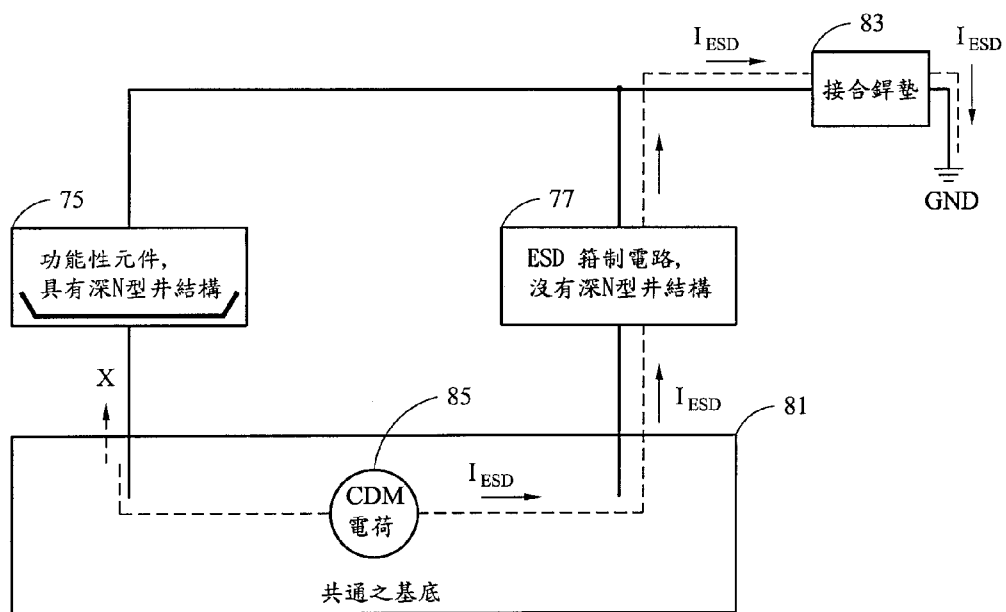
第 8 圖



第 13 圖



第 14 圖



第 15 圖

