

中華民國專利公報 [19] [12]

[11]公告編號：497246

[44]中華民國 91 年 (2002) 08 月 01 日

發明

全 18 頁

[51] Int.Cl⁰⁷： H01L23/60

[54]名稱：反向抑制元件導通之靜電放電防護結構

[21]申請案號： 090118233

[22]申請日期： 中華民國 90 年 (2001) 07 月 25 日

[30]優先權： [31]09/773,754

[32]2001/02/02 [33]美國

[72]發明人：

柯明道

彭政傑

姜信欽

新竹市寶山路二〇〇巷三號四樓之三

桃園縣觀音鄉大潭村四鄰二十七號

台北市信安街十號六樓

[71]申請人：

財團法人工業技術研究院

新竹縣竹東鎮中興路四段一九五號

[74]代理人：

1

2

[57]申請專利範圍：

1.一種積體電路靜電放電防護的半導體結構，主要包含：

一第一導電型基體，形成該半導體結構的底部；

一第二導電型的第一區域，位於該基體中，形成一第一 MOS 電晶體的一汲極區；

一第二導電型的第二區域，位於該基體中，形成一第一 MOS 電晶體的一源極區；

一第二導電型的第三區域，位於該基體中，連接至一第二電晶體的一閘極，其中，

一第一導電型的第四區域係置於該第二導電型的第三區域旁邊，而形成額外的游離電荷收集區，以圍住前述第一電晶體，俾減緩其導通速度，或使該第一電晶體通道長度更長，以提升該第一電晶體的汲極崩潰電壓。

2.如申請專利範圍第 1 項所述之半導體結構，其中，該第一導電型的第四區域係置於第二種導電型的第三區旁邊，以一額外的游離電荷收集區圍住前述第一電晶體，以減緩其導通速度，或使該第一電晶體通道長度更長，以提升該第一電晶體的汲極崩潰電壓。

3.如申請專利範圍第 1 項所述之半導體結構，更進一步包含：
10. 一個前級緩衝器電路，連接至該第一電晶體的閘極；及
一輸出鉀墊，連接至該第一電晶體的第一區域。

4.如申請專利範圍第 1 項所述之半導體結構，更進一步包含：
15. 一第二導電型的第一通道區域，具有一第一通道長度，並介於該第一電晶體的第一區域與第二區域間；
20. 及

- 一第二導電型的第二通道區域，具有一第一通道長度，並介於該第一區域與第三區域間；
- 其中，該第一通道長度比該第二通道長度長，以進一步提升此元件的崩潰電壓，減緩該第一 MOS 電晶體的導通速度。
5. 一種積體電路靜電放電防護的半導體結構，主要包含：
- 一第一導電型的基體，形成該半導體結構的底部；
- 一對第二導電型的第一區域，位於該基體中，以定義出一第二導電型的第一 MOS 電晶體之一第一通道區域；及
- 一對第二導電型的第二區域，位於該基體中，以定義出一第二導電型的第二 MOS 電晶體之一第二通道區域，
- 其中，該第一通道區域的通道長度比該第二通道區域的通道長度長，以減緩該第一 MOS 電晶體的導通速度。
6. 如申請專利範圍第 5 項所述之半導體結構，更進一步包含：
- 一前級緩衝器電路，連接至該第一通道區域；及
- 一輸出鉀墊，連接至該第二導電型的一對第一區域的其中一區，及前述第二導電型的一對第二區域的其中一區。
7. 如申請專利範圍第 5 項所述之半導體結構，更進一步包含：
- 一第一導電型的第三區域，位於該第二導電型的一對第二區域的其中一區旁邊，以形成額外的游離電荷收集區圍繞前述 MOS 電晶體，藉此抑制該第一 MOS 電晶體的導通。
8. 一種積體電路靜電放電防護的半導體結構，主要包含：

- 一 P 型的基體，形成該半導體結構的底部；
- 一第一 N+ 區域，位於前述基體中，形成第一 MOS 電晶體的汲極區；及
- 一第二 N+ 區域，位於前述基體中，形成第一 MOS 電晶體的源極區；
- 一第三 N+ 區域，位於前述基體中，連接至一第二 MOS 電晶體的閘極，其中，
- 一 P+ 區域係置於該第三 N+ 區域旁邊，以形成一額外的游離電荷收集區，來圍住該第一 MOS 電晶體，俾減緩其導通速度，或使該第一 MOS 電晶體通道長度更長，以提升該第一 MOS 電晶體的汲極崩潰電壓。
9. 如申請專利範圍第 8 項所述之半導體結構，其中，該 P+ 區域位於該第三 N+ 區域旁邊，以形成一個額外的游離電荷收集區，來圍住該第一 MOS 電晶體，俾減緩其導通速度，或使該第一 MOS 電晶體通道長度更長，以提升該第一 MOS 電晶體的汲極崩潰電壓。
10. 如申請專利範圍第 8 項所述之半導體結構，更進一步包含：
- 一前級緩衝器電路，連接至該第一 MOS 電晶體的閘極；及
- 一輸出鉀墊，連接至該第一 MOS 電晶體的第一 N+ 區域。
11. 如申請專利範圍第 8 項所述之半導體結構，更進一步包含：
- 一第一 N 型通道區域，具有一第一通道長度，並位於該第一 MOS 電晶體的第一及第二區域之間；及
- 一第二 N 型通道區域，具有一第二通道長度，並位於該第二 MOS 電晶體的第一及第二區域之間；
- 其中，該第一通道區域的通道長度比該第二通道區域的通道長度長，以提升該第一 MOS 電晶體的汲極崩潰電壓。

潰電壓，減緩其導通速度。

12.一種積體電路靜電放電防護的半導體結構，主要包含：

一P型基體，形成該半導體結構的底部；

一對第一N+區域，位於該基體中，以定義出一第二MOS電晶體的第一N型通道區域；及

一對第二N+區域，位於該基體中，以定義出一第一MOS電晶體的第二N型通道區域；其中，該第一通道區域的通道長度比該第二通道區域的通道長度長。

13.如申請專利範圍第12項所述之半導體結構，更進一步包含：

一前級緩衝器電路，連接至該第一通道區域；及

一輸出鉀墊，連接至該對第一N+區域的其中一個區域，及該對第二N+區域的其中一個區域。

14.如申請專利範圍第12項所述之半導體結構，更進一步包含一第一導電型的第三區域，位於該對第二N+區域的其中一個區域旁邊，以形成一額外的游離電荷收集區，來圍住該第一MOS電晶體，俾減緩其導通速度。

15.一種積體電路靜電放電防護的半導體結構，其一端連接至一輸入鉀墊，另一端連接至該積體電路的內部電路，並包含：

一第一導電型的基體，形成該半導體結構的底部；

一第二導電型的第一通道，位於該基體中，介於一第一MOS電晶體中之第二導電型的一對第一區域間；及

一第二導電型的第二通道，位於該基體中，介於一第二MOS電晶體中之第二導電型的一對第二區域間，

其中，

一額外的游離電荷收集區係置於該第二導電型的該對第一區域旁邊，以減緩前述第一電晶體的導通速度。

5.

16.如申請專利範圍第15項所述之半導體結構，其中，該第一通道長度比該第二通道長度長，以提升該第一MOS電晶體的汲極崩潰電壓，俾減緩其導通速度。

10.

17.一種靜電放電防護的半導體結構，係以堆疊的NMOS或PMOS積體電路所形成，以用作可容忍高電壓輸出入元件庫，該半導體結構的一端連接至一前級驅動電路，另一端連接至該積體電路的一輸出入鉀墊，並包含：

15.

一第一導電型的基體，形成該半導體結構的底部；

20.

一第二導電型的第一通道，位於該基體中，介於一第一MOS電晶體之第二導電型的一對第一區域間，而該第一MOS電晶體堆疊於一第二導電型的第三MOS電晶體上；及

25.

一第二導電型的第二通道，位於該基體中，介於一第二MOS電晶體之第二導電型的一對第二區域間，而該第二MOS電晶體堆疊於一個第二導電型的第四MOS電晶體上；其中，

30.

一額外的游離電荷收集區係置於該第二導電型的該對第一區域旁邊，以減緩該第一MOS電晶體的導通速度，並／或使該第一MOS電晶體的通道長度比該第二MOS電晶體的通道長度長，以提升該第一MOS電晶體的汲極崩潰電壓。

35.

18.如申請專利範圍第17項所述之半導體結構，其中，該第一通道長度比該第二通道長度長，以提升該第一

40.

MOS 電晶體的汲極崩潰電壓，俾減緩其導通速度。

19. 一種用於靜電放電防護的半導體結構，主要包含：

至少一靜電放電防護元件；及

至少一被防護元件，其被一反向抑制導通手段抑制其導通，使得該靜電放電防護元件得以在被防護元件被導通之前，先被導過來排放靜電放電電流。

圖式簡單說明：

圖 1A ~ C 係為輸出入元件的傳統電路功能及元件尺寸示意圖。

圖 2A 係為一般具有並聯多通道佈局結構的輸出入元件佈局示意圖。

圖 2B 係為一般具小電流驅動能力的輸出元件中，NMOS 元件的電路示意圖。

圖 3 係為傳統閘極耦合技術電路示意圖，它被用以改善具小電流驅動能力的輸出元件的靜電放電耐受度。

圖 4 係為另一個傳統閘極耦合技術的電路示意圖，相同地，它被用以改善具小電流驅動能力的輸出元件的靜電放電耐受度。

圖 5 係為傳統動態浮接閘極技術電路示意圖，相同地，它也被用以改善具小電流驅動能力的輸出元件的靜電放電耐受度。

圖 6A 係為利用傳統加入靜電放電佈植製程技術，以改善具小電流驅動能力的輸出元件的靜電放電耐受度的電路示意圖。

圖 6B 係為一佈局示意圖，以顯示以圖 6A 所示傳統靜電放電佈植製程技術來改善小電流驅動能力的輸出元件之靜電放電耐受能力。

圖 6C 係為一元件剖面圖，以概略顯示圖 6A 所示傳統靜電放電佈植製

程技術。

圖 7A 係為一元件剖面圖，以概略顯示在根據本發明之一實施例之具小電流驅動能力的輸出元件中的 NMOS 區域裡，加入游離電荷收集區。

圖 7B 係為圖 7A 的實施例之電路示意圖。

圖 7C 係為圖 7A 的實施例之佈局示意圖。

圖 8A 係為一元件剖面圖，以概略顯示在根據本發明之一實施例之具小電流驅動能力的輸出元件中的 NMOS 區域裡，調變元件通道長度。

圖 8B 係為圖 8A 的實施例之電路示意圖。

圖 8C 係為圖 8A 的實施例之佈局示意圖。

圖 9A 係為一元件剖面圖，以概略顯示在根據本發明之一實施例的具中電流驅動能力之輸出元件中的 NMOS 區域裡，同時調變元件通道長度及加入游離電荷收集區。

圖 9B 係為圖 9A 的實施例之佈局示意圖。

圖 10A 係為傳統輸入級靜電放電防護 NMOS 元件的電路示意圖。

圖 10B 係為圖 10A 中 NMOS 元件的實施例之佈局示意圖。

圖 11A 係為一佈局示意圖，以顯示根據本發明之一實施例之輸入級靜電放電防護 NMOS 元件中，調變元件通道長度。

圖 11B 係為圖 11A 中 NMOS 元件的實施例之元件剖面圖。

圖 12A 係為一佈局示意圖，以顯示根據本發明之一實施例之傳統輸入級靜電放電防護的 NMOS 元件中，加入游離電荷收集區。

圖 12B 係為圖 12A 中 NMOS 元

件的實施例之元件剖面圖。

圖 13 係為一佈局示意圖，以顯示根據本發明之一實施例之輸入級靜電放電防護的 NMOS 元件中，同時調變元件通道長度及加入游離電荷收集區。

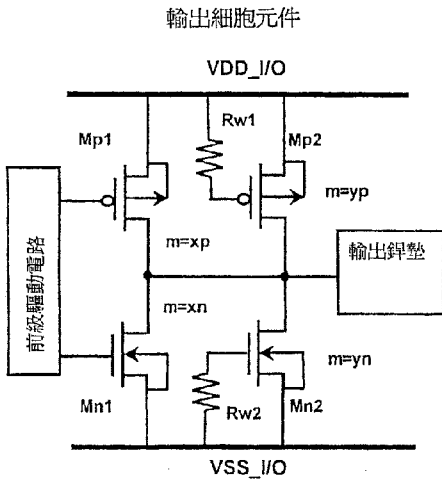
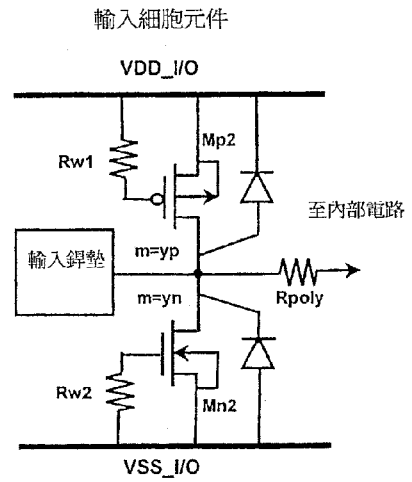


圖 14A 係為一電路示意圖，以顯示根據本發明之一實施例之傳統 3V/5V 介面輸出入元件中，調變元件通道長度。

5. 圖 14B 係為圖 14A 中 NMOS 元件的實施例之佈局示意圖。



(6)

雙向細胞元件

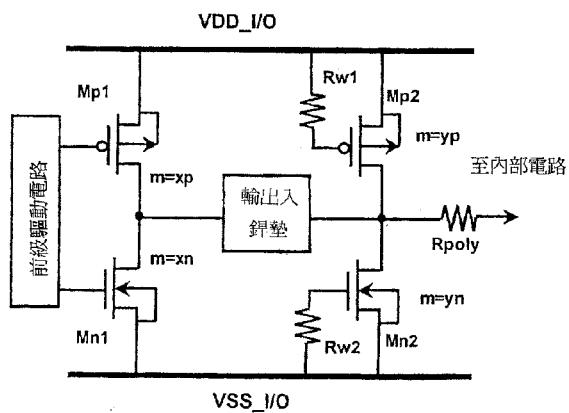


圖 1C

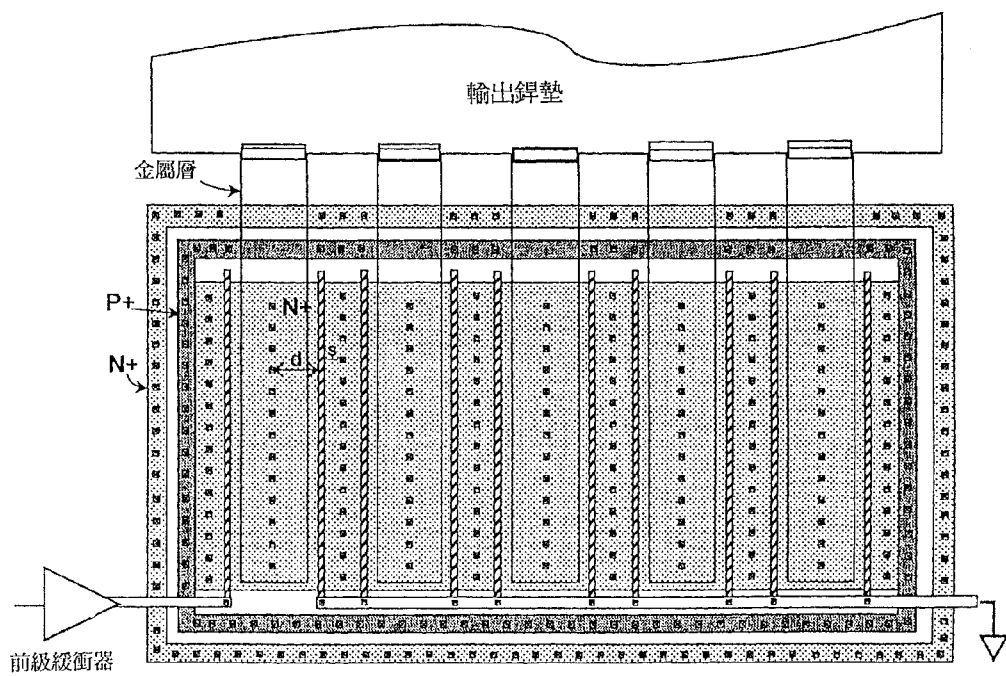


圖 2A

(7)

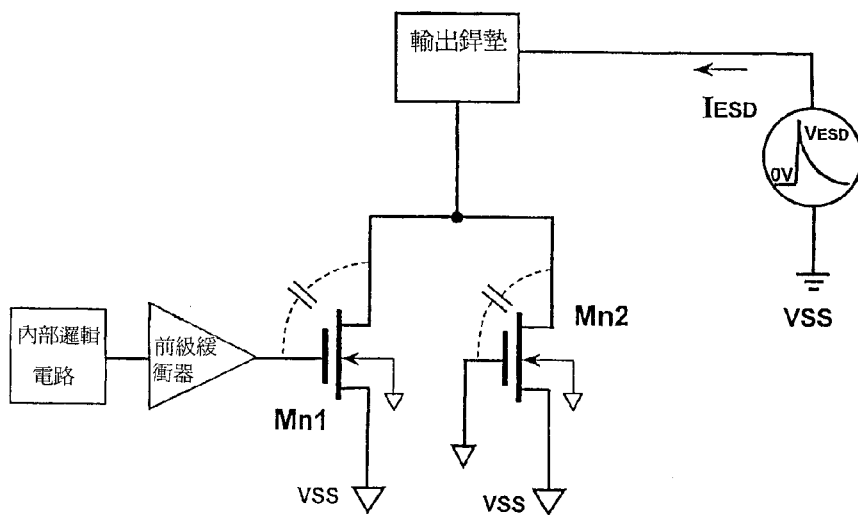


圖 2B

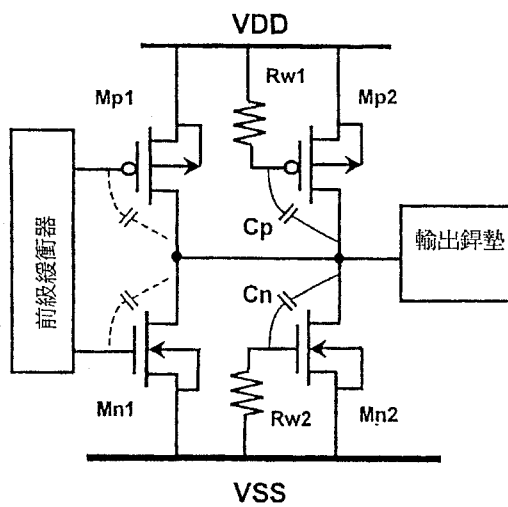


圖 3

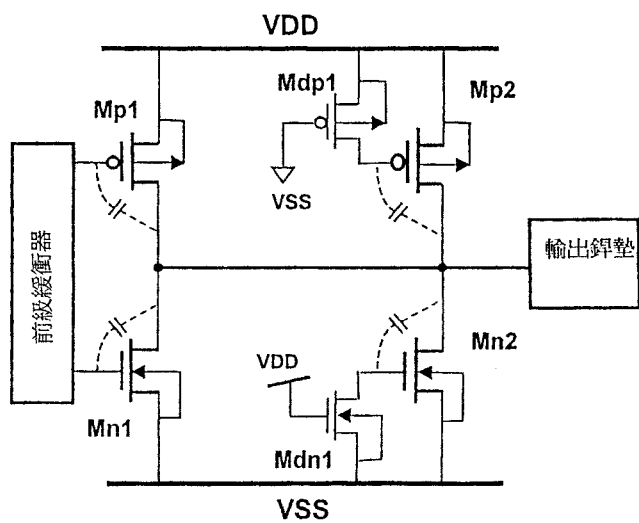


圖 4

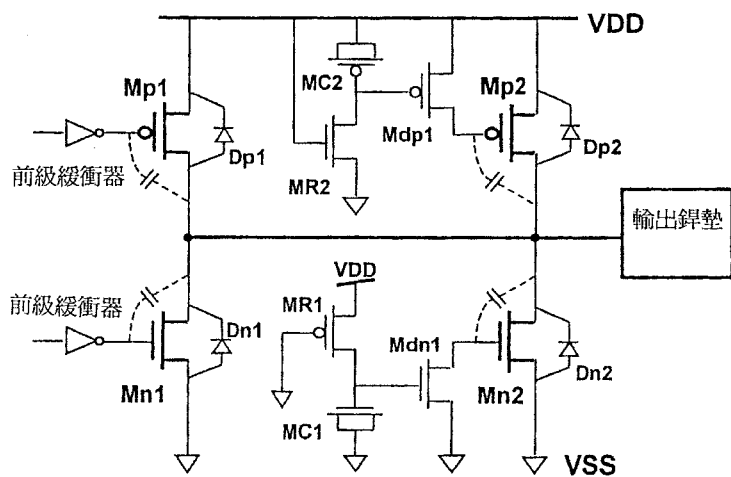


圖 5

(9)

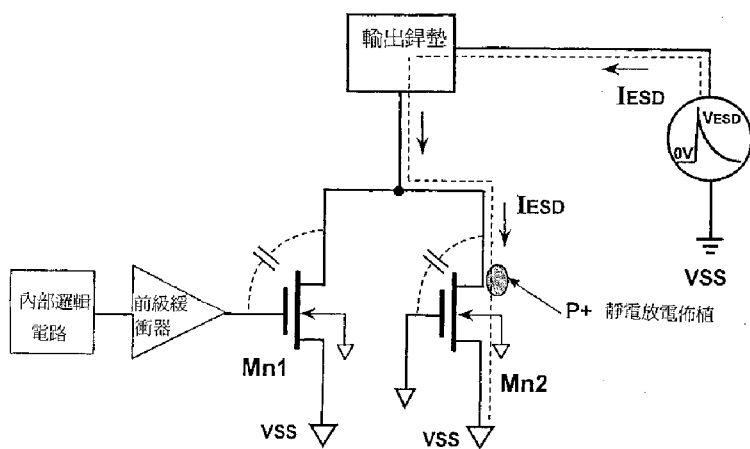


圖 6A

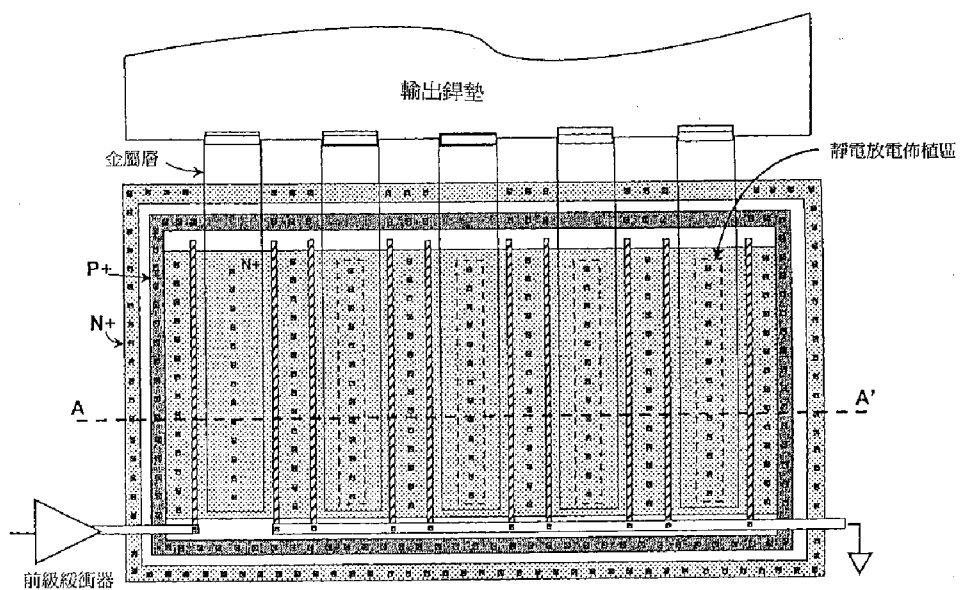


圖 6B

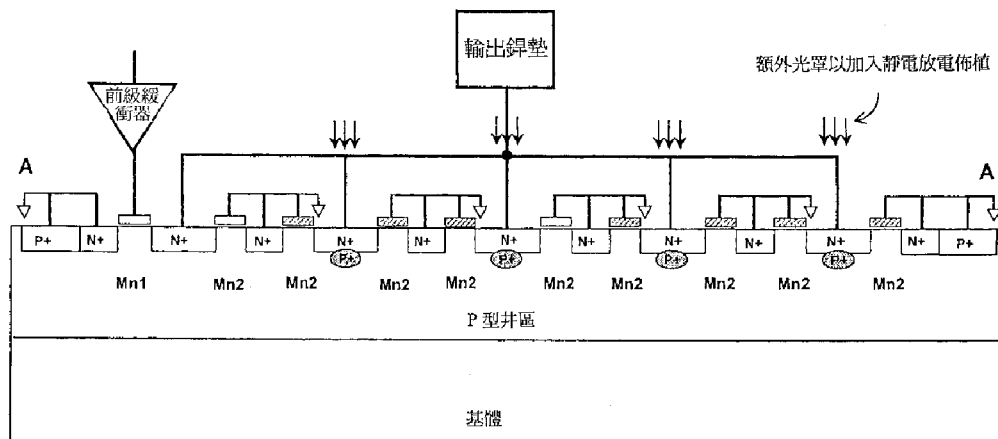


圖 6C

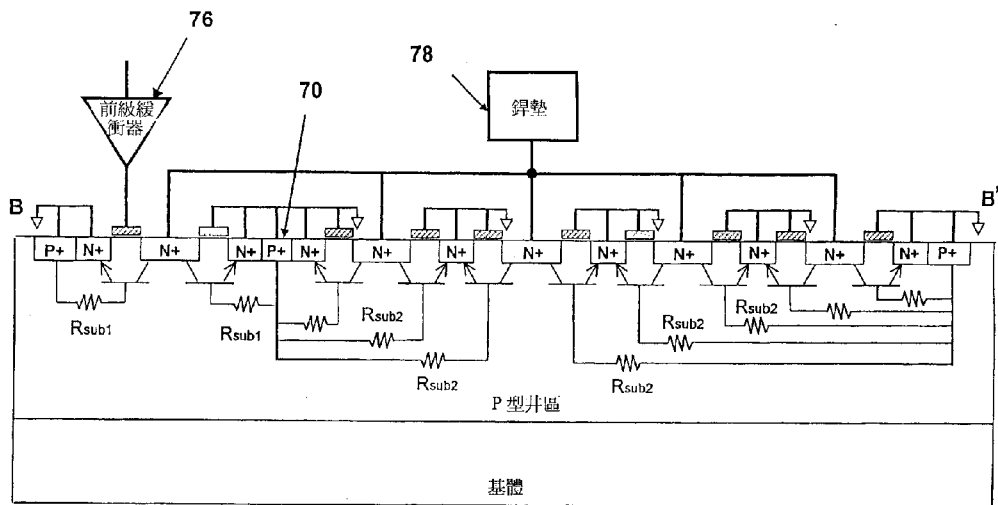


圖 7A

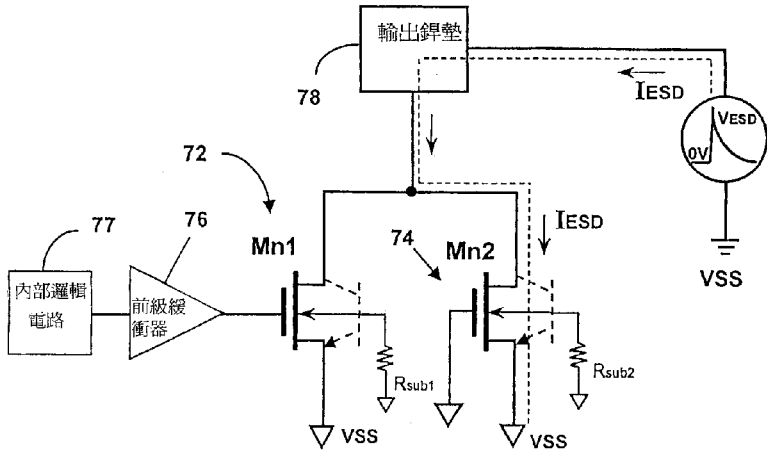


圖 7B

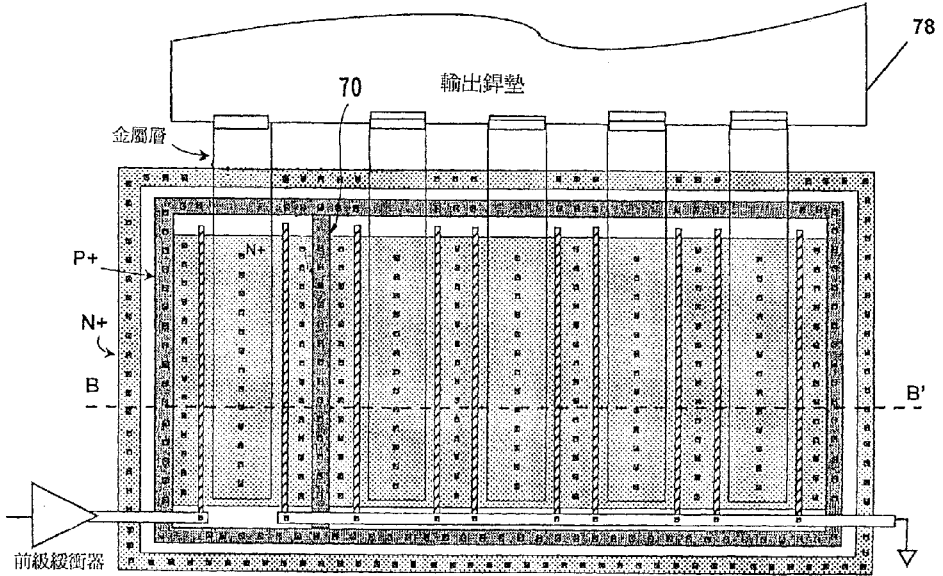


圖 7C

(12)

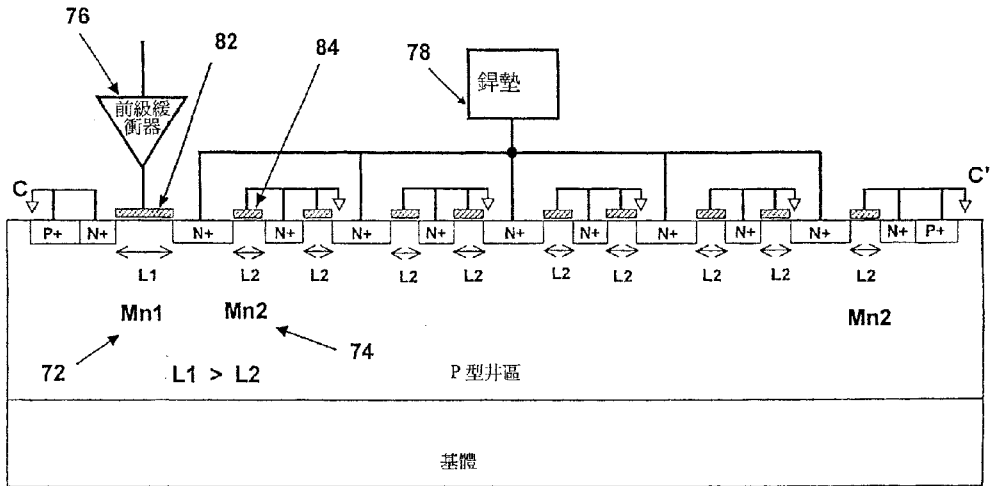


圖 8A

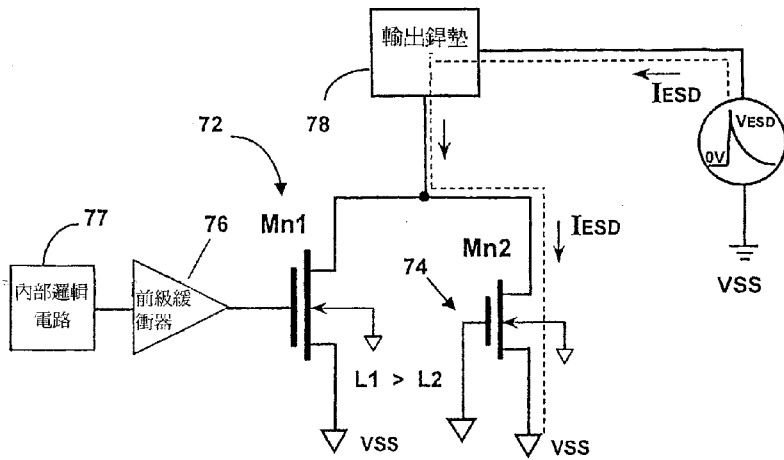


圖 8B

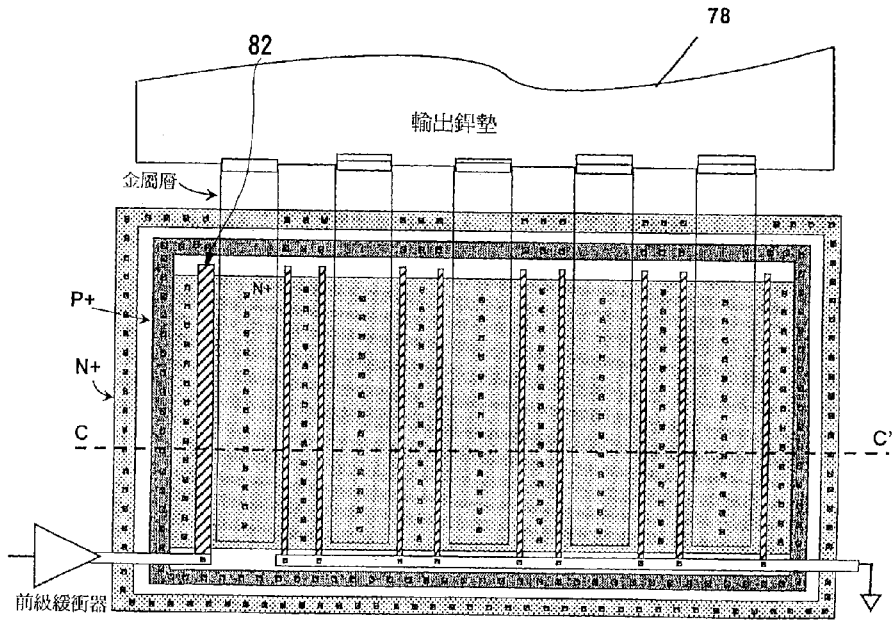


圖 8C

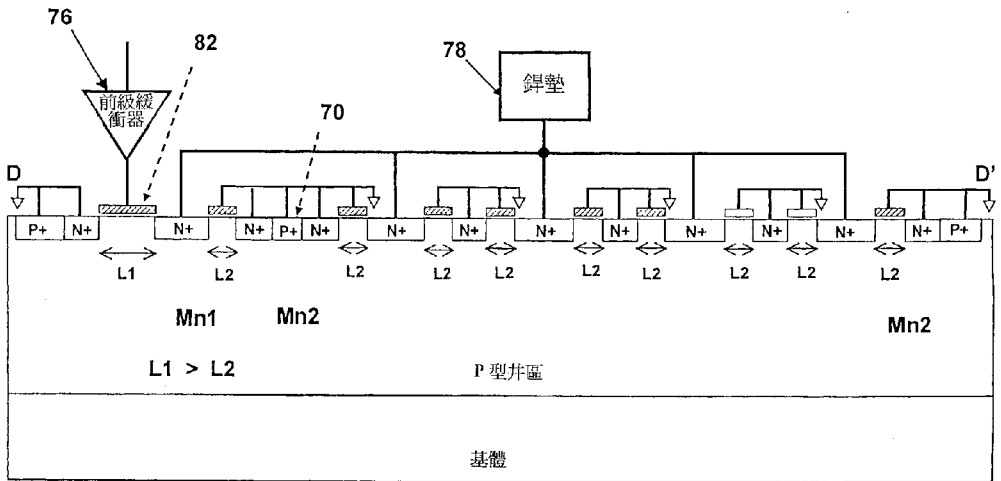


圖 9A

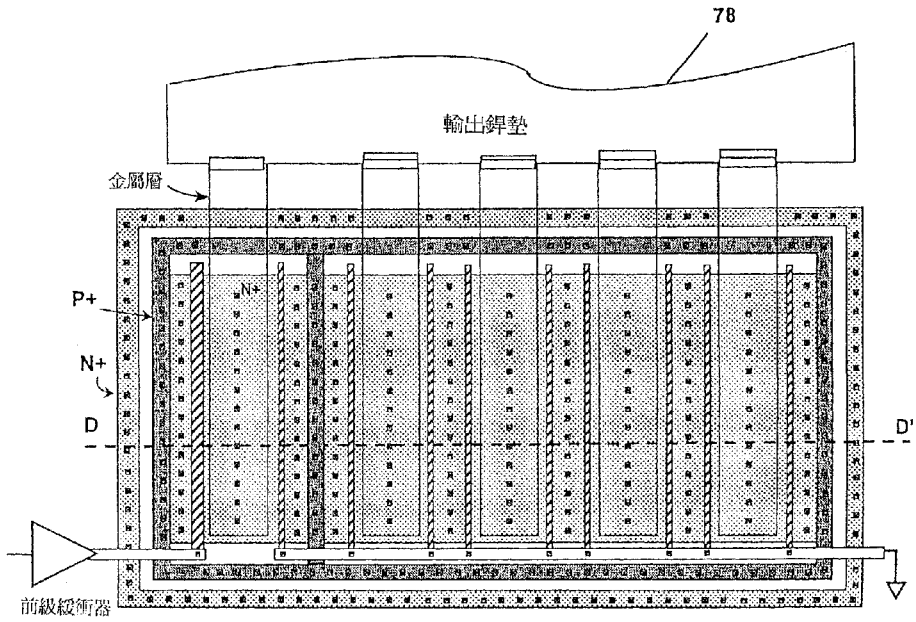


圖 9B

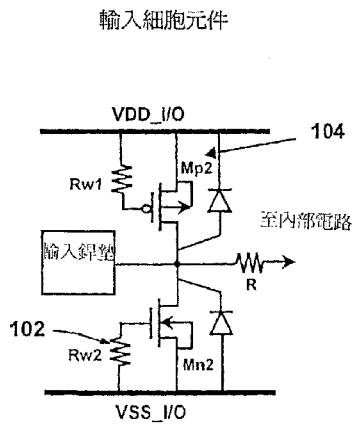


圖 10A

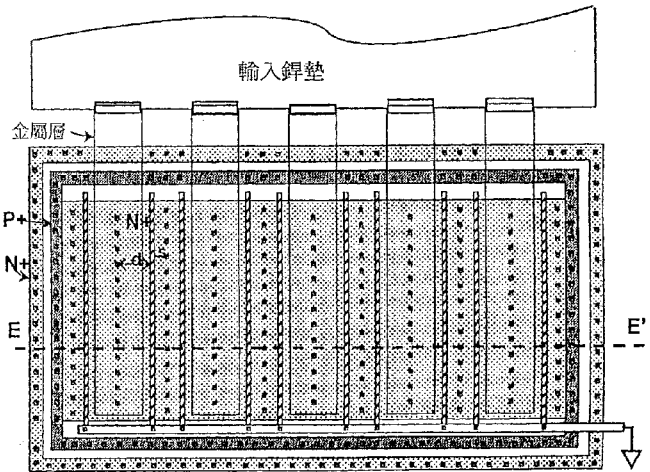


圖 10B

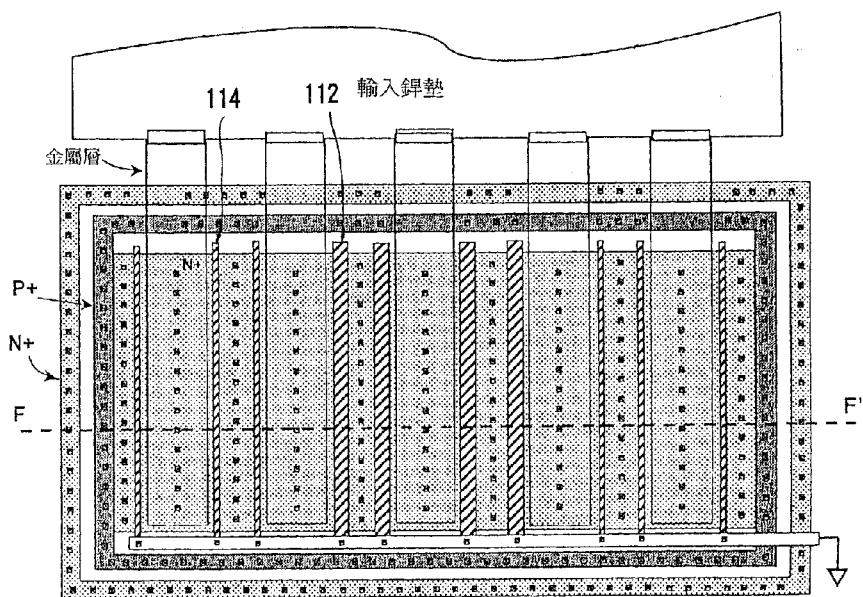


圖 11A

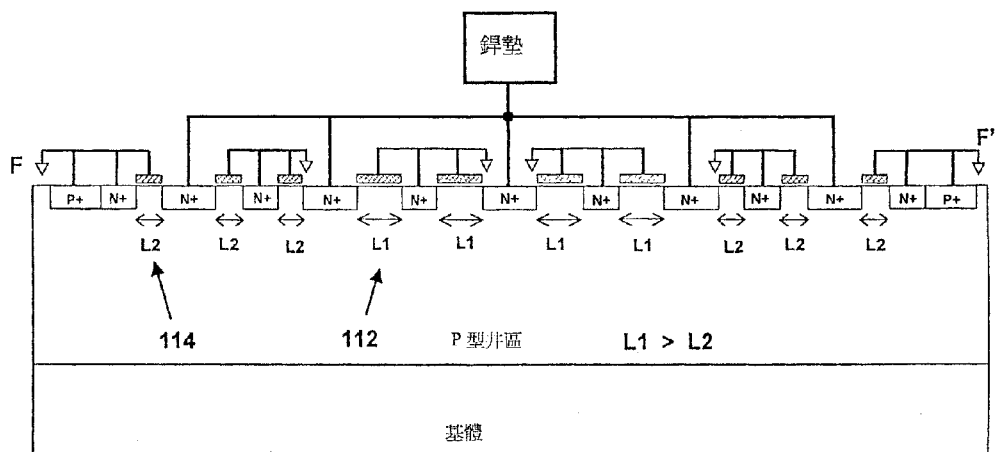


圖 11B

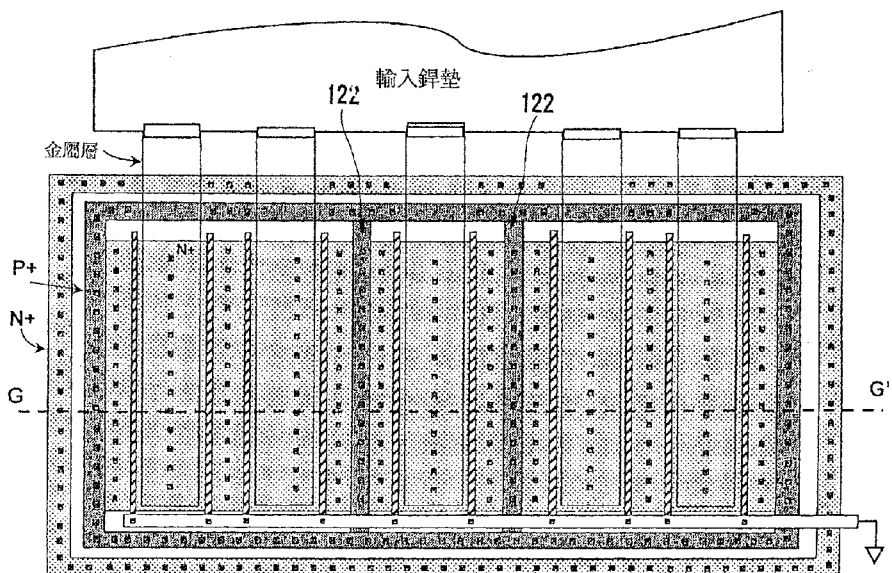


圖 12A

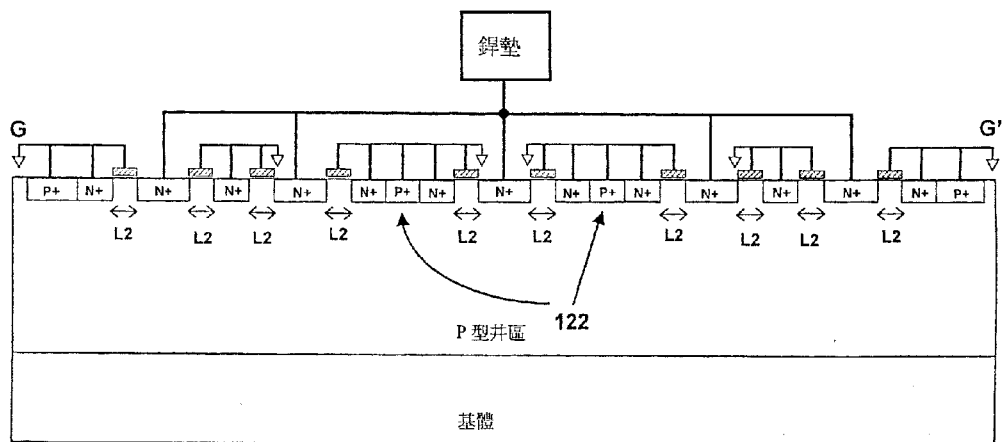


圖 12B

(17)

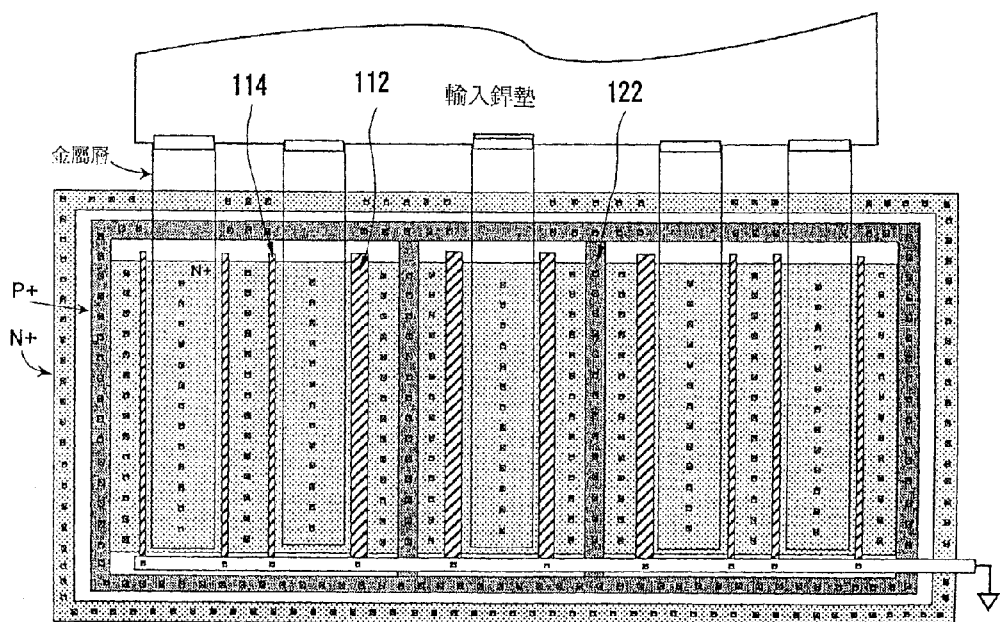


圖 13

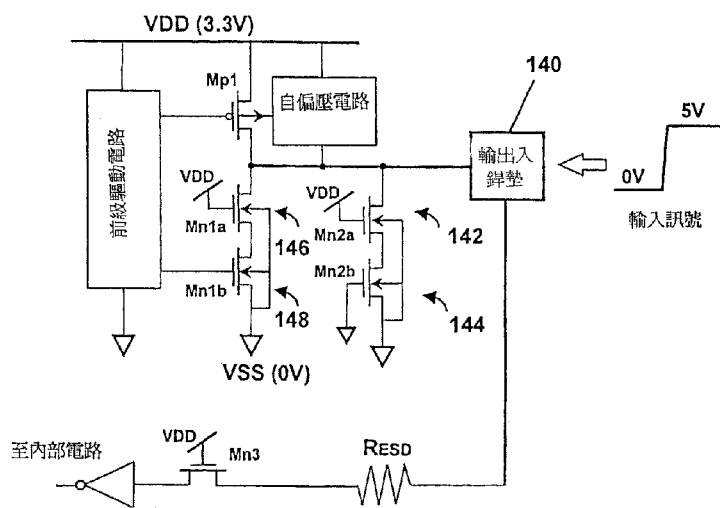


圖 14A

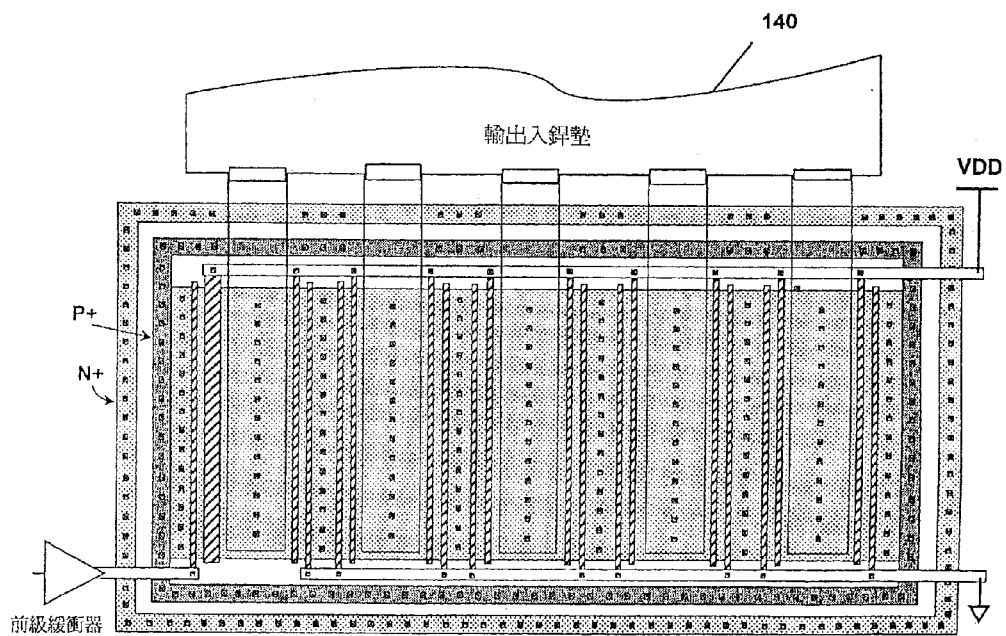


圖 14B