

[11]公告編號：501263

[44]中華民國 91 年 (2002) 09 月 01 日
發明

全 17 頁

[51] Int.Cl⁰⁷： H01L23/60

[54]名稱：一種高基底觸發效應之 ESD 保護元件結構及其應用電路

[21]申請案號： 090117747

[22]申請日期：中華民國 90 年 (2001) 07 月 20 日

[72]發明人：

柯明道
陳東暘
唐天浩

新竹市寶山路二〇〇巷三號四樓之三
新竹市光復路一段八十九巷一二一號十二樓之二
新竹市東山街二十七巷十三號六樓

[71]申請人：

聯華電子股份有限公司

新竹科學工業園區新竹市力行二路三號

[74]代理人： 許鍾迪 先生

1

2

[57]申請專利範圍：

1.一種高基底觸發效應(substrate-triggered effect)之 N 通道金屬氧化物半導體(NMOS)元件結構，該NMOS 元件結構係形成於一基底之P型井上，該 NMOS 元件結構包含有：

一閘極(gate)，設於該 P 型井中；

一第一 N⁺ 擴散區域，設於該 P 型井中，用來當作該 NMOS 元件結構之汲極；

一第二 N⁺ 擴散區域，設於該 P 型井中，用來當作該 NMOS 元件結構之源極，且該第一 N⁺ 擴散區域、該 P 型井以及該第二 N⁺ 擴散區域係形成一寄生橫向 n-p-n 雙載子電晶體(parasitic lateral n-p-n BJT)之集極(collector)、基極(base)與射極(emitter)；

一第一 P⁺ 擴散區域，設於該 P 型井中，用來電連接一 P 型井偏壓電路(P-well biased circuit)；

5.

一虛置閘極(dummy gate)，設於該第一 N⁺ 擴散區域以及該第一 P⁺ 擴散區域之間；

一第二 P⁺ 擴散區域，設於該 P 型井中，用來電連接一 V_{ss} 電源接腳(V_{ss} power terminal)；以及

一淺溝隔離(STI)，用以隔離該第二 N 擴散區域與該第二 P⁺ 擴散區域；

10.

其中當該 P 型井偏壓電路(P-well biased circuit)誘發一基底觸發電流(I_{trig})時，該基底觸發電流(I_{trig})會由該第一 P 擴散區域流過該虛置閘極下方之該 P⁺ 型井而開啟該寄生橫向雙載子電晶體，以使電連接至該汲極之一特定電流被快速經由該源極而傳導至該 V_{ss} 寫源接腳。

15.

2.如申請範圍第 1 項之 NMOS 元件結構，另包含有複數個輕摻雜汲極(LDD)設於各該閘極周圍之該 P 型井中。

20.

- 3.如申請範圍第1項之NMOS元件結構，其中該虛置閘極係包含有P型摻質以及N型摻質。
- 4.如申請範圍第1項之NMOS元件結構，其中該特定電流係為一靜電放電(electrostatic discharge, ESD)電流。
- 5.一種高基底觸發效應(substrate-triggered effect)之P通道金屬氧化物半導體(PMOS)元件結構，該PMOS元件結構係形成於一基底之N型井上，該PMOS元件結構包含有：
 - 一閘極(gate)，設於該N型井中；
 - 一第一P⁺擴散區域，設於該N型井中，用來當作該PMOS元件結構之汲極；
 - 一第二P⁺擴散區域，設於該N型井中，用來當作該PMOS元件結構之源極，且該第一P⁺擴散區域、該N型井以及該第二P⁺擴散區域係形成一寄生橫向p-n-p雙載子電晶體(parasitic lateral p-n-p BJT)之集極(collector)、基極(base)與射極(emitter)；
 - 一第一N⁺擴散區域，設於該N型井中，用來電連接一N型井偏壓電路(P-well biased circuit)；
 - 一虛置閘極(dummy gate)，設於該第一P⁺擴散區域以及該第一N擴散區域之間；
 - 一第二N⁺擴散區域，設於該N型井中，用來電連接一V_{DD}電源接腳(V_{DD} power terminal)；以及
 - 一淺溝隔離(STI)，用以隔離該第二P⁺擴散區域與該第二N⁺擴散區域；
 其中當該N型井偏壓電路(P-well biased circuit)誘發一基底觸發電流(I_{trig})時，該基底觸發電流(I_{trig})會流過該虛置閘極下方之該N型井至該第一N⁺擴散區域而開啟該寄生橫向雙載子電晶體，以使電連接至該汲極之一特定

- 電流被快速經由該源極而傳導至該VDD電源接腳。
- 6.如申請範圍第5項之PMOS元件結構，另包含有複數個輕摻雜汲極(LDD)設於各該閘極周圍之該N型井中。
- 7.如申請範圍第5項之PMOS元件結構，其中該虛置閘極係包含有P型摻質以及N型摻質。
- 8.如申請範圍第5項之PMOS元件結構，其中該特定電流係為一靜電放電(electrostatic discharge, ESD)電流。
- 9.一種ESD保護元件結構(ESD protection device structure)，該ESD保護元件結構係形成於一基底之P型井上，該ESD保護元件結構包含有：
 - 至少一NMOS，設於該P型井中，且該NMOS之汲極、該P型井以及該NMOS之源極係形成一寄生橫向n-p-n雙載子電晶體(parasitic lateral n-p-n BJT)，而該NMOS之汲極與該NMOS之源極則係分別電連接於一輸入／輸出緩衝墊(I/O buffering pad)以及一V_{ss}電源接腳(V_{ss} power terminal)；
 - 至少一第一P⁺擴散區域，設於該P型井中，用來電連接一P型井偏壓電路(P-well biased circuit)；
 - 至少一虛置閘極(dummy gate)，設於該NMOS以及該第一P擴散區域之間；
 - 至少一第二P擴散區域，設於該P型井中，用來電連接該V_{ss}電源接腳；以及
 - 至少一淺溝隔離(STI)，用以隔離該NMOS與該第二P⁺擴散區域；
 其中當一ESD電壓脈衝被施加於該輸入輸出(I/O)緩衝墊時，該P型井偏壓電路(P-well biased circuit)會誘發一基底觸發電流(I_{trig})，並由該第一P⁺擴散區域直接流經該虛置閘極下方

之該P型井至該寄生橫向雙載子電晶體之該基極而觸發該寄生橫向雙載子電晶體，以快速釋放該ESD電壓脈衝之電流至該 V_{ss} 電源接腳。

- 10.如申請範圍第9項之ESD保護元件結構，其中被觸發之該寄生偏向雙載子電晶體會將大部分的該ESD電壓脈衝之電流經由該NMOS下方之該P型井釋放至該 V_{ss} 電源接腳，而非流經該NMOS之表面通道。
- 11.如申請範圍第9項之ESD保護元件結構，其中該虛置閘極係包含有P型摻質以及N型摻質。
- 12.一種ESD保護元件結構(ESD protection device structure)，該ESD保護元件結構係形成於一基底之N型井上，該ESD保護元件結構包含有：至少一PMOS，設於該N型井中，且該PMOS之汲極、該N型井以及該PMOS之源極係形成一寄生橫向p-n-p雙載子電晶體(parasitic lateral p-n-p BJT)，而該PMOS之汲極與該PMOS之源極則係分別電連接於一輸入／輸出緩衝墊(I/O buffering pad)以及一 V_{DD} 電源接腳(V_{DD} power terminal)；至少一第一N擴散區域，設於該N型井中，用來電連接一N型井偏壓電路(P-well biased circuit)；至少一虛置閘極(dummy gate)，設於該PMOS以及該第一N⁺擴散區域之間；至少一第二N擴散區域，設於該N型井中，用來電連接該 V_{DD} 電源接腳；以及至少一淺溝隔離(STI)，用以隔離該PMOS與該第二N⁺擴散區域；其中當一ESD電壓脈衝被施加於該輸入／輸出(I/O)緩衝墊時，該N型井偏壓電路(P-well biased circuit)會誘發一基底觸發電流(I_{nig})，並由該寄生

5. 橫向雙載子電晶體之該基極直接流經該虛置閘極下方之該N型井至該第一N⁺擴散區域而開啟該寄生橫向雙載子電晶體，以快速釋放該ESD電壓脈衝之電流至該 V_{DD} 電源接腳。
- 13.如申請範圍第12項之ESD保護元件結構，其中被觸發之該寄生偏向雙載子電晶體會將大部分的該ESD電壓脈衝之電流經由該PMOS下方之該N型井釋放至該 V_{DD} 電源接腳，而非流經該PMOS之表面通道。
- 14.如申請範圍第12項之ESD保護元件結構，其中該虛置閘極係包含有P型摻質以及N型摻質。
15. 15.一種靜電放電防護電路(electrostatic discharge protection circuit)，該ESD防護電路係電連接於一輸入／輸出緩衝墊(I/O buffering pad)、一內部電路(internal circuit)、一 V_{ss} 電源接腳(V_{ss} power terminal)以及一 V_{DD} 電源接腳，該ESD防護電路包含有：一第一ESD保護元件結構，電連接於該 V_{ss} 電源接腳、該輸入／輸出緩衝墊與該內部電路，該第一ESD保護元件結構包含有：一P型井；至少一第一NMOS，設於該P型井中，且該第一NMOS之汲極、該P型井以及該第一NMOS之源極係形成一寄生橫向n-p-n雙載子電晶體(parasitic lateral n-p-n BJT)，而該第一NMOS之汲極與該第一NMOS之源極係分別電連接於該輸入／輸出緩衝墊以及該 V_{ss} 電源接腳；至少一第一P⁺擴散區域，設於該p型井中；至少一虛置閘極(dummy gate)，設於該第一NMOS以及該第一P⁺擴散區域之間；至少一第二P⁺擴散區域，設於該P型
- 10.
- 20.
- 25.
- 30.
- 35.
- 40.

井中，用來電連接該 V_{ss} 電源接腳；以及

至少一第一淺溝隔離(STI)，用以隔離該第一 NMOS 與該第二 P^+ 擴散區域；

一正向基底偏壓電路，電連接於該 V_{ss} 電源接腳、該輸入／輸出緩衝墊、該內部電路以及該第一 ESD 保護元件結構之該第一 P^+ 擴散區域，該正向基底偏壓電路包含有：

一第二 NMOS，該第二 NMOS 之源極係經由一 P 型井電阻(R_{PW})與該 V_{ss} 電源接腳電連接，該第二 NMOS 之汲極係電連接於該輸入／輸出緩衝墊，該第二 NMOS 之閘極係經由一第一電子元件以及一第二電子元件而分別與該 V_{ss} 電源接腳以及該輸入／輸出緩衝墊相電連接；

一第二 ESD 保護元件結構，電連接於該 V_{DD} 電源接腳、該輸入／輸出緩衝墊與該內部電路，該第二 ESD 保護元件結構包含有：

一 N 型井；

至少一第一 PMOS，設於該 N 型井中，且該第一 PMOS 之汲極、該 N 型井以及該第一 PMOS 之源極係形成一寄生橫向 p-n-p 雙載子電晶體(parasitic lateral p-n-p BJT)，而該 PMOS 之汲極與該第一 PMOS 之源極係分別電連接於該輸入／輸出緩衝墊以及該 V_{DD} 電源接腳(V_{DD} power terminal)；

至少一第一 N^+ 擴散區域，設於該 N 型井中；

至少一虛置閘極(dummy gate)，設於該第一 PMOS 以及該第一 N^+ 擴散區域之間；

至少一第二 N^+ 擴散區域，設於該 N 型井中，用來電連接該 V_{DD} 電源接腳；以及

至少一第二淺溝隔離(STI)，用以隔離該第一 PMOS 與該第二 N^+ 擴散區域；

一負向基底驅動電路，電連接於該 V_{DD} 電源接腳、該輸入／輸出緩衝墊、該內部電路以及該第二 ESD 保護元件結構之該第一 N^+ 擴散區域，該負向基底驅動電路包含有：

一第二 PMOS，該第二 PMOS 之源極係經由一 N 型井電阻(R_{NW})與該 V_{DD} 電源接腳電連接，該第二 PMOS 之汲極係電連接於該輸入／輸出緩衝墊，該第二 PMOS 之閘極係經由一第三電子元件以及一第四電子元件而分別與該 V_{DD} 電源接腳以及該輸入／輸出緩衝墊相電連接。

16.如申請範圍第 15 項之 ESD 防護電路，其中當一正 ESD 電壓脈衝被施加於該輸入／輸出緩衝墊且 V_{ss} 接地而 V_{DD} 浮接(floating)時，該正 ESD 電壓脈衝會藉由該第二電子元件與第一電子元件而對該第二 NMOS 的閘極施加一耦合電壓(coupled voltage)。

17.如申請範圍第 16 項之 ESD 防護電路，其中當該耦合電壓大於該第二 NMOS 之起始電壓(V_{th})時，該第二 NMOS 會被開啟並導通部分該正 ESD 電壓脈衝之電流經由該第一 P 摻雜區而被導入該 P 型井，以觸發該寄生橫向 n-p-n 雙載子電晶體，使該 ESD 電壓脈衝之電流得以經由該第一 NMOS 下方之該 P 型井而被快速釋放至該 V_{ss} 電源接腳。

18.如申請範圍第 15 項之 ESD 防護電路，其中當一負 ESD 電壓脈衝被施加於該輸入／輸出緩衝墊且 V_{ss} 接地而 V_{DD} 浮接(floating)時，該負 ESD 電壓脈衝之電流會經由該第一 NMOS 之汲極與該 P 型井所構成之順向偏壓接面(forward biased junction)而被釋

- 放至該 V_{ss} 電源接腳。
- 19.如申請範圍第 15 項之 ESD 防護電路，其中當一負 ESD 電壓脈衝被施加於該輸入／輸出緩衝墊且 V_{dd} 接地而 V_{ss} 浮接(floating)時，該負 ESD 電壓脈衝會藉由該第三電子元件與第四電子元件而對該第二 PMOS 的閘極施加一耦合電壓(coupled voltage)。
 - 20.如申請範圍第 19 項之 ESD 防護電路，其中當該耦合電壓小於該第二 PMOS 之起始電壓(V_{th})時，該第二 PMOS 會被開啟並導通部分該負 ESD 電壓脈衝之電流經由該第一 N^+ 摻雜區而被導入該 N 型井，以觸發該寄生橫向 p-n-p 雙載子電晶體，使該負 ESD 電壓脈衝之電流得以經由該第一 PMOS 下方之該 N 型井而被快速釋放至該 V_{dd} 電源接腳。
 - 21.如申請範圍第 15 項之 ESD 防護電路，其中當一正 ESD 電壓脈衝被施加於該輸入／輸出緩衝墊且 V_{dd} 接地而 V_{ss} 浮接(floating)時，該正 ESD 電壓脈衝之電流會經由該第一 PMOS 之汲極與該 N 型井所構成之順向偏壓接面(forward biased junction)而被釋放至該 V_{dd} 電源接腳。
 - 22.如申請範圍第 15 項之 ESD 防護電路，其中該第一電子元件包含有一電阻或二極體(diodes)。
 - 23.如申請範圍第 15 項之 ESD 防護電路，其中該第二電子元件包含有一電阻、電容或一基納(zener)二極體。
 - 24.如申請範圍第 15 項之 ESD 防護電路，其中該第三電子元件包含有一電阻、電容或一基納二極體。
 - 25.如申請範圍第 15 項之 ESD 防護電路，其中該第四電子元件包含有一電阻或二極體。
 - 26.如申請範圍第 15 項之 ESD 防護電路，另包含有一前驅電路(pre-driver

- circuit)，電連接於該 V_{dd} 電源接腳、該 V_{ss} 電源接腳、該內部電路、該第一 NMOS 之閘極以及該第一 PMOS 之閘極。
5. 27.一種 ESD 防護電路，該 ESD 防護電路係電連接於一輸入／輸出緩衝墊、一內部電路、一 V_{ss} 電源接腳以及一 V_{dd} 電源接腳，該 ESD 防護電路包含有：
 10. 一第一 ESD 保護元件結構，電連接於該 V_{ss} 寫源接腳、該輸入／輸出緩衝墊與該內部電路，該第一 ESD 保護元件結構包含有：
 15. 一 P 型井；
 - 至少一 NMOS，設於該 P 型井中，且該 NMOS 之汲極、該 P 型井以及該 NMOS 之源極係形成一寄生橫向 n-p-n 雙載子電晶體(parasitic lateral n-p-n BJT)，而該 NMOS 之汲極與該 NMOS 之源極係分別電連接於該輸入／輸出緩衝墊以及該 V_{ss} 電源接腳；
 20. 至少一第一 P^+ 擴散區域，設於該 P 型井中；
 25. 至少一虛置閘極(dummy gate)，設於該 NMOS 以及該第一 P^+ 擴散區域之間；
 - 至少一第二 P^+ 擴散區域，設於該 P 型井中，用來電連接該 V_{ss} 電源接腳；
 30. 以及
 - 至少一第一淺溝隔離(STI)，用以隔離該 NMOS 與該第二 P^+ 擴散區域；
 - 一正向基底偏壓電路，電連接於該 V_{ss} 電源接腳、該輸入／輸出緩衝墊、該內部電路以及該第一 ESD 保護元件結構之該第一 P^+ 擴散區域，該正向基底偏壓電路包含有：
 35. 一第一電子元件，電連接於該輸入／輸出緩衝墊、該內部電路以及該第一 ESD 保護元件結構之該第一 P^+

擴散區域；以及

一第二電子元件，電連接於該 V_{ss} 電源接腳以及該第一 ESD 保護元件結構之該第一 P^+ 擴散區域；

一第二 ESD 保護元件結構，電連接於該 V_{DD} 電源接腳、該輸入／輸出緩衝墊與該內部電路，該第二 ESD 保護元件結構包含有：

一 N 型井；

至少一 PMOS，設於該 N 型井中，且該 PMOS 之汲極、該 N 型井以及該 PMOS 之源極係形成一寄生橫向 p-n-p 雙載子電晶體 (parasitic lateral p-n-p BJT)，而該 PMOS 之汲極與該 PMOS 之源極係分別電連接於該輸入／輸出緩衝墊以及該 V_{DD} 電源接腳 (V_{DD} power terminal)；

至少一第一 N^+ 擴散區域，設於該 N 型井中；

至少一虛置閘極 (dummy gate)，設於該 PMOS 以及該第一 N 擴散區域之間；

至少一第二 N^+ 擴散區域，設於該 N 型井中，用來電連接該 V_{DD} 電源接腳；以及

至少一第二淺溝隔離 (STI)，用以隔離該 PMOS 與該第二 N^+ 擴散區域；

一負向基底驅動電路，電連接於該 V_{DD} 電源接腳、該輸入／輸出緩衝墊、該內部電路以及該第二 ESD 保護元件結構之該第一 N^+ 擴散區域，該負向基底驅動電路包含有：

一第三電子元件，電連接於該輸入／輸出緩衝墊、該內部電路以及該第二 ESD 保護元件結構之該第一 N^+ 擴散區域；以及

一第四電子元件，電連接於該 V_{DD} 電源接腳以及該第二 ESD 保護元件結構之該第一 N^+ 擴散區域。

28. 如申請範圍第 27 項之 ESD 防護電

路，其中當一正 ESD 電壓脈衝被施加於該輸入／輸出緩衝墊且 V_{ss} 接地而 V_{DD} 浮接 (floating) 時，該正 ESD 電壓脈衝會藉由該第二電子元件與該第一電子元件產生一耦合電壓 (coupled voltage) 並經由該第一 P^+ 摻雜區而施加於該 P 型井，以觸發該寄生橫向 n-p-n 雙載子電晶體，使該 ESD 電壓脈衝之電流得以經由該 NMOS 下方之該 P 型井而被快速釋放至該 V_{ss} 電源接腳。

29. 如申請範圍第 27 項之 ESD 防護電路，其中當一負 ESD 電壓脈衝被施加於該輸入／輸出緩衝墊且 V_{ss} 接地而 V_{DD} 浮接 (floating) 時，該負 ESD 電壓脈衝之電流會經由該 NMOS 之汲極與該 P 型井所構成之順向偏壓接面 (forward biased junction) 而被釋放至該 V_{ss} 電源接腳。

30. 如申請範圍第 27 項之 ESD 防護電路，其中當一負 ESD 電壓脈衝被施加於該輸入／輸出緩衝墊且 V_{DD} 接地而 V_{ss} 浮接 (floating) 時，該負 ESD 電壓脈衝會藉由該第三電子元件與該第四電子元件產生一耦合電壓 (coupled voltage) 並經由該第一 N^+ 摻雜區而施加於該 N 型井，以觸發該寄生橫向 p-n-p 雙載子電晶體，使該負 ESD 電壓脈衝之電流得以經由該 PMOS 下方之該 N 型井而被快速釋放至該 V_{DD} 電源接腳。

31. 如申請範圍第 27 項之 ESD 防護電路，其中當一正 ESD 電壓脈衝被施加於該輸入／輸出緩衝墊且 V_{DD} 接地而 V_{ss} 浮接 (floating) 時，該正 ESD 電壓脈衝之電流會經由該 PMOS 之汲極與該 N 型井所構成之順向偏壓接面 (forward biased junction) 而被釋放至該 V_{DD} 電源接腳。

32. 如申請範圍第 27 項之 ESD 防護電

- 路，其中該第一電子元件包含有一電阻或二極體(diodes)。
- 33.如申請範圍第 27 項之 ESD 防護電路，其中該第二電子元件包含有一電阻、電容或一基納(zener)二極體。
- 34.如申請範圍第 27 項之 ESD 防護電路，其中該第三電子元件包含有一電阻、電容或一基納二極體。
- 35.如申請範圍第 27 項之 ESD 防護電路，其中該第四電子元件包含有一電阻或二極體。
- 36.如申請範圍第 27 項之 ESD 防護電路，另包含有一前驅電路(pre-driver circuit)，電連接於該 V_{DD} 電源接腳、該 V_{SS} 電源接腳、該內部電路、該 NMOS 之閘極以及該 PMOS 之閘極。
- 37.一種電源線 ESD 箝制電路(power-rail ESD clamp circuits)，該電源線 ESD 箝制電路係電連接於一 V_{SS} 電源接腳以及一 V_{DD} 電源接腳，該電源線 ESD 箝制電路包含有：
- 一 ESD 保護元件結構，該第一 ESD 保護元件結構包含有：
 - 一 P 型井；
 - 一 NMOS，設於該 P 型井中，且該 NMOS 之汲極、該 P 型井以及該 NMOS 之源極係形成一寄生橫向 n-p-n 雙載子電晶體(parasitic lateral n-p-n BJT)，而該 NMOS 之汲極與該 NMOS 之源極係分別電連接於該 VDD 電源接腳以及該 V_{SS} 電源接腳；
 - 一第一 P⁺ 擴散區域，設於該 P 型井中；
 - 一虛置閘極(dummy gate)，設於該 NMOS 以及該第一 P⁺ 擴散區域之間；
 - 一第二 P⁺ 擴散區域，設於該 P 型井中，用來電連接該 V_{SS} 電源接腳；以及

- 一第一淺溝隔離(STI)，用以隔離該 NMOS 與該第二 P⁺ 擴散區域；
 - 一基底偏壓電路，電連接於該 V_{SS} 電源接腳、 V_{DD} 電源接腳以及該 ESD 保護元件結構之該第一 P 擴散區域，該正向基底偏壓電路包含有：
 - 一 MOS，該 MOS 之源極係經由一 P 型井電阻(R_{PW})與該 V_{SS} 電源接腳電連接，該 MOS 之汲極係電連接於該 VDD 電源接腳，該 MOS 之閘極係經由一第一電子元件以及一第二電子元件而分別與該 V_{SS} 電源接腳以及該 V_{DD} 電源接腳相電連接。
- 38.如申請範圍第 37 項之電源線 ESD 箝制電路，其中該 MOS 係為一 NMOS，且該第一電子元件與該第二電子元件分別為一電阻以及一電容。
- 39.如申請範圍第 37 項之電源線 ESD 箝制電路，其中該 MOS 係為一 PMOS，且該第一電子元件與該第二電子元件分別為一二極體以及一電阻。
- 40.一種電源線 ESD 箝制電路(power-rail ESD clamp circuits)，該電源線 ESD 箝制電路係電連接於一 V_{SS} 電源接腳以及一 V_{DD} 電源接腳，該電源線 ESD 箝制電路包含有：
- 一 ESD 保護元件結構，該第一 ESD 保護元件結構包含有：
 - 一 P 型井；
 - 一 NMOS，設於該 P 型井中，且該 NMOS 之汲極、該 P 型井以及該 NMOS 之源極係形成一寄生橫向 n-p-n 雙載子電晶體(parasitic lateral n-p-n BJT)，而該 NMOS 之汲極與該 NMOS 之源極係分別電連接於該 VDD 電源接腳以及該 V_{SS} 電源接腳；
 - 一第一 P⁺ 擴散區域，設於該 P 型井中；
 - 一虛置閘極(dummy gate)，設於該

NMOS 以及該第一 P⁺ 擴散區域之間；

一第二 P⁺ 擴散區域，設於該 P 型井中，用來電連接該 V_{ss} 電源接腳；以及

一第一淺溝隔離(STI)，用以隔離該 NMOS 與該第二 P⁺ 擴散區域；

一基底偏壓電路，電連接於該 V_{ss} 電源接腳、V_{DD} 電源接腳以及該 ESD 保護元件結構之該第一 P⁺ 擴散區域，該正向基底偏壓電路包含有：

一電阻，電連接於該 V_{ss} 電源接腳以及該 ESD 保護元件結構之該第一 P⁺ 擴散區域；以及

一基納二極體，電連接於該 V_{DD} 電源接腳、該電阻以及該第一 ESD 保護元件結構之該第一 P⁺ 擴散區域。

圖式簡單說明：

圖一為習知閘極驅動技術的 ESD 保護設計電路圖。

圖二為習知 ESD 電流流過 ESD 保護電路中間極驅動 NMOS 之路徑的示意圖。

圖三為習知閘極驅動 NMOS 元件的閘極驅動電壓與人體靜電放電值之關係示意圖。

圖四為習知基底觸發技術之 ESD 保護設計電路圖。

圖五為習知基底觸發 NMOS 元件

的基底觸發電壓與人體靜電放電值之關係示意圖。

圖六為習知基底觸發 ESD 保護電路中的 NMOS 之剖面圖。

5. 圖七為本發明之具有高基底觸發效應的 N 型 ESD 保護元件結構之剖面圖。

圖八為本發明之 NMOS 元件的佈局示意圖。

10. 圖九為本發明之具有高基底觸發效應的 P 型 ESD 保護元件結構之剖面圖。

圖十為本發明輸入級靜電放電防護電路的示意圖。

15. 圖十一為本發明輸出級靜電放電防護電路的示意圖

圖十二為本發明之電源線 ESD 箝制電路的示意圖。

20. 圖十三為本發明為本發明之電源線 ESD 箝制電路的示意圖。

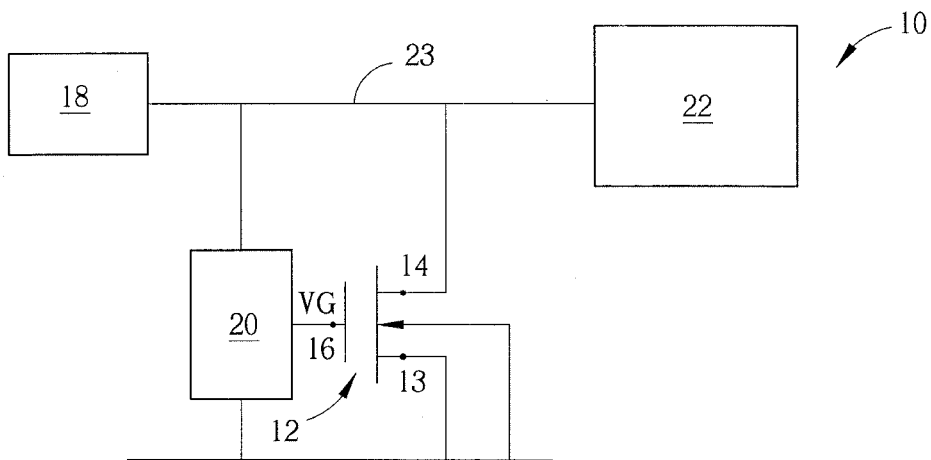
圖十四為本發明輸入級靜電放電防護電路的示意圖。

圖十五則為本發明一輸出級靜電防護電路的示意圖。

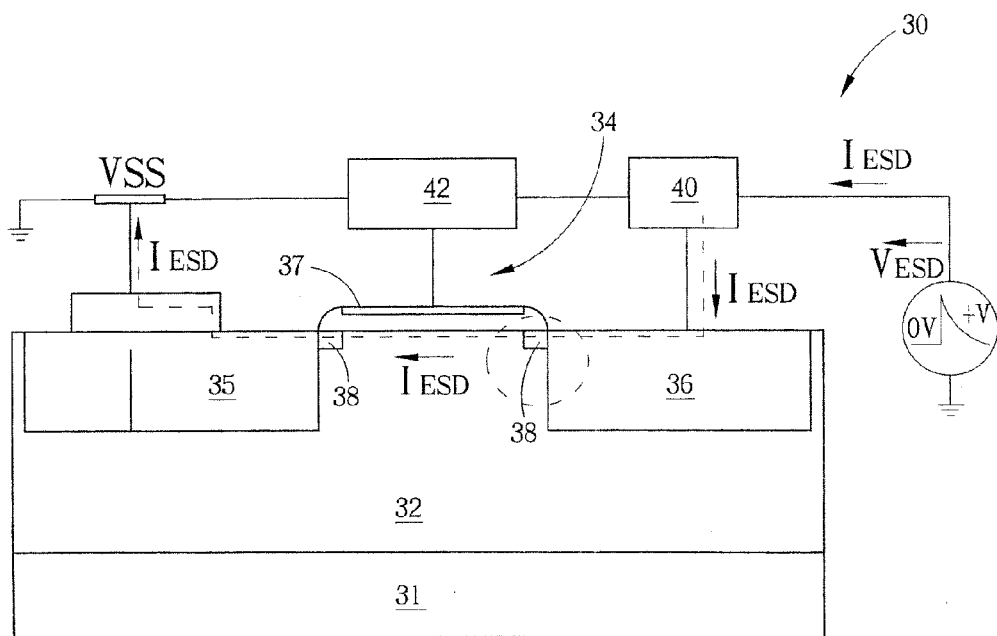
25. 圖十六為本發明之電源線 ESD 箝制電路的示意圖。

圖十七為本發明之電源線 ESD 箝制電路示意圖。

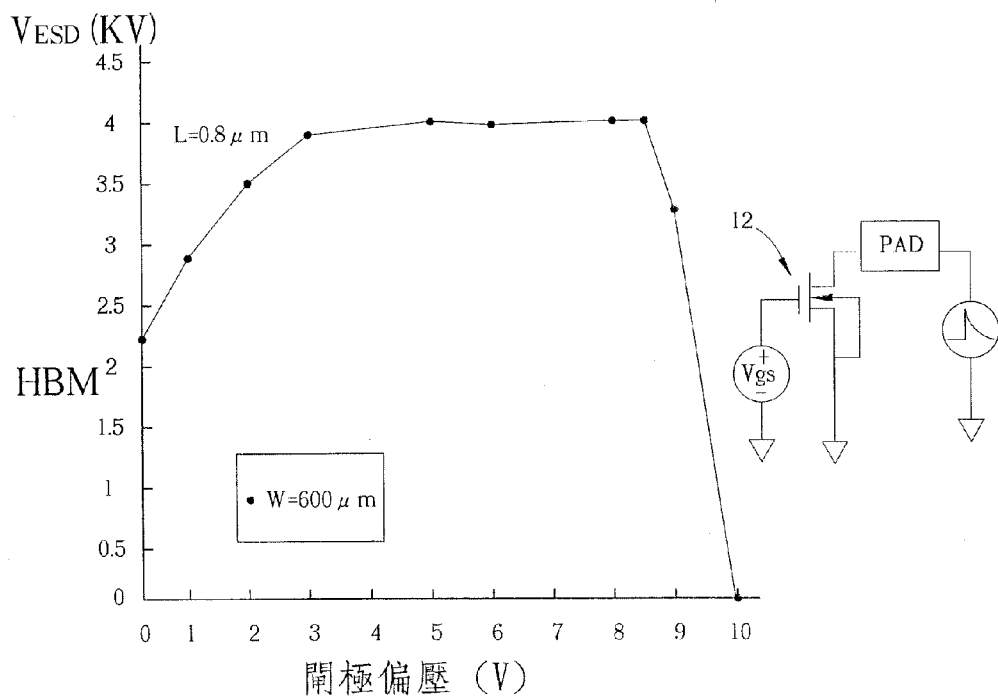
(9)



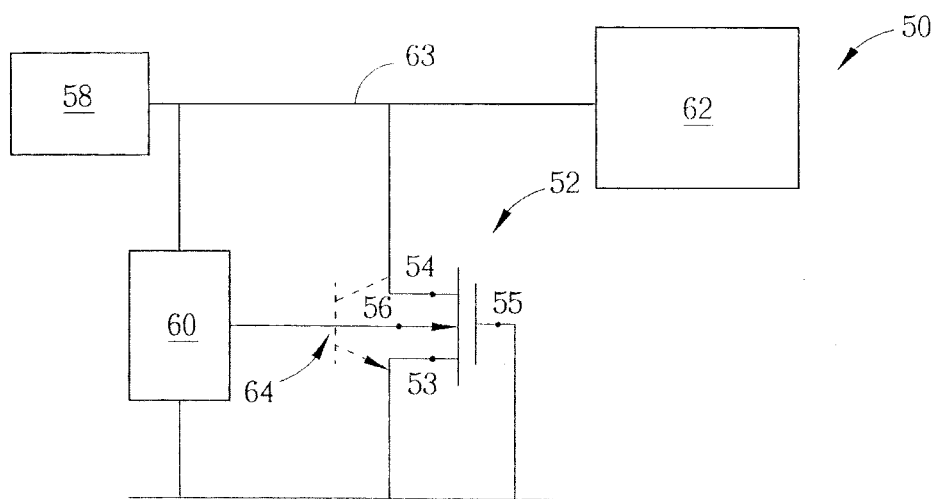
圖一



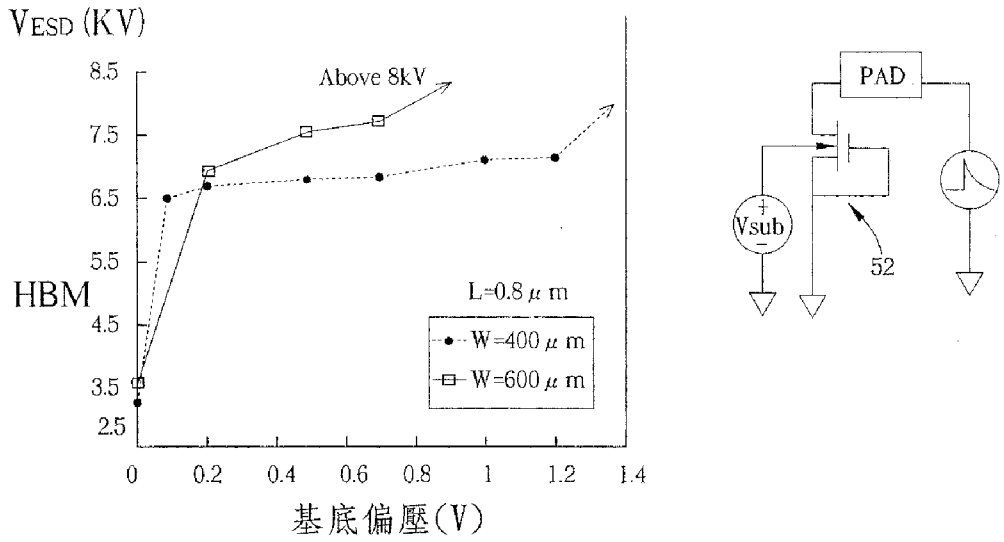
圖二



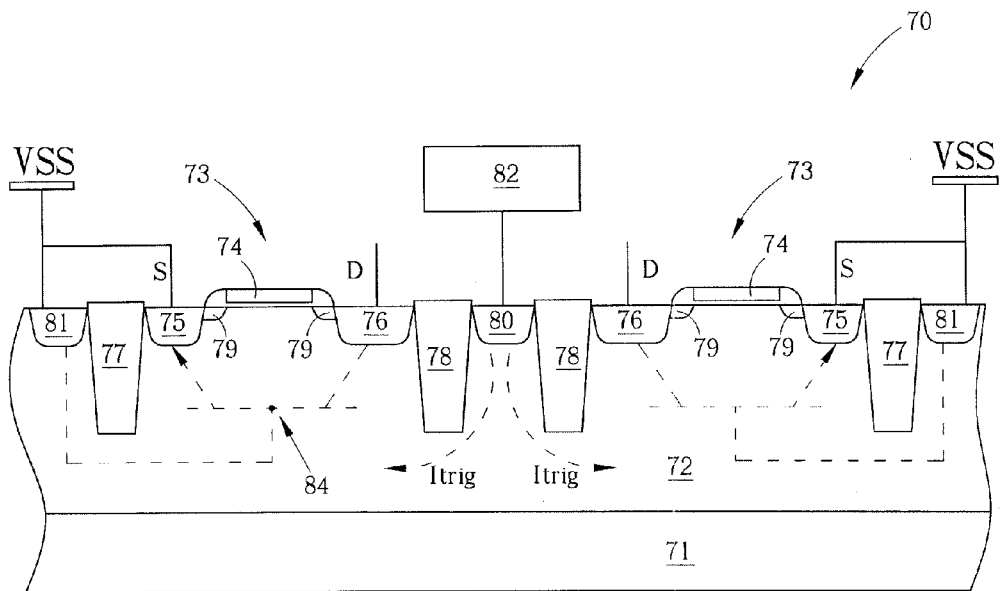
圖三



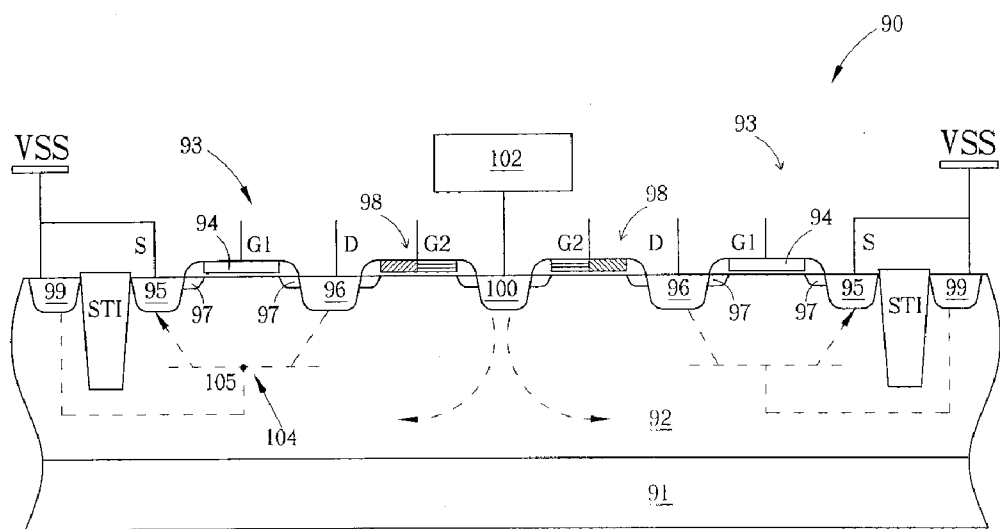
圖四



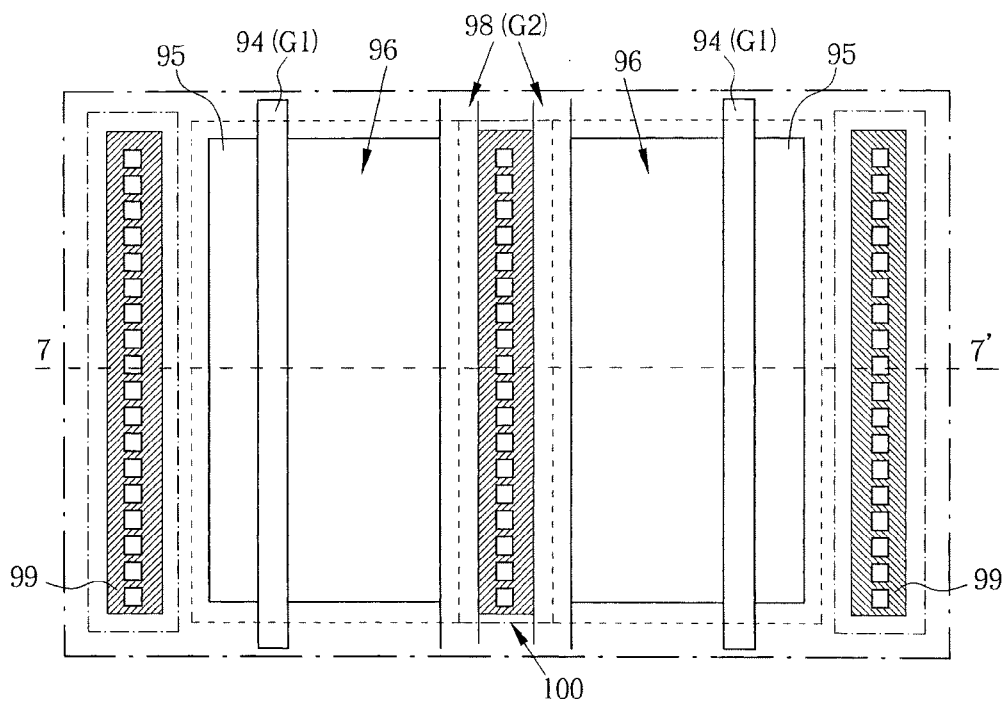
圖五



圖六

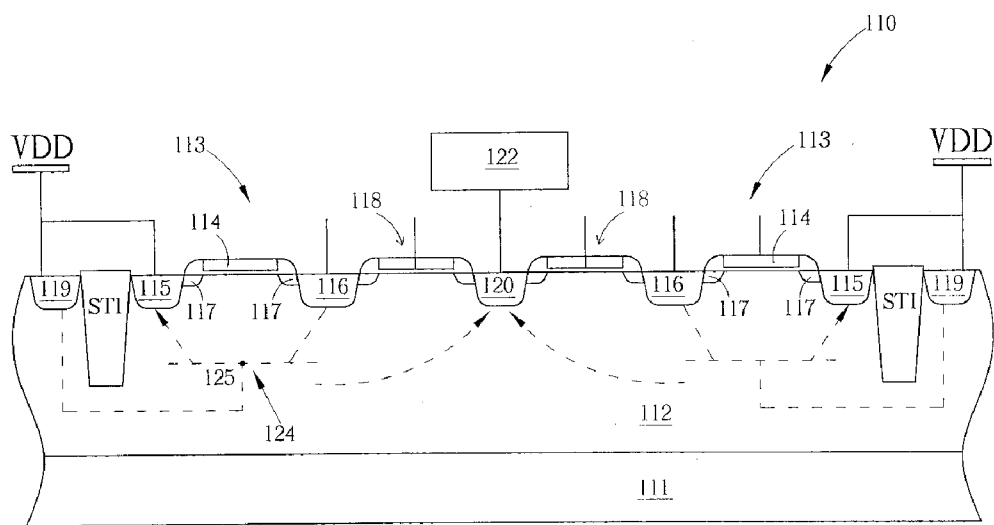


圖七

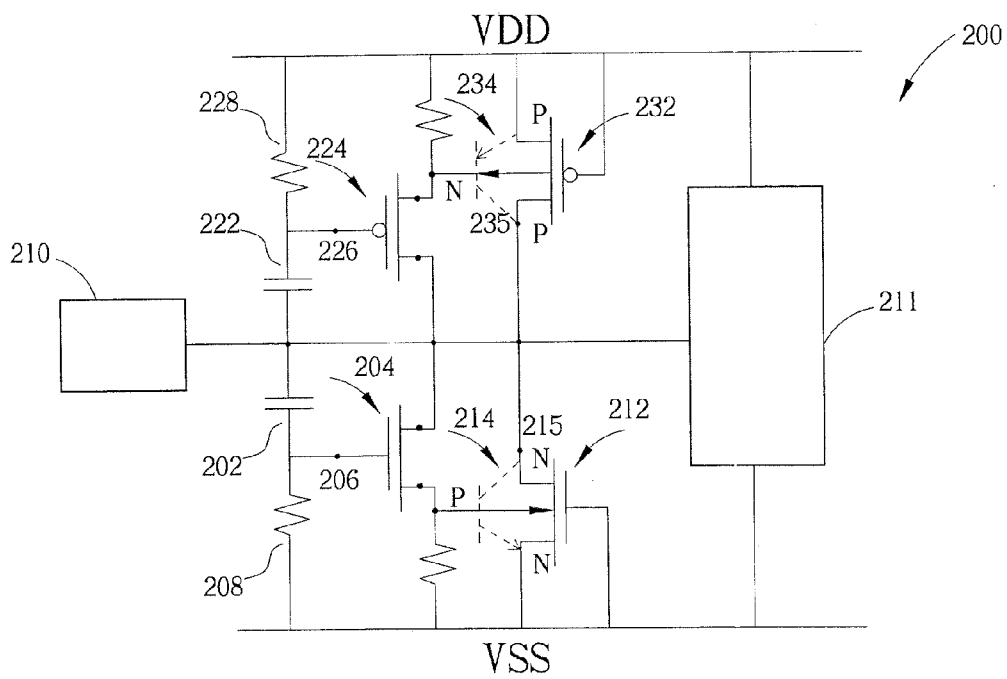


圖八

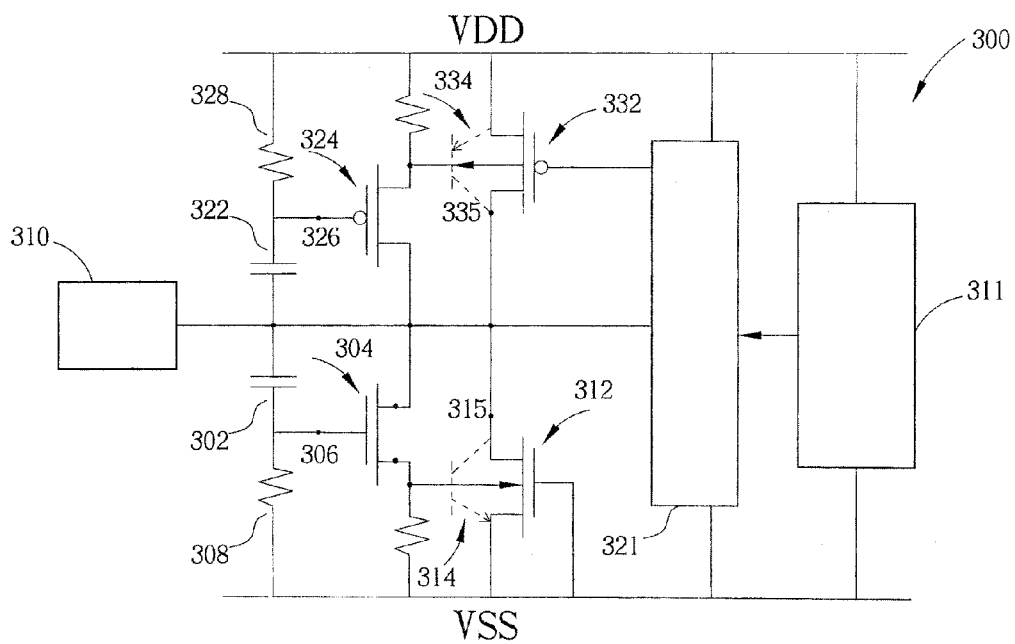
(13)



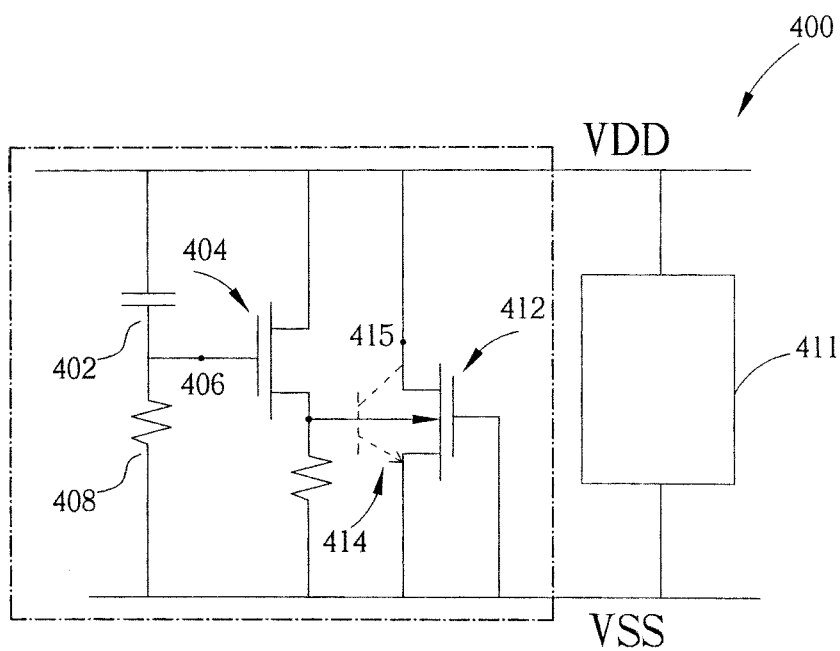
圖九



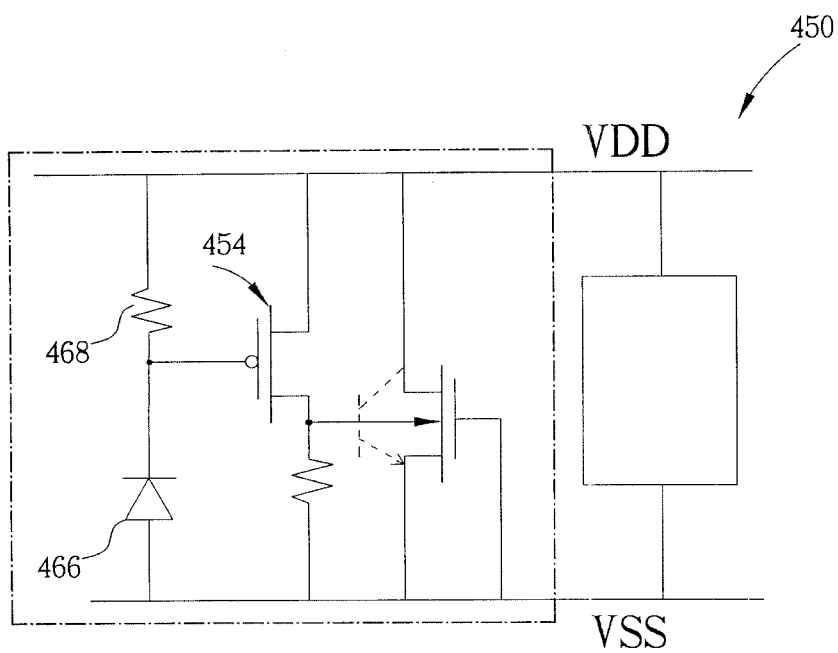
圖十



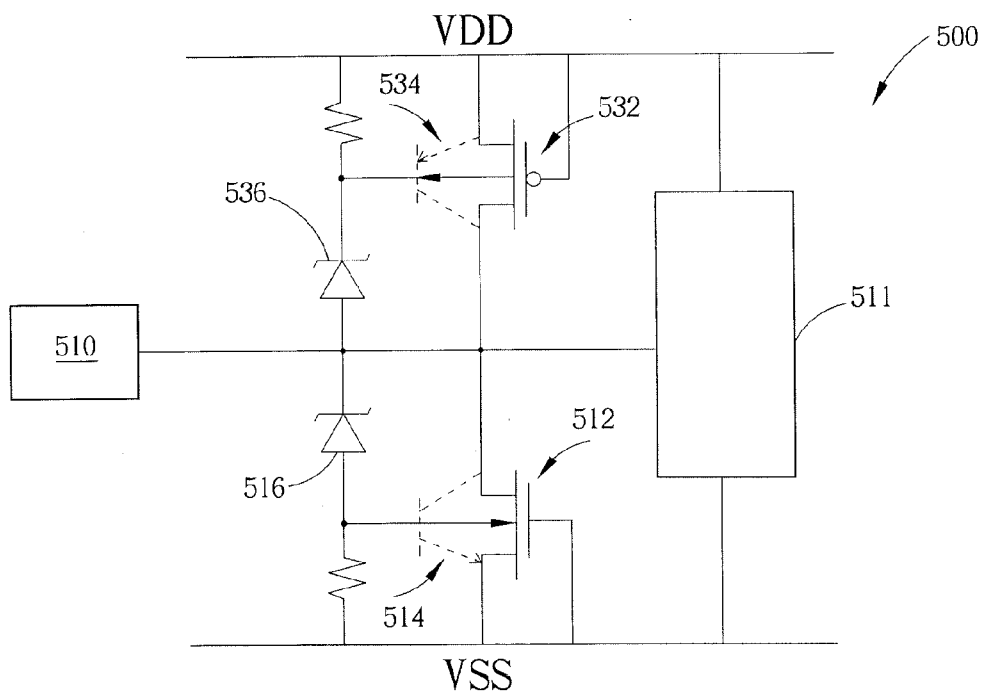
圖十一



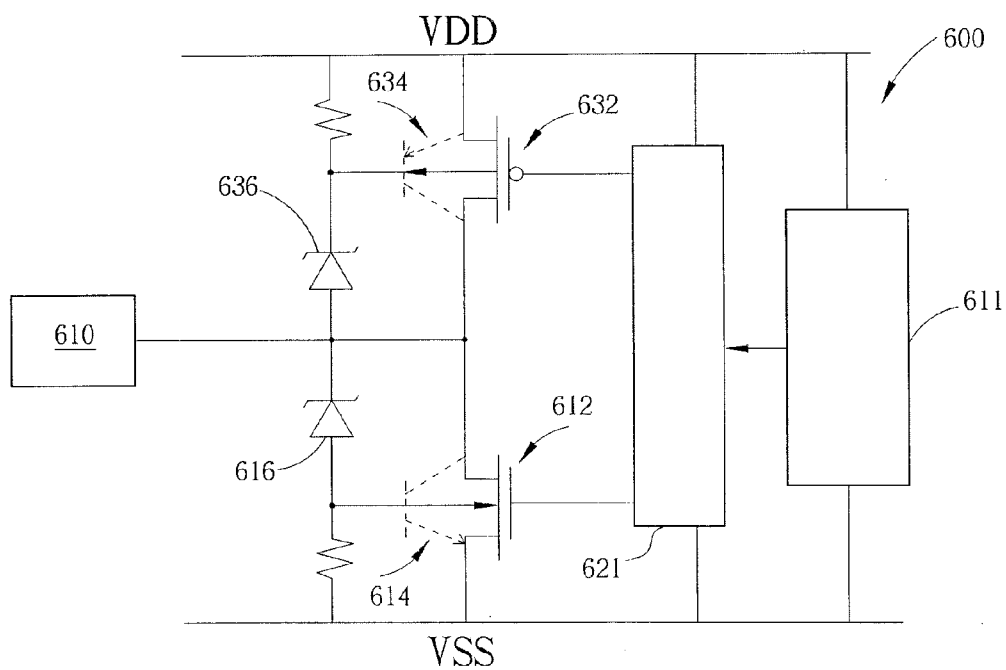
圖十二



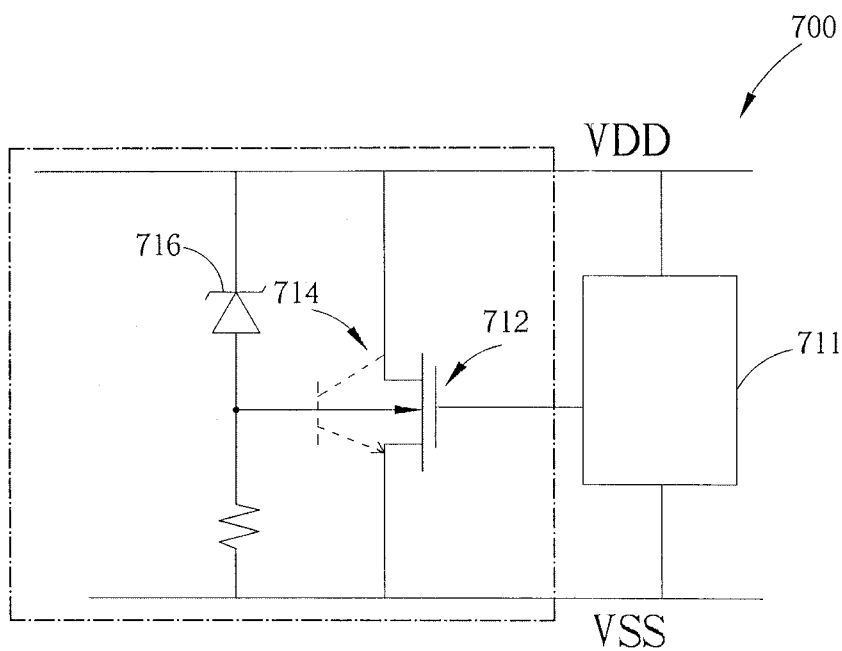
圖十三



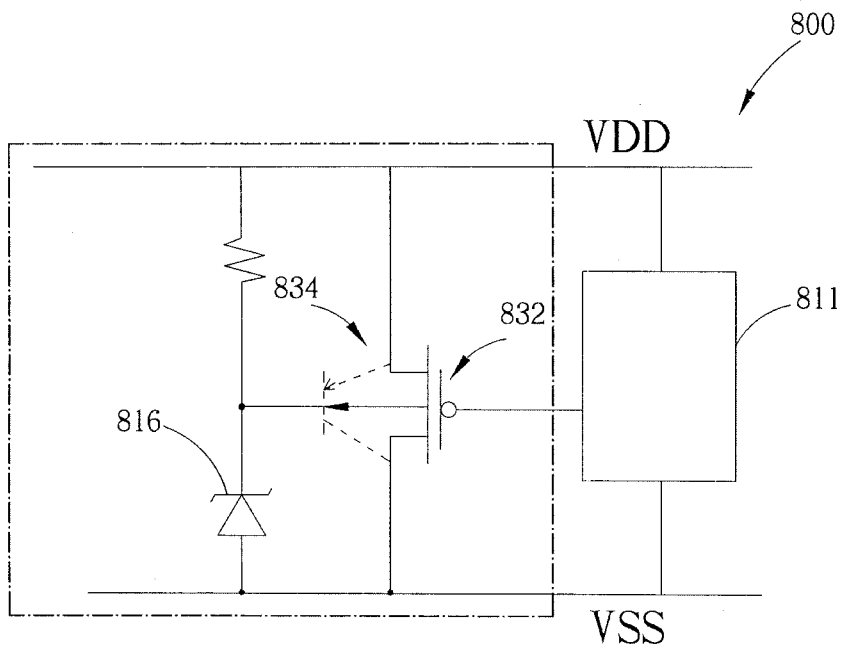
圖十四



圖十五



圖十六



圖十七

