

中華民國專利公報 [19] [12]

[11]公告編號：502459

[44]中華民國 91 年 (2002) 09 月 11 日

發明

全 24 頁

[51] Int.Cl⁰⁷： H01L33/00

[54]名稱：具有高靜電放電防護能力之二極體結構及其靜電放電防護電路設計

[21]申請案號： 090100080

[22]申請日期：中華民國 90 年 (2001) 01 月 03 日

[72]發明人：

柯明道

張恆祥

王文泰

新竹市東區寶山路二〇〇巷三號四樓之三

台北縣汐止市大同路二段三三七號

台北市信義區基隆路一段三五〇之二十一號二樓

[71]申請人：

台灣積體電路製造股份有限公司

新竹科學工業園區園區三路一二一號

[74]代理人： 洪澄文 先生

1

2

[57]申請專利範圍：

1.一種靜電放電(electrostatic discharge, ESD)防護電路，適用於一積體電路晶片，包含有一二極體，該二極體包含有：

一第一導電性型之第一半導體層，作為一第一電極；以及

一第二導電型之 MOS 電晶體，包含有：

一環型閘，絕緣的設於該第一半導體層上；

一第二導電型之第一源/汲摻雜區，形成於該環型閘極所圍繞的該第一半導體層之表面，作為一第二電極；以及

一第二導電型之第二源/汲摻雜區，形成於該第一半導體層之表面，且圍繞該環型閘；

其中，該第一電極與該第二電極其中之一係為該二極體之一陰極，耦合至一第一接合墊，該第一電極與

該第二電極其中之另一係為該二極體之一陽極，耦合至一第二接合墊。

2.如申請專利範圍第1項之ESD防護電路，其中，該二極體另包含有一第一導電型之接觸摻雜區，設於該第一半導體層之表面，環繞且接觸該第二源/汲摻雜區，作為該第一半導體層之一電性接觸區。

10. 3.如申請專利範圍第2項之ESD防護電路，其中，該接觸摻雜區係受一淺溝隔離區環繞。

4.如申請專利範圍第1項之ESD防護電路，其中，該 MOS 電晶體係具有輕摻雜之汲極(lightly-doped-drain, LDD)結構。

15. 5.如申請專利範圍第1項之ESD防護電路，其中，該第一源/汲摻雜區與該第一半導體層之間形成有一第二導電型之 ESD 防護摻雜層，用以包覆

該第一源 / 汲摻雜區。

- 6.如申請專利範圍第1項之ESD防護電路，其中，該第一導電型係為N型，該第二導電型係為P型。
- 7.如申請專利範圍第6項之ESD防護電路，其中，該環型閘係耦合至該陽極。
- 8.如申請專利範圍第1項之ESD防護電路，其中，該第一導電型係為P型，該第二導電型係為N型。
- 9.如申請專利範圍第8項之ESD防護電路，其中，該環型閘係耦合至該陰極。
- 10.如申請專利範圍第1項之ESD防護電路，其中，該ESD防護電路另包含有一ESD偵測電路，於正常操作時，該ESD偵測電路提供一第一電壓予該環型閘，以關閉該MOS電晶體，於一ESD事件發生時，提供一第二電壓予該環型閘，以降低該二極體之一崩潰電壓。
- 11.如申請專利範圍第10項之ESD防護電路，其中，該第一接合墊與該第二接合墊其中之一係為一電源接合墊，另一則為一輸出入接合墊。
- 12.如申請專利範圍第11項之ESD防護電路，其中，該ESD偵測電路係包含有一電阻，耦合於該電源接合墊與該環型閘之間。
- 13.如申請專利範圍第12項之ESD防護電路，其中，該ESD偵測電路係包含有一電容，耦合於該輸出入接合墊與該環型閘之間。
- 14.如申請專利範圍第10項之ESD防護電路，其中，該第一接合墊係為一高電源接合墊，該第二接合墊係為一低電源接合墊。
- 15.如申請專利範圍第14項之ESD防護電路，其中，該ESD偵測電路包含有一電阻與一電容，以一串接點串

接於該高電源接合墊與該低電源接合墊之間，該串接點處用以產生一參考電壓，作為該ESD偵測電路控制該環型閘的一參考值。

5. 16.如申請專利範圍第15項之ESD防護電路，其中，該串接點係直接耦合至該環型閘。
- 17.如申請專利範圍第15項之ESD防護電路，其中，該ESD偵測電路另包含有一驅動裝置，依據該串接點處之該參考電壓，以驅動該環型閘。
10. 18.如申請專利範圍第17項之ESD防護電路，其中，該驅動裝置包含有一反向器，串接於該環型閘與該串接點之間。
15. 19.如申請專利範圍第1項之ESD防護電路，其中，該第一接合墊係為一低電源接合墊，該第二接合墊係為一高電源接合墊，該ESD防護電路包含有複數個二極體，順向串接於該高電源接合墊與該低電源接合墊之間，該等二極體構成一二極體串列(diode string)，該二極體串列具有一開啟電壓，高於該高電源接合墊與該低電源接合墊之間於一正常工作時的一電壓差。
20. 20.如申請專利範圍第19項之ESD防護電路，其中，該第一導電型係為P型，該第二導電型係為N型。
25. 21.如申請專利範圍第20項之ESD防護電路，其中，該等二極體包含有一固定偏壓(fix-biased)二極體，該固定偏壓二極體之環型閘係耦合至該低電源接合墊。
30. 22.如申請專利範圍第20項之ESD防護電路，其中，該等二極體包含有一自我偏壓(self-biased)二極體，該自我偏壓二極體之環型閘係耦合至該自我偏壓二極體之陰極。
35. 23.如申請專利範圍第19項之ESD防護
- 40.

電路，其中，該第一導電型係為 N 型，該第二導電型係為 P 型。

24.如申請專利範圍第23項之ESD防護電路，其中，該等二極體包含有一固定偏壓二極體，該固定偏壓二極體之環型閘係耦合至該高電源接合墊。

25.如申請專利範圍第23項之ESD防護電路，其中，該等二極體包含有一自我偏壓二極體，該自我偏壓二極體之環型閘係耦合至該自我偏壓二極體之陽極。

26.如申請專利範圍第19項之ESD防護電路，其中，該 ESD 防護電路另包含有一 ESD 偵測電路，用以控制該等二極體中之一受控二極體，於正常操作時，該 ESD 偵測電路提供一第一電壓予該受控二極體之環型閘，以關閉該受控二極體之 MOS 電晶體，於一 ESD 事件發生時，提供一第二電壓予該受控二極體之環型閘，以開啟該受控二極體之 MOS 電晶體。

27.如申請專利範圍第26項之ESD防護電路，其中，該 ESD 防護電路係耦合於該高電源與該低電源接合墊之間。

28.如申請專利範圍第27項之ESD防護電路，其中，該 ESD 偵測電路包含有一電阻與一電容，以一串接點串接於該高電源接合墊與該低電源接合墊之間，該串接點處用以產生一參考電壓，作為該 ESD 偵測電路控制該受控二極體之環型閘的一參考值。

29.如申請專利範圍第27項之ESD防護電路，其中，該串接點係直接耦合至該受控二極體之環型閘。

30.如申請專利範圍第28項之ESD防護電路，其中，該 ESD 偵測電路另包

含有一驅動裝置，依據該串接點處之該參考電壓，以驅動該受控二極體之環型閘。

31.如申請專利範圍第30項之ESD防護電路，其中，該驅動裝置包含有一反向器，串接於該受控二極體之環型閘與該串接點之間。

32.如申請專利範圍第26項之ESD防護電路，其中，該 ESD 防護電路係耦合於該高電源接合墊與一第三電源接合墊之間，或是該低電源接合墊與該第三電源接合墊之間。

33.一種靜電放電(electrostatic discharge, ESD)防護電路，包含有一 n 型二極體以及一 p 型二極體，該 n 型二極體包含有：

一 P 型半導體層，作為一該 n 型二極體之一第一陽極(anode)；以及

一 NMOS 電晶體，包含有：

一第一環型閘，絕緣的設於該 P 型半導體層上；

一第一 N 型摻雜區，形成於該第一環型閘所圍繞的該 P 型半導體層之表面，作為一該 n 型二極體之一第一陰極；以及

一第二 N 型摻雜區，形成於該 p 型半導體層之表面，且圍繞該第一環型閘；

該 p 型二極體包含有：

一 N 型半導體層，作為該 p 型二極體之一第二陰極；以及

一 PMOS 電晶體，包含有：

一第二環型閘，絕緣的設於該 N 型半導體層上；

一第一 P 型摻雜區，形成於該第二環型閘所圍繞的該 N 型半導體層之表面，作為該 p 型二極體之一第二陽極；以及

一第二 P 型摻雜區，形成於該 N 型半導體層之表面，且圍繞該第二環型

聞；

該p型二極體與該n型二極體順向串接，並形成一主陽極以及一主陰極，該主陽極耦合至一高電源接合墊，該主陰極耦合至一低電源接合墊。

34.如申請專利範圍第33項之ESD防護電路，其中，該第一環型閘係耦合至該第一陰極。

35.如申請專利範圍第33項之ESD防護電路，其中，該第二環型閘係耦合至該第二陽極。

36.如申請專利範圍第33項之ESD防護電路，其中，該ESD防護電路另包含有一ESD偵測電路，耦合於該高電源與該低電源接合墊之間，於正常操作時，該ESD偵測電路提供一第一電壓予該第一環型閘，以關閉該NMOS電晶體，於一ESD事件發生時，提供一第二電壓予該第一環型閘，以開啟該NMOS電晶體。

37.如申請專利範圍第33項之ESD防護電路，其中，該ESD防護電路另包含有一ESD偵測電路，耦合於該高電壓與該低電源接合墊之間，於正常操作時，該ESD偵測電路提供一第一電壓予該第二環型閘，以關閉該PMOS電晶體，於一ESD事件發生時，提供一第二電壓予該第二環型閘，以開啟該PMOS電晶體。

38.一種電源線間之靜電放電(electrostatic discharge, ESD)防護系統，包含有：

複數個高電源線VDD1...VDDN；

複數個低電源線VSS1...VSSN；

一高電源ESD匯流線(VDD ESD bus)；

一低電源ESD匯流線(VSS ESD bus)；

一主要(primary)ESD防護電路

PESDP，耦合於該高電源ESD匯流線與該低電源ESD匯流線之間；

複數個高電源ESD防護電路HESDP1...HESDPN，分別耦合於VDD1...VDDN與該高電源ESD匯流線之間；以及

複數個低電源ESD防護電路LES DP1...LES DPN，分別耦合於VSS1...VSSN與該低電源ESD匯流線之間；

其中，一HESDPn包含有至少一二極體，連接於一VDDn與該高電源ESD匯流線之間，該二極體包含有：一第一導電性型之第一半導體層，作為該二極體之一第一電極；以及一第二導電型之MOS電晶體，包含有：

一環型閘，絕緣的設於該第一半導體層上；

一第二導電型之第一源/汲摻雜區，形成於該環型閘極所圍繞的該第一半導體層之表面，作為該二極體之一第二電極；以及

一第二導電型之第二源/汲摻雜區，形成於該第一半導體層之表面，且圍繞該環型閘；

其中，當一ESD事件發生於VDDn與VSSn之間時，該二極體導通，透過HESDPn、PESDP以及LES DPn排放ESD電流。

39.如申請專利範圍第38項之ESD防護系統，其中，該二極體於該ESD事件發生時，係被順向偏壓。

40.如申請專利範圍第38項之ESD防護系統，其中，該二極體於該ESD事件發生時，係被逆向偏壓，且該逆向偏壓之一電壓值高於該二極體之崩潰電壓(breakdown voltage)。

41.如申請專利範圍第38項之ESD防護系統，其中，該第一導電型係為N型，該第二導電型係為P型。

- 42.如申請專利範圍第41項之ESD防護系統，其中，該環型閘係耦合至該第一電極。
- 43.如申請專利範圍第38項之ESD防護系統，其中，該第一導電型係為P型，該第二導電型係為N型。
- 44.如申請專利範圍第43項之ESD防護系統，其中，該環型閘係耦合至該第二電極。
- 45.如申請專利範圍第38項之ESD防護系統，其中，該ESD防護系統另包含有一ESD偵測電路，耦合於VDDn與VSSn之間，用以偵測該ESD事件之發生，並提供一電壓與該環型閘，以控制該MOS電晶體。
- 46.如申請專利範圍第38項之ESD防護系統，其中，該ESD防護系統另包含有一ESD偵測電路，耦合於該高電源ESD匯流線與該低電源ESD匯流線之間，用以偵測該ESD事件之發生，並提供一電壓與該環型閘，以控制該MOS電晶體。
- 47.一種作為ESD防護元件之二極體，包含有：
- 一第一導電性型之第一半導體層，作為該二極體之一第一電極；以及
- 一第二導電型之MOS電晶體，包含有：
- 一環型閘，絕緣的設於該第一半導體層上；
- 一第二導電型之第一源/汲摻雜區，形成於該環型閘極所圍繞的該第一半導體層之表面，並與該第一半導體層形成一PN接面，作為該二極體之一第二電極；以及
- 一第二導電型之第二源/汲摻雜區，形成於該第一半導體層之表面，且圍繞該環型閘；
- 其中，該環型閘係用以阻隔一STI結構在該PN接面上生成，該第一電極

- 與該第二電極其中之一係為該二極體之一陰極，耦合至一第一接合墊，該第一電極與該第二電極其中之一係為該二極體之一陽極，耦合至一第二接合墊，當一ESD事件時，該環型閘係被施以一適當的偏壓，以加速該二極體的開啟。
- 48.如申請專利範圍第47項之二極體，其中，該二極體另包含有一第一導電型之接觸摻雜區，設於該第一半導體層之表面，環繞且接觸該第二源/汲摻雜區，作為該第一半導體層之一電性接觸區。
- 49.如申請專利範圍第48項之二極體，其中，該接觸摻雜區係受一淺溝隔離區環繞。
- 50.如申請專利範圍第47項之二極體，其中，該MOS電晶體係具有輕摻雜之汲極(lightly-doped-drain, LDD)結構。
- 51.如申請專利範圍第47項之二極體，其中，該第一源/汲摻雜區與該第一半導體層之間形成有一第二導電型之ESD防護摻雜層，用以包覆該第一源/汲摻雜區。
- 52.如申請專利範圍第47項之二極體，其中，該第一導電型係為N型，該第二導電型係為P型。
- 53.如申請專利範圍第52項之二極體，其中，該環型閘係耦合至該陽極。
- 54.如申請專利範圍第47項之二極體，其中，該第一導電型係為P型，該第二導電型係為N型。
- 55.如申請專利範圍第54項之二極體，其中，該環型閘係耦合至該陰極。
- 56.如申請專利範圍第47項之二極體，其中，該適當的偏壓係由一ESD偵測電路所提供。
- 57.如申請專利範圍第47項之二極體，其中，該環型閘係以一第二導電型

之多晶矽形成於一閘隔絕層上所構成。

58.如申請專利範圍第47項之二極體，其中，該環型閘包含有一側壁子，形成於該環型閘之一側壁。

圖式簡單說明：

第1a圖與第1b圖為兩個傳統以二極體作為ESD防護元件之ESD防護電路；

第2圖與第3圖為兩個傳統的，以CMOS製程製作且帶有STI結構之二極體結構與符號示意圖；

第4圖描繪了以STI作為隔絕的二極體結構，於ESD事件時最容易的毀損點；

第5圖與第6圖為Voldman先前所提出之習知p型與n型二極體結構；

第7圖為本發明所提出之PMOS-bound二極體之結構以及其代表之符號的示意圖；

第8圖為第7圖之一種佈局圖；

第9圖為本發明所提出之NMOS-bound二極體之結構以及其代表之符號的示意圖；

第10圖為第9圖之一種佈局圖；

第11圖為加入N型ESD佈植製程

後的NMOS-bound二極體；

第12圖為加入P型ESD佈植製程後的PMOS-bound二極體；

第13a圖與第13b圖為兩個運用

5. NMOS-bound二極體與PMOS-bound二極體的ESD防護電路圖；

第14a到14d圖為以PMOS-bound二極體或NMOS-bound二極體作為ESD防護元件的電源線間(VDD到VSS)之四種ESD防護電路圖；

第15a圖至第15d圖為運用NMOS-bound二極體所產生的電源線間之ESD箝制電路；

15. 第16a圖至第16d圖為運用PMOS-bound二極體所產生的電源線間之ESD箝制電路；

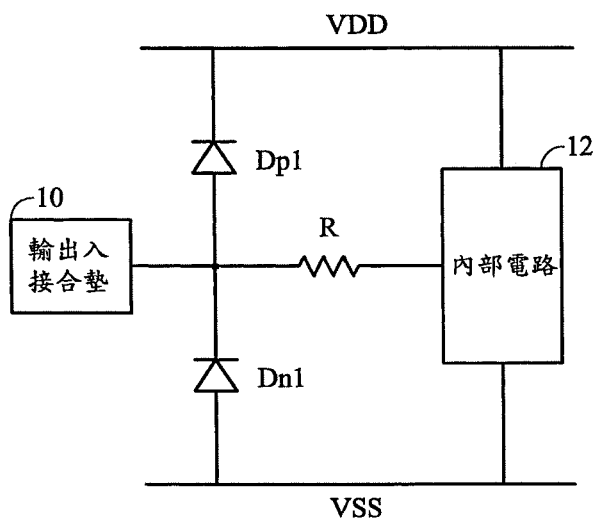
第17a圖至第17c圖為同時運用PMOS-bound二極體與NMOS-bound二極體所產生的電源線間之ESD箝制電路；

20. 第18a圖至第18d圖為利用本發明之二極體結構所建構之四種ESD防護系統之示意圖；以及

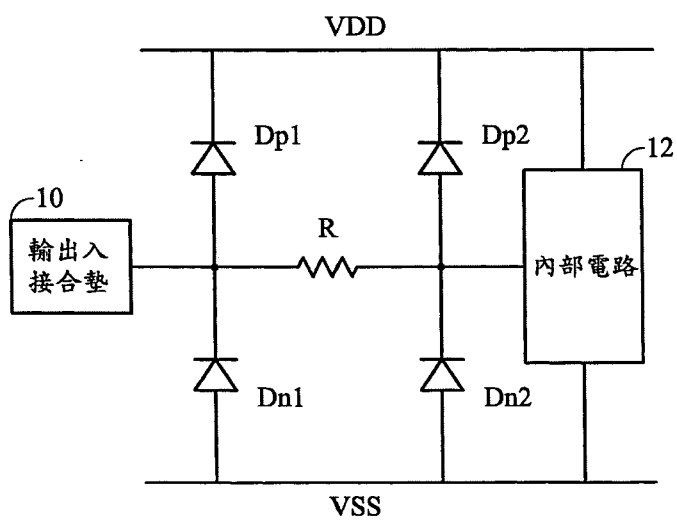
第19a圖至第19d圖為運用本發明之二極體結構與ESD匯流線所建構之ESD防護系統示意圖。

25.

(7)

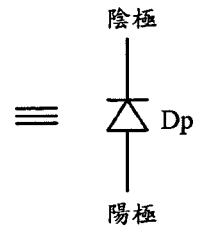
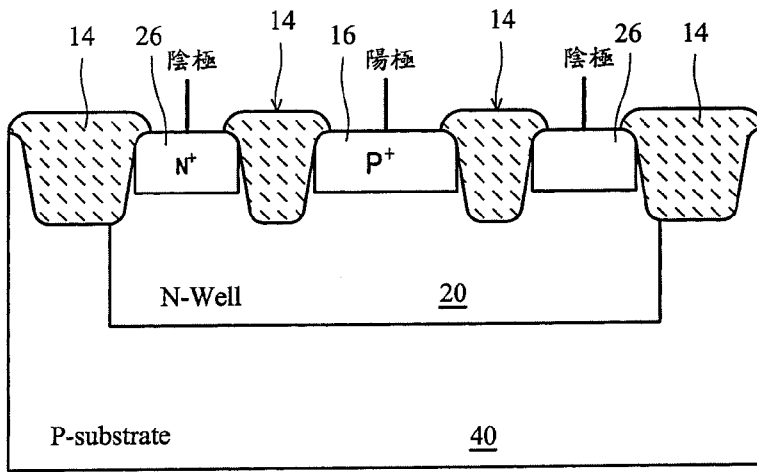


第 1a 圖

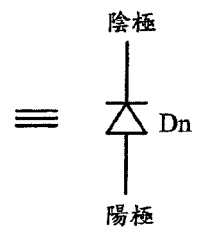
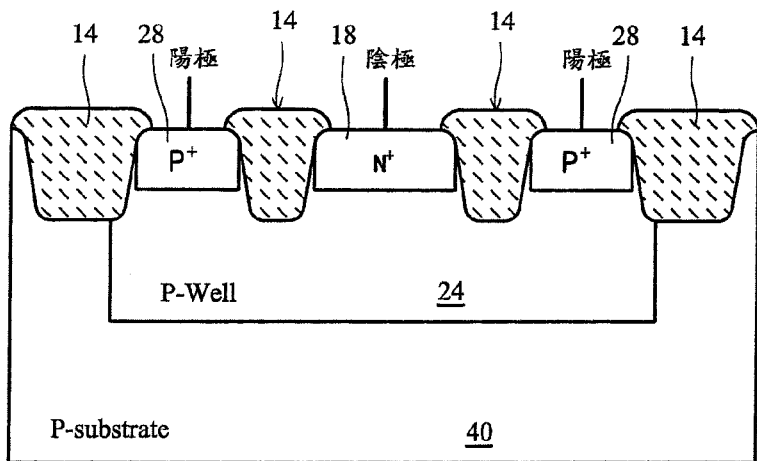


第 1b 圖

(8)

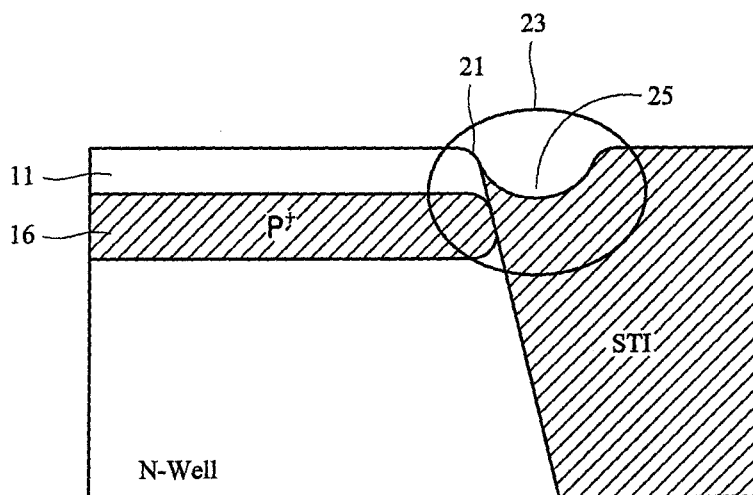


第 2 圖

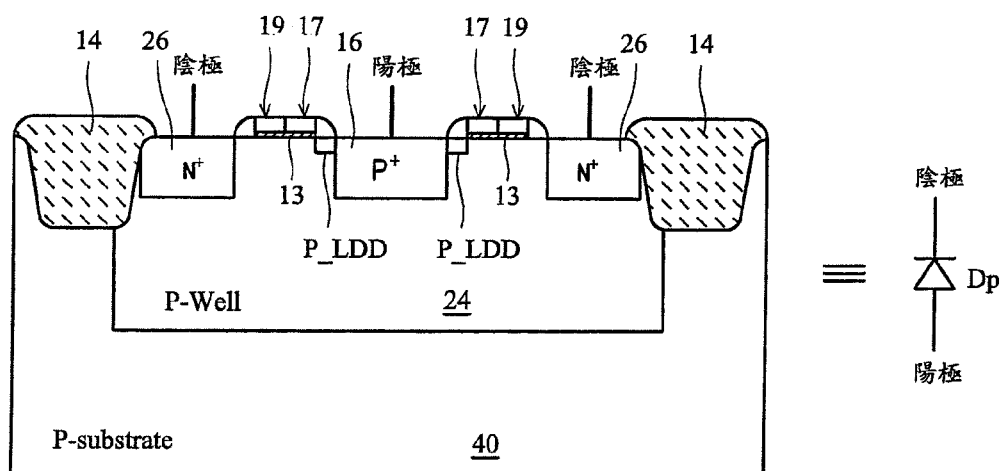


第 3 圖

(9)

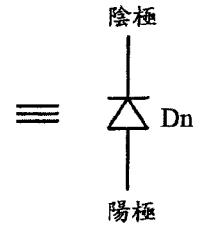
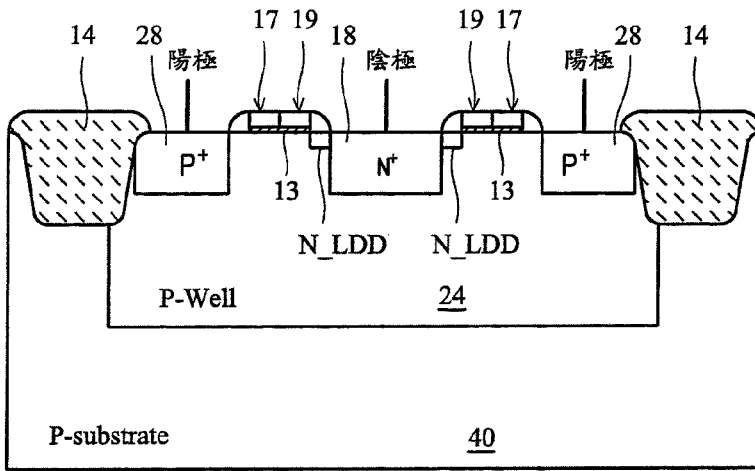


第 4 圖

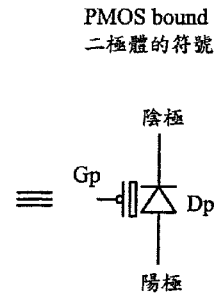
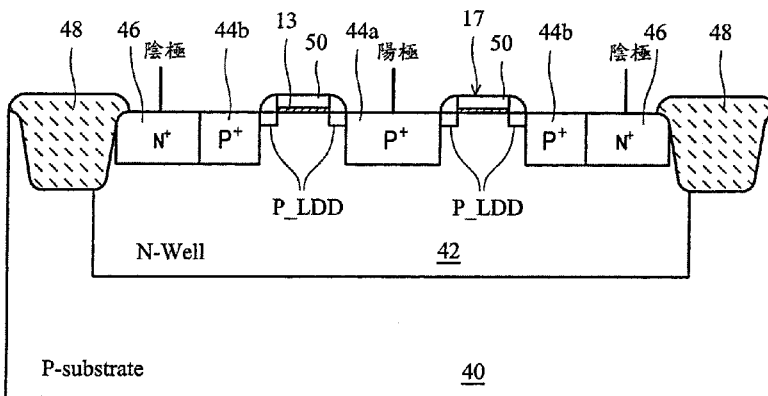


第 5 圖

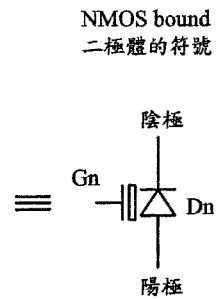
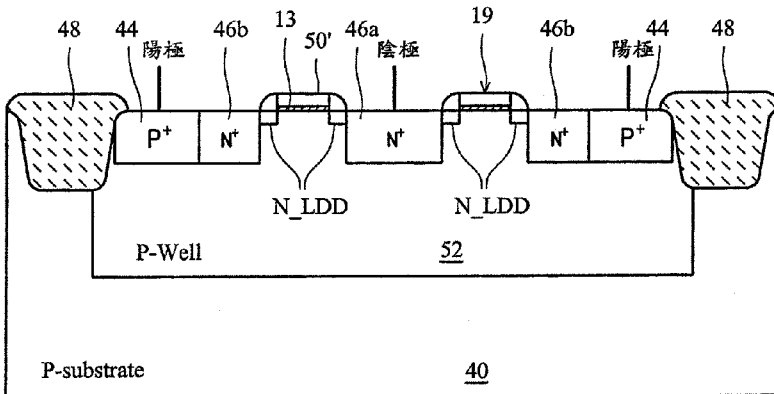
(10)



第 6 圖

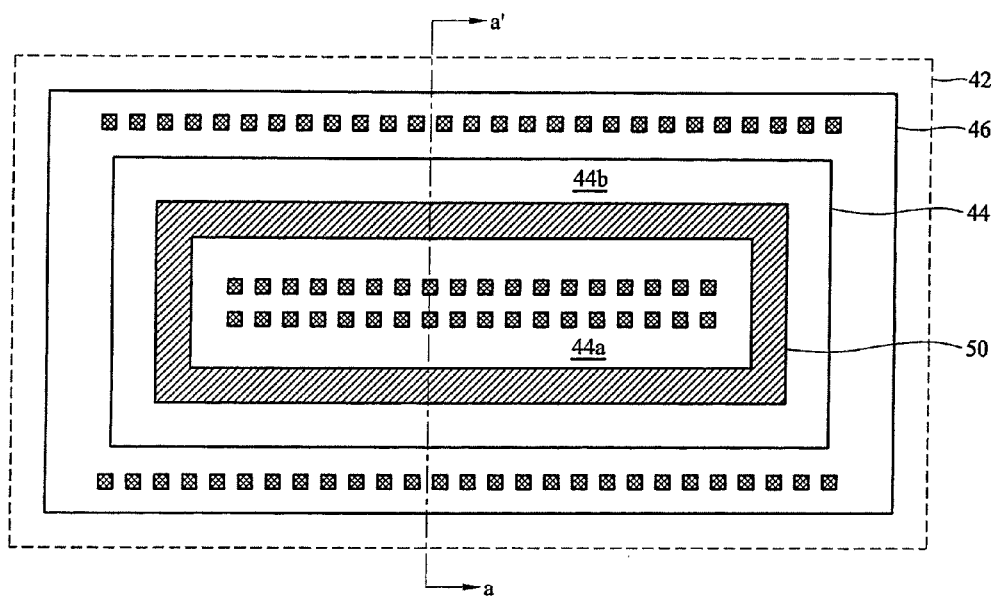


第 7 圖

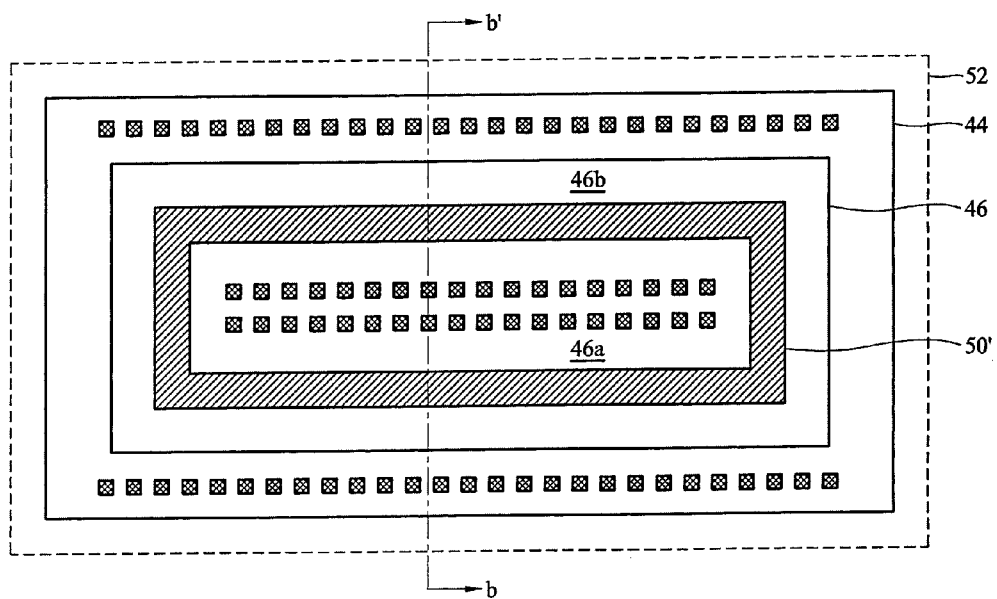


第 9 圖

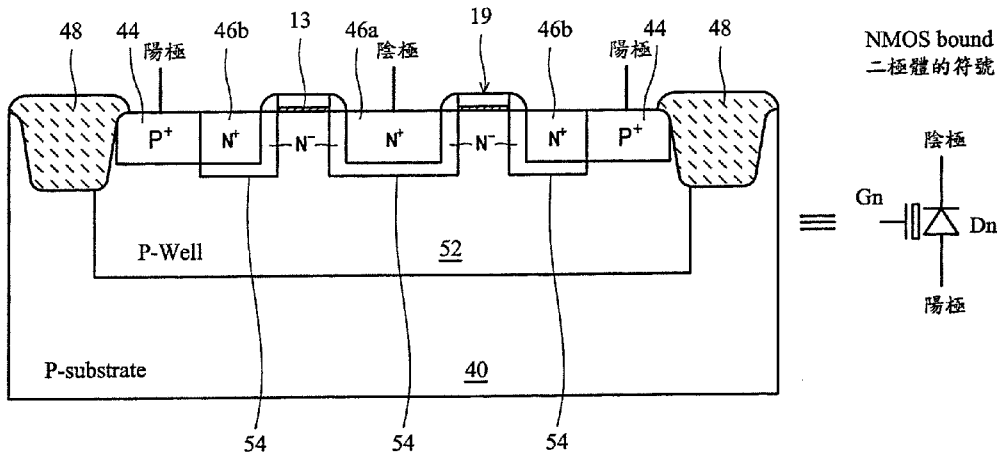
(11)



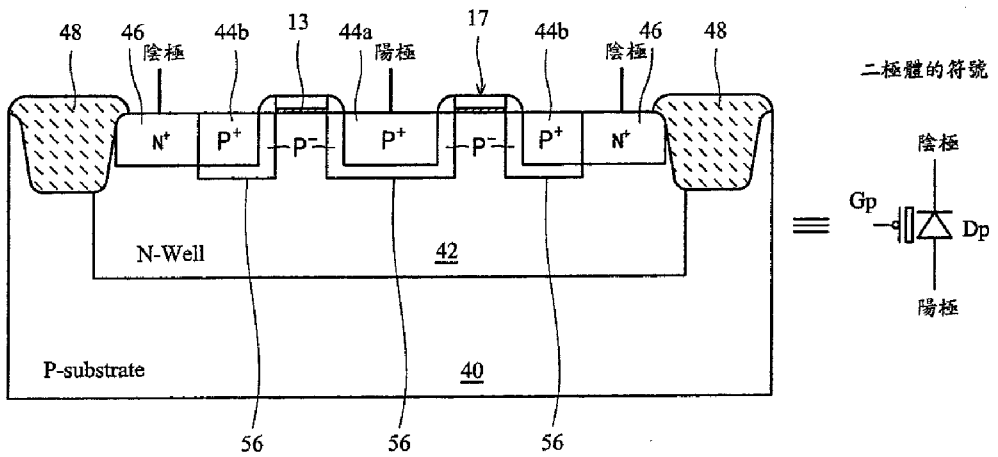
第 8 圖



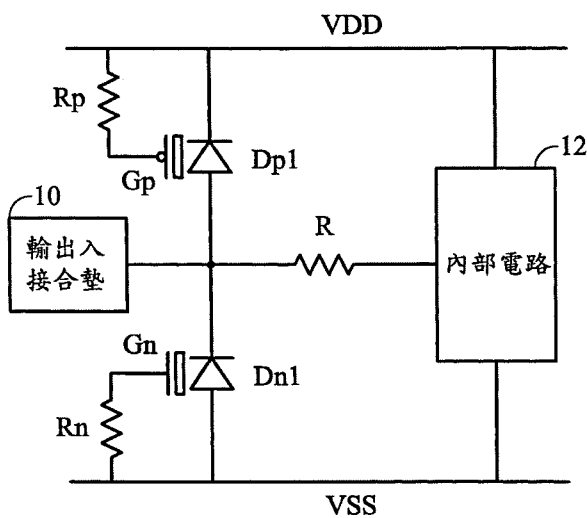
第 10 圖



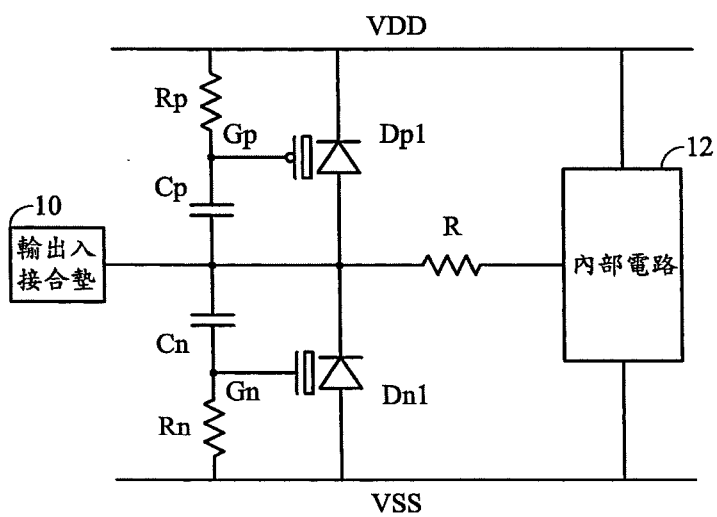
第 11 圖



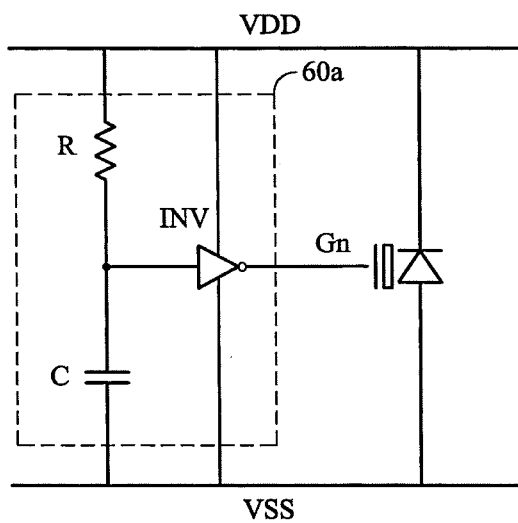
第 12 圖



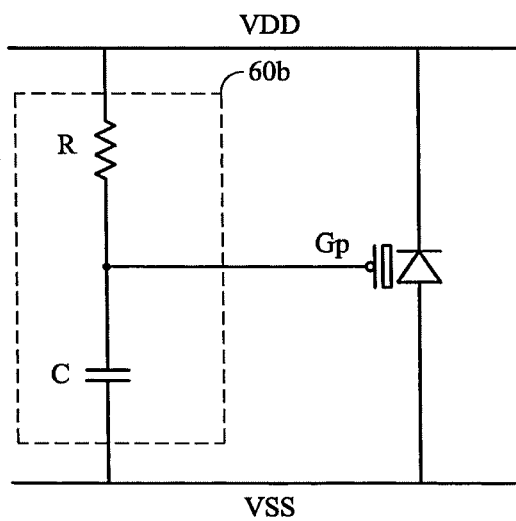
第 13a 圖



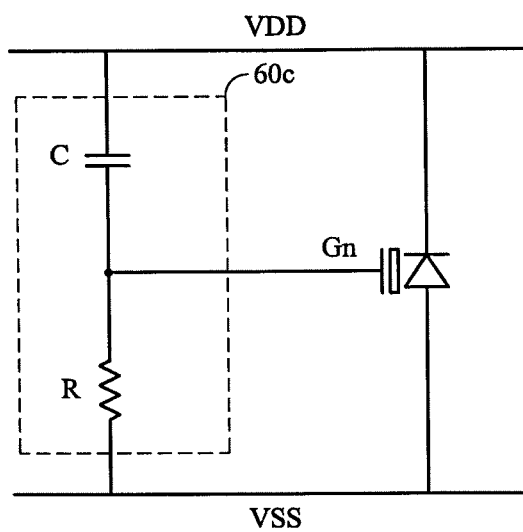
第 13b 圖



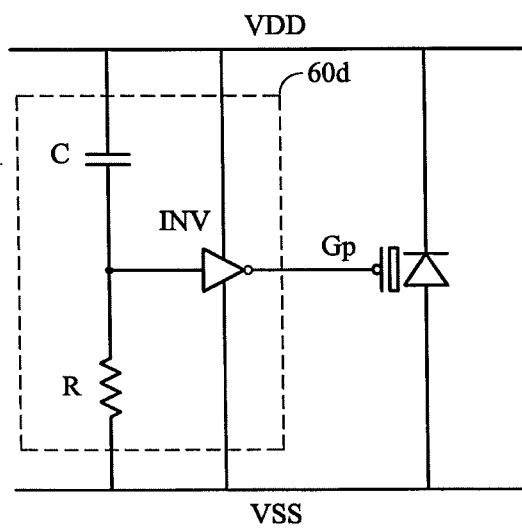
第 14a 圖



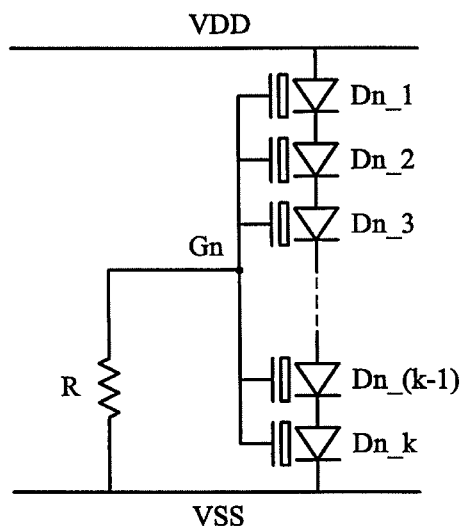
第 14b 圖



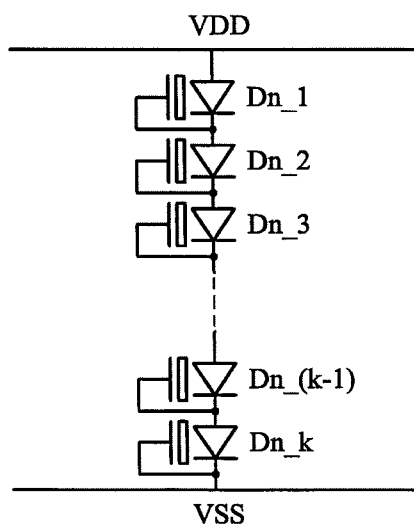
第 14c 圖



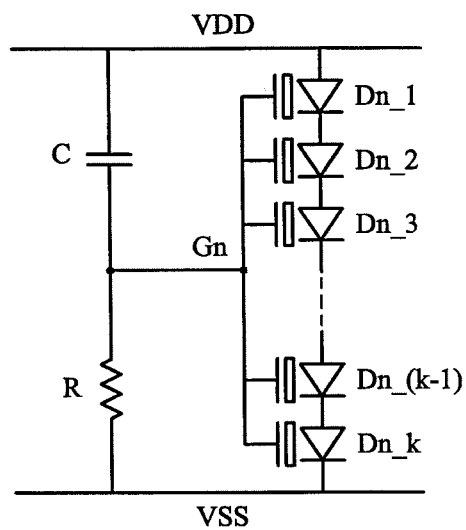
第 14d 圖



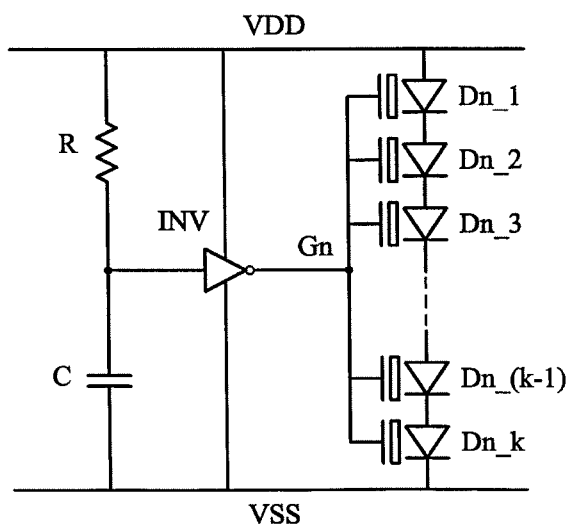
第 15a 圖



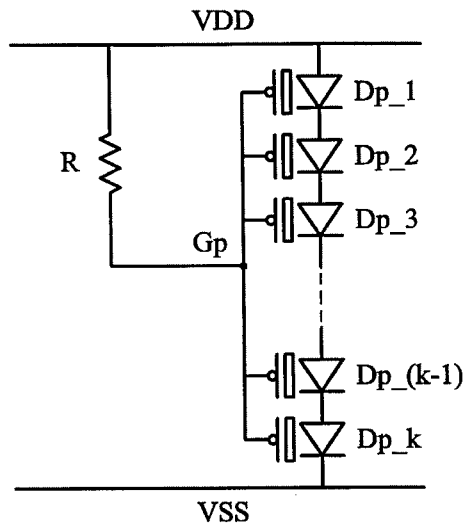
第 15b 圖



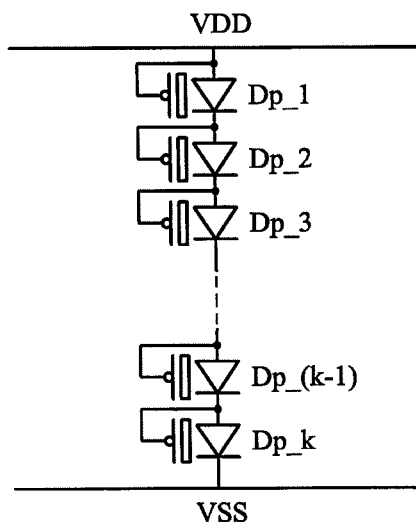
第 15c 圖



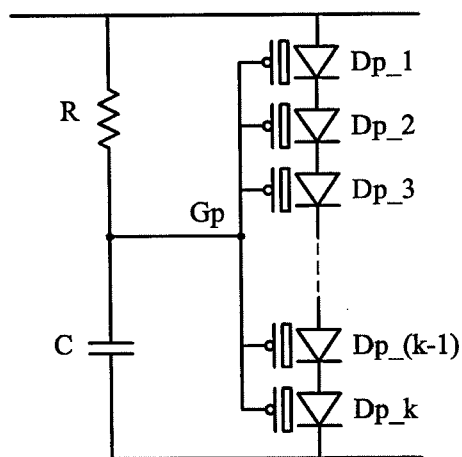
第 15d 圖



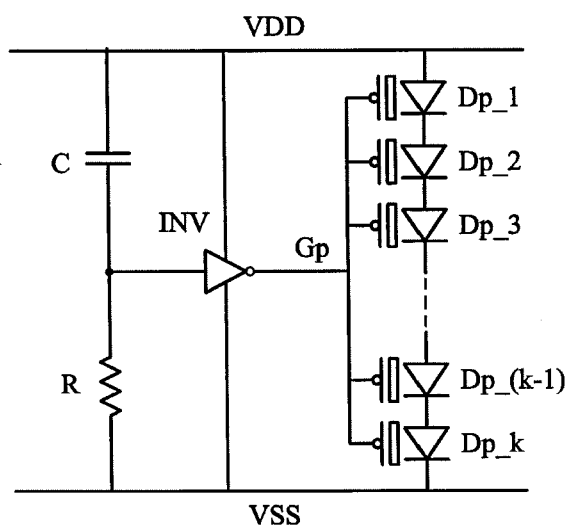
第 16a 圖



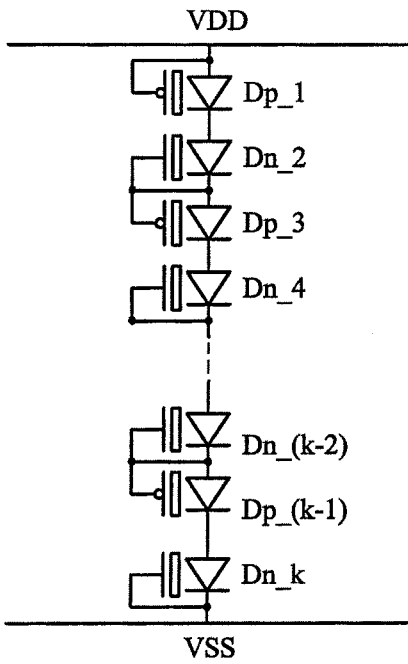
第 16b 圖



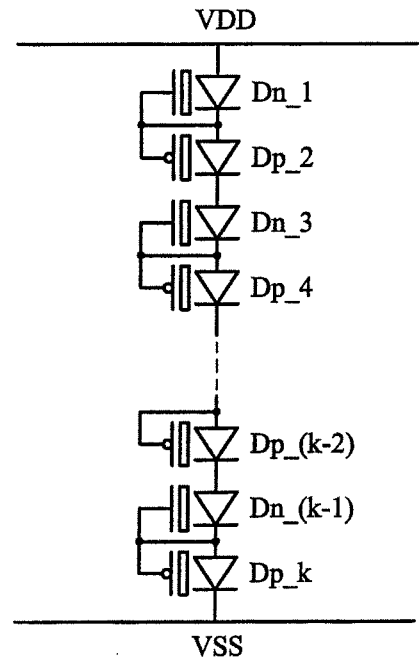
第 16c 圖



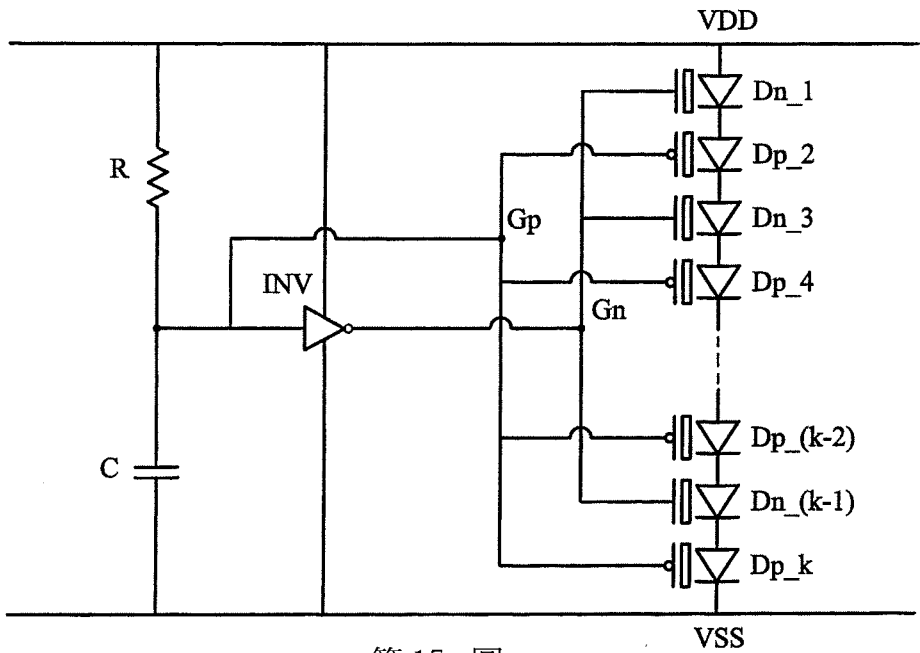
第 16d 圖



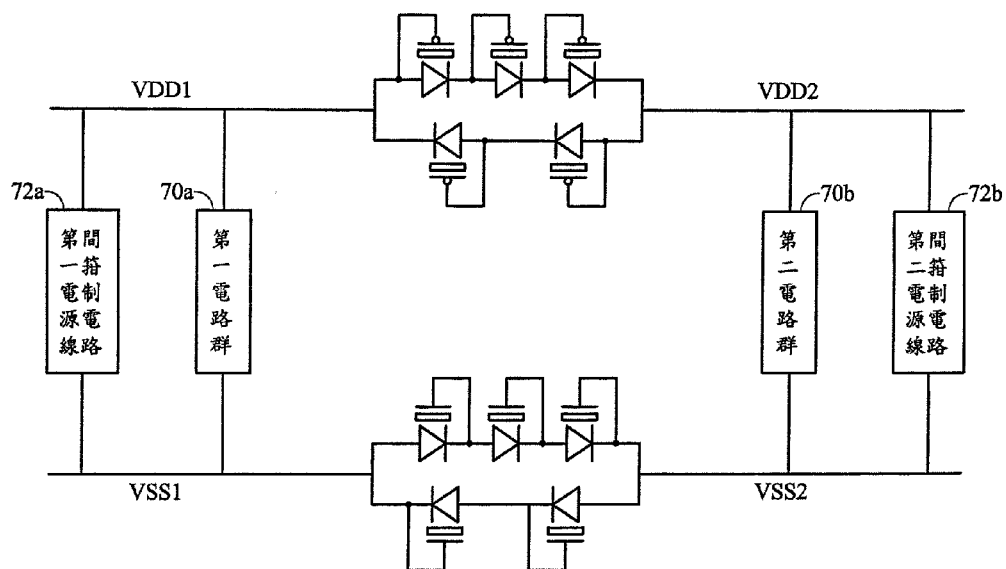
第 17a 圖



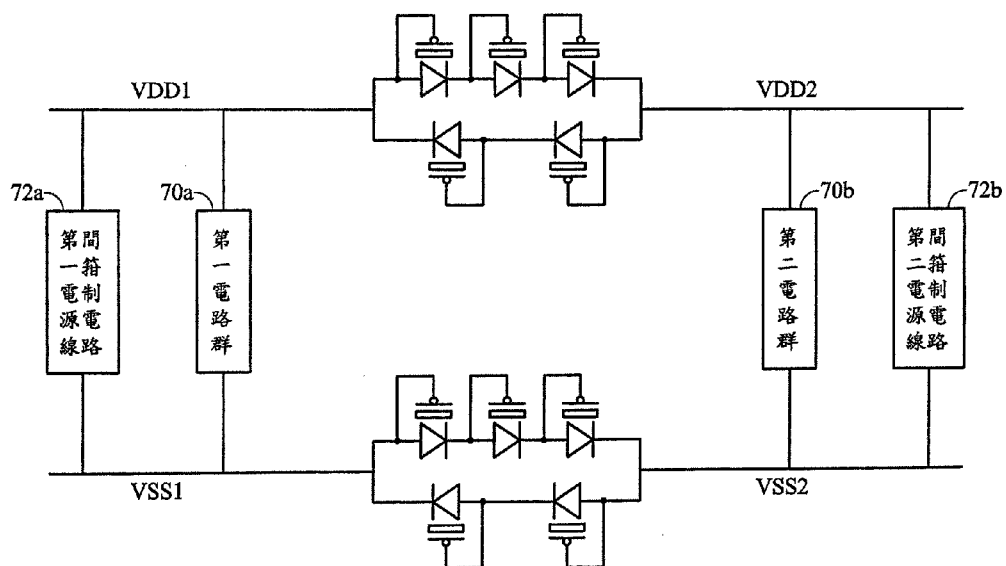
第 17b 圖



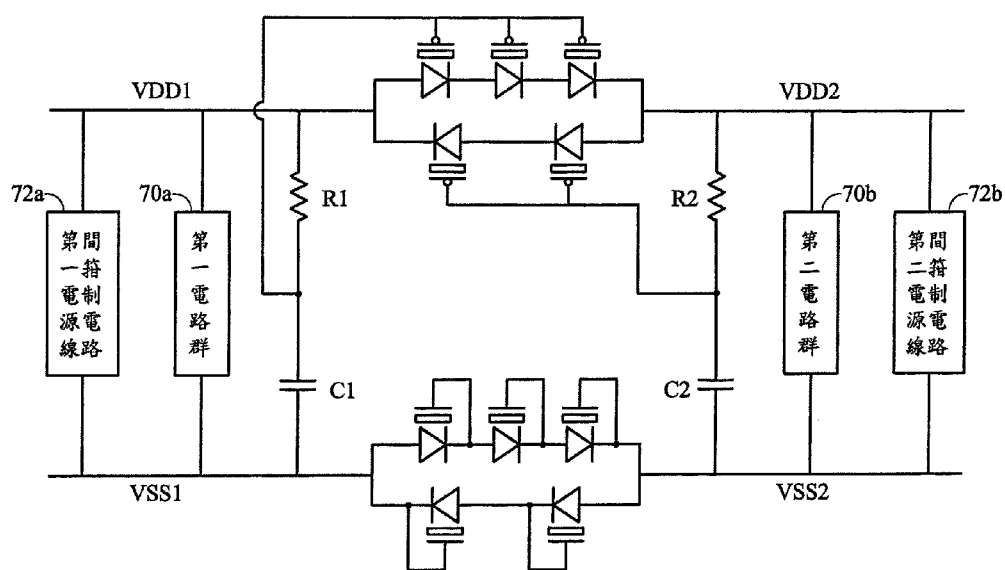
第 17c 圖



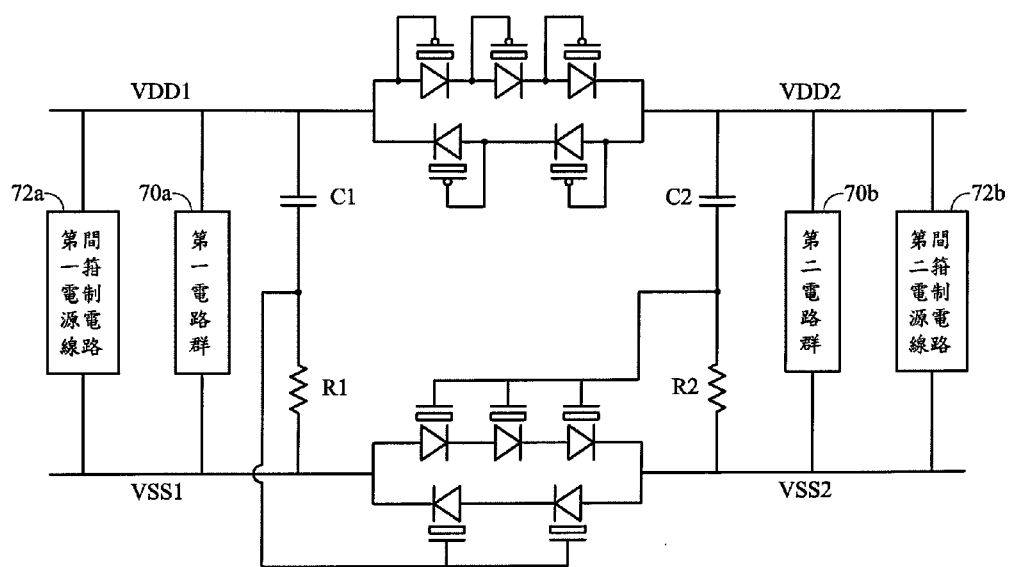
第 18a 圖



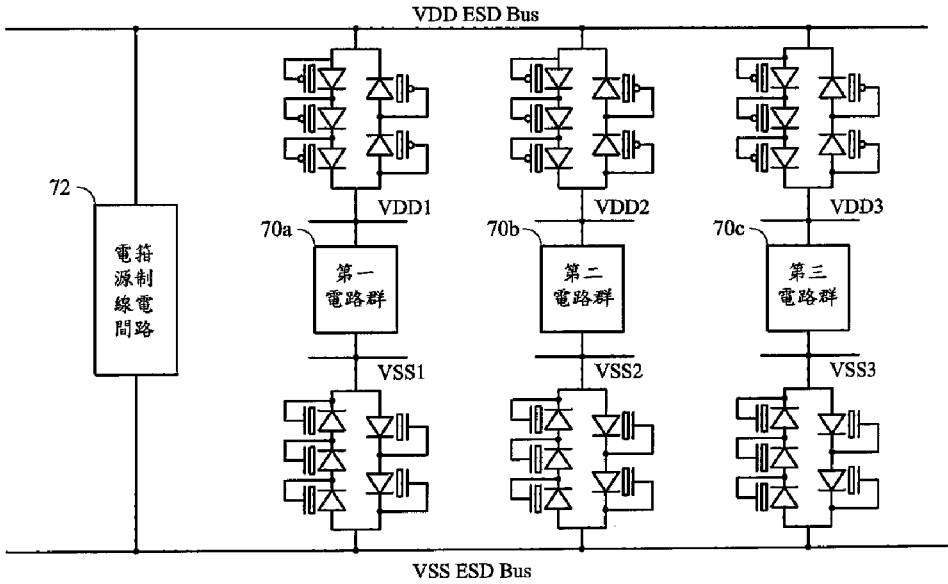
第 18b 圖



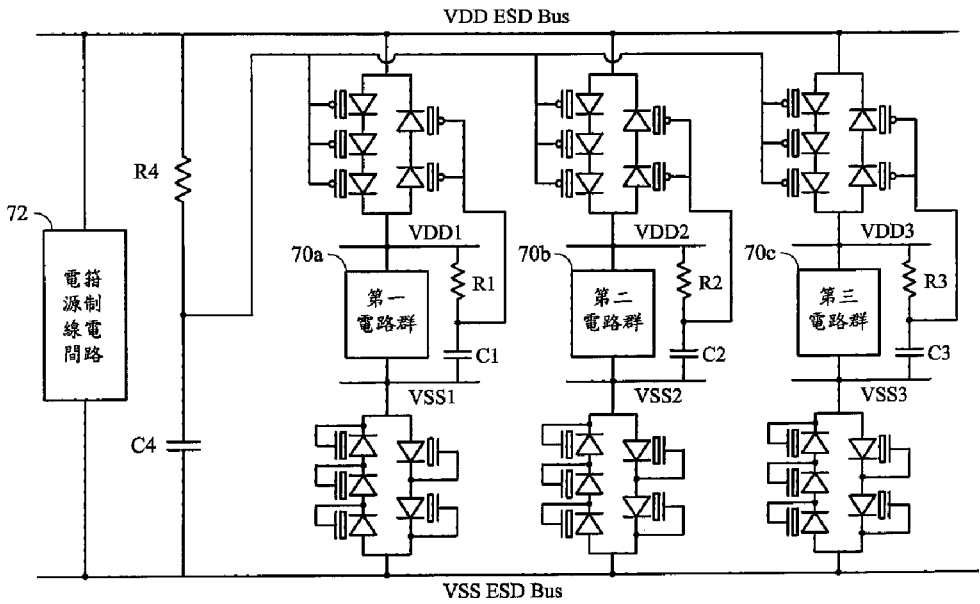
第 18c 圖



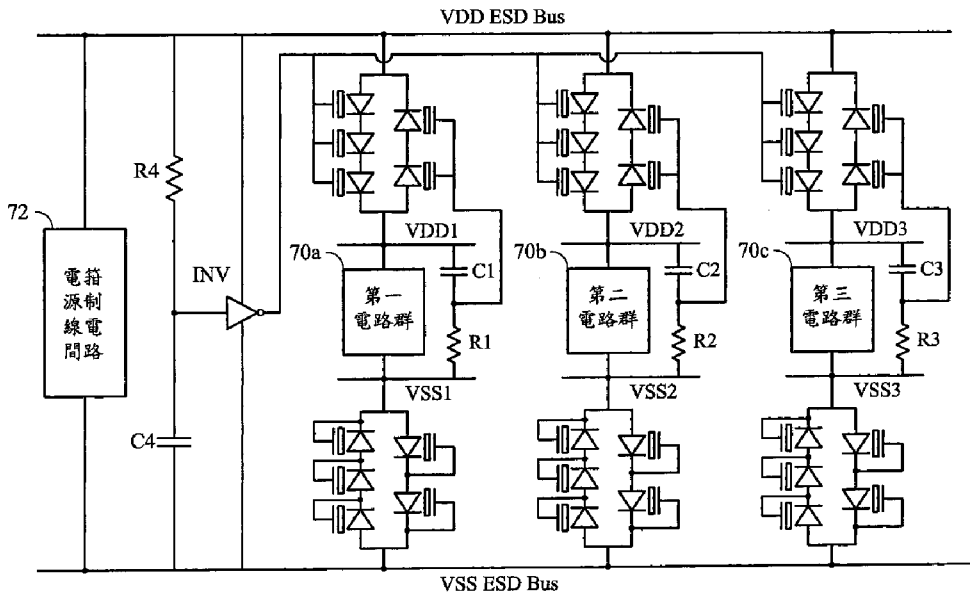
第 18d 圖



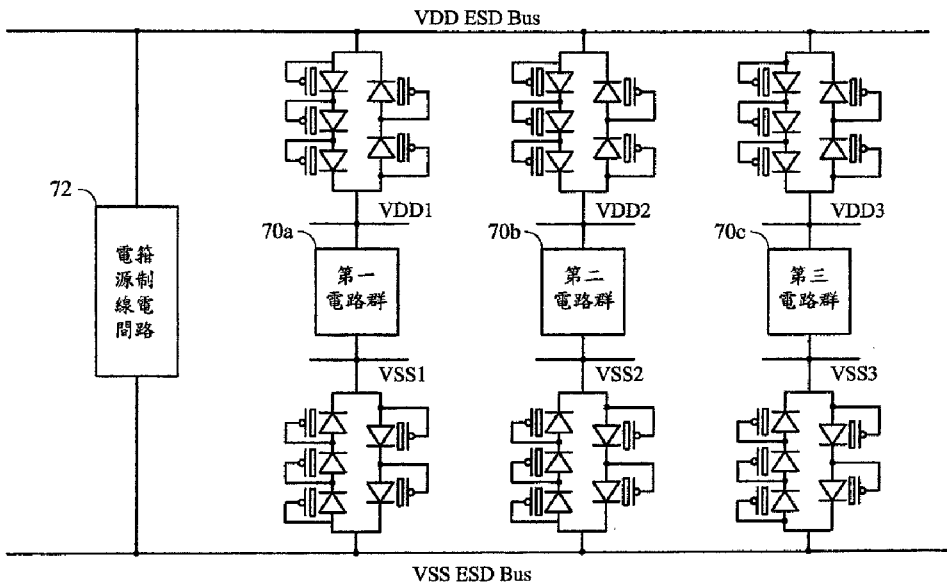
第 19a 圖



第 19b 圖



第 19c 圖



第 19d 圖