

中華民國專利公報 [19] [12]

[11]公告編號：503536

[44]中華民國 91 年 (2002) 09 月 21 日

發明

全 20 頁

[51] Int.Cl⁰⁷： H01L23/06

[54]名稱：一種設於矽覆絕緣中之矽控制整流器及其應用電路

[21]申請案號： 090119703

[22]申請日期：中華民國 90 年 (2001) 08 月 10 日

[72]發明人：

柯明道

洪根剛

唐天浩

新竹市寶山路二〇〇巷三號四樓之三

彰化縣彰南路五段五十三號

新竹市東山街二十七巷十三號六樓

[71]申請人：

聯華電子股份有限公司

新竹科學工業園區新竹市力行二路三號

[74]代理人：許鍾迪 先生

1

2

[57]申請專利範圍：

1. 一種設於矽覆絕緣(silicon-on-insulator, SOI)基底之NMOS觸發矽控制整流器(NMOS-trigger silicon controlled rectifier in silicon-on-insulator, SOI-NSCR)，該SOI-NSCR包含有：
一P型井與一N型井，設於該矽複絕緣基底表面之一單晶矽層中；
一第一P⁺摻雜區域以及一第一N⁺摻雜區域，設於該N型井中，用來當作該SOI-NSCR的陽極(anode)；
一第二P⁺摻雜區域以及一第二N⁺摻雜區域，設於該P型井中，用來當作該SOI-NSCR的陰極(cathode)，且該第一P⁺摻雜區域、該N井、該P型井以及該第二N⁺摻雜區域係構成一橫向SCR(lateral SCR)；
一第三N⁺摻雜區域，橫跨部分之該N型井以及該P型井；
一閘極，設於該P型井中，並與該第三N⁺摻雜區域以及該第二N⁺摻雜區

域構成一NMOS；以及

一虛置閘極(dummy gate)，設於該N型井中，用來隔絕該第一P⁺摻雜區域以及該第三N⁺摻雜區域。

5. 2.如申請專利範圍第1項之SOI-NSCR，其中當一正瞬間電壓(positive transient voltage)跨接於該SOI-NSCR之該陽極與該陰極時，該正瞬間電壓會產生一自該第一P⁺摻雜區域流至該N型井的電流。
10. 3.如申請專利範圍第2項之SOI-NSCR，其中當該正瞬間電壓高於該P型井與該第三N⁺摻雜區域之接面(junction)的接面崩潰電壓(junction breakdown voltage)時，該接面接面會崩潰，以使該正瞬間電壓之電流流過該接面接面並經由該第二N⁺摻雜區域而被釋放至該陰極。
15. 4.如申請專利範圍第1項之SOI-NSCR，其中加壓於該NMOS之閘極並開
- 20.

- 啟該 NMOS 時，會造成一順向偏壓(forward bias)而開啟該 SOI-NSCR，以使跨接於該陽極與該陰極之正瞬間電壓(transient voltage)的電流流過該接面接面而被釋放至該陰極。
5. 如申請專利範圍第 1 項之 SOI-NSCR，其中該第三 N⁺ 摻雜區域係用來當作一 N 型觸發點，當加壓於該第三 N⁺ 摻雜區域時，會相對產生一觸發電流流過該 N 型觸發點，以使該橫向 SCR 進入一鎖定狀態(latch state)而觸發該橫向 SCR，並迅速開啟該 SOI-NSCR，以使跨接於該陽極與該陰極之正瞬間電壓(transient voltage)的電流流過該接面接面而被釋放至該陰極。
6. 如申請專利範圍第 1 項之 SOI-NSCR，其中當一負瞬間電壓(negative transient voltage)跨接於該 SOI-NSCR 元件之該陽極與該陰極之間時，該負瞬間電壓會產生一自該第二 P⁺ 摻雜區域流至該 P 型井的電流，並於該 P 型井與該 N 型井之接面接面(junction)形成一順向偏壓(forward biased)，以使該負瞬間電壓之電流流過該 N 型井並經由該第一 N⁺ 摻雜區域而被釋放至該陽極。
7. 如申請專利範圍第 1 項之 SOI-NSCR，其中該第三 N⁺ 摻雜區域與該 P 型井之接面接面，係用來降低該 SOI-NSCR 的觸發電壓(trigger voltage)。
8. 如申請專利範圍第 1 項之 SOI-NSCR，其中該 P 型井與該第三 N⁺ 摻雜區域之接面崩潰電壓(junction breakdown voltage)係低於該 P 型井與該 N 型井之接面崩潰電壓。
9. 如申請專利範圍第 1 項之 SOI-NSCR，另包含有複數個側壁子(spacer)環繞於各該閘極周圍。
10. 如申請專利範圍第 9 之 SOI-NSCR，

- 另包含有複數個輕摻雜區域(lightly doped region)設於各該閘極周圍之各該側壁子下方。
11. 如申請專利範圍第 1 項之 SOI-NSCR，其中該第一、該第二 P⁺ 摻雜區域以及該第一、該第二 N⁺ 摻雜區域不與該矽複絕緣基底中的絕緣層相接觸，以使該 SOI-NSCR 得以整合於一部分空乏型(partially-depleted)SOI CMOS 製程。
10. 12. 如申請專利範圍第 1 項之 SOI-NSCR，其中該第一、該第二 P⁺ 摻雜區域以及該第一、該第二 N⁺ 摻雜區域係相接觸於該矽複絕緣基底中的絕緣層，以使該 SOI-NSCR 得以整合於一全空乏型(fully-depleted)SOI CMOS 製程。
15. 13. 一種設於矽覆絕緣(SOI)基底之 PMOS 觸發矽控制整流器(PN MOS-trigger silicon controlled rectifier in silicon-on-insulator, SOI-PSCR)，該 SOI-PSCR 包含有：
20. 一 P 型井與一 N 型井，設於該矽複絕緣基底表面之一單晶矽層中；
25. 一第一 P⁺ 摻雜區域以及一第一 N⁺ 摻雜區域，設於該 N 型井中，用來當作該 SOI-PSCR 的陽極(anode)；
30. 一第二 P⁺ 摻雜區域以及一第二 N⁺ 摻雜區域，設於該 P 型井中，用來當作該 SOI-PSCR 的陰極(cathode)，且該第一 P⁺ 摻雜區域、該 N 井、該 P 型井以及該第二 N⁺ 摻雜區域係構成一橫向 SCR(lateral SCR)；
35. 一第三 P⁺ 摻雜區域，橫跨部分之該 N 型井以及該 P 型井；
40. 一閘極，設於該 N 型井中，並與該第三 P⁺ 摻雜區域以及該第一 P⁺ 摻雜區域構成一 PMOS；以及
- 一虛置閘極(dummy gate)，設於該 P 型井中，用來隔絕該第二 N⁺ 摻雜區

- 域以及該第三 P⁺ 摻雜區域。
14. 如申請專利範圍第 13 項之 SOI-PSCR，其中當一正瞬間電壓(positive transient voltage)跨接於該 SOI-PSCR 之該陽極與該陰極時，該正瞬間電壓會產生一自該第一 P⁺ 摻雜區域流至該 N 型井的電流。
 15. 如申請專利範圍第 14 項之 SOI-PSCR，其中當該正瞬間電壓高於該 N 型井與該第三 P⁺ 摻雜區域之接面(junction)的接面崩潰電壓(junction breakdown voltage)時，該接面接面會崩潰，以使該正瞬間電壓之電流流過該接面接面並經由該第二 N⁺ 摻雜區域而被釋放至該陰極。
 16. 如申請專利範圍第 13 項之 SOI-PSCR，其中加壓於該 PMOS 之閘極並開啟該 PMOS 時，會造成一順向偏壓(forward bias)而開啟該 SOI-PSCR，以使跨接於該陽極與該陰極之正瞬間電壓(transient voltage)的電流流過該接面接面而被釋放至該陰極。
 17. 如申請專利範圍第 13 項之 SOI-PSCR，其中該第三 P⁺ 摻雜區域係用來當作一 P 型觸發點，當加壓於該第三 P⁺ 摻雜區域時，會相對產生一觸發電流流過該 P 型觸發點，以使該橫向 SCR 進入一鎖定狀態(latch state)而觸發該橫向 SCR，並迅速開啟該 SOI-PSCR，以使跨接於該陽極與該陰極之正瞬間電壓(transient voltage)的電流流過該接面接面而被釋放至該陰極。
 18. 如申請專利範圍第 13 項之 SOI-PSCR，其中當一負瞬間電壓(negative transient voltage)跨接於該 SOI-PSCR 元件之該陽極與該陰極之間時，該負瞬間電壓會產生一自該第二 P⁺ 摻雜區域流至該 P 型井的電流，並於該

- P 型井與該 N 型井之接面接面(junction)形成一順向偏壓(forward biased)，以使該負瞬間電壓之電流流過該 N 型井並經由該第一 N⁺ 摻雜區域而被釋放至該陽極。
5. 19. 如申請專利範圍第 13 項之 SOI-PSCR，其中該第三 P⁺ 摻雜區域與該 N 型井之接面接面，係用來降低該 SOI-PSCR 的觸發電壓(trigger voltage)。
 10. 20. 如申請專利範圍第 13 項之 SOI-PSCR，其中該 N 型井與該第三 P⁺ 摻雜區域之接面崩潰電壓(junction breakdown voltage)係低於該第 P 型井與該 N 型井之接面崩潰電壓。
 15. 21. 如申請專利範圍第 13 項之 SOI-PSCR，另包含有複數個側壁子(spacer)環繞於各該閘極周圍。
 22. 如申請專利範圍第 21 項之 SOI-PSCR，另包含有複數個輕摻雜區域(lightly doped region)設於各該閘極周圍之各該側壁子下方。
 23. 如申請專利範圍第 13 項之 SOI-PSCR，其中該第一、該第二 P⁺ 摻雜區域以及該第一、該第二 N⁺ 摻雜區域不與該矽複絕緣基底中的絕緣層相接觸，以使該 SOI-PSCR 得以整合於一部分空乏型(partially-depleted) SOI CMOS 製程。
 23. 如申請專利範圍第 13 項之 SOI-PSCR，其中該第一、該第二 P⁺ 摻雜區域以及該第一、該第二 N⁺ 摻雜區域係相接觸於該矽複絕緣基底中的絕緣層，以使該 SOI-PSCR 得以整合於一全空乏型(fully-depleted) SOI CMOS 製程。
 30. 25. 一種靜電放電防護電路(electrostatic discharge protection circuit)，該 ESD 防護電路係電連接於一緩衝墊(pad)、一 V_{ss} 電源接腳 V_{ss} power terminal)以及一 V_{DD} 電源接腳，該
 - 40.

ESD 防護電路包含有：

一形成於矽覆絕緣(SOI)基底之 NMOS 觸發矽控制整流器(SOI-NSCR)，該 SOI-NSCR 之陽極係電連接至該緩衝墊，該 SOI-NSCR 之陰極係電連接至該 V_{ss} 電源接腳；

一形成於矽覆絕緣(SOI)基底之 PMOS 觸發矽控制整流器(SOI-PSCR)，該 SOI-PSCR 之陽極係電連接至該 V_{dd} 電源接腳，該 SOI-PSCR 之陰極係電連接至該緩衝墊；

一第一二極體，該第一二極體之正極係電連接至該 V_{ss} 電源接腳，該第一二極體之負極係電連接至該緩衝墊；以及

一第二二極體，該第二二極體之正極係電連接至該緩衝墊，該第二二極體之負極係電連接至該 V_{dd} 電源接腳。

26.如申請專利範圍第25項之ESD防護電路，該 SOI-NSCR 包含有：

一第一 P 型井與一第一 N 型井，設於一矽複絕緣基底表面之一單晶矽層中；

一第一 P⁺ 摻雜區域以及一第一 N⁺ 摻雜區域，設於該第一 N 型井中，用來當作該 SOI-NSCR 的陽極(anode)；

一第二 P⁺ 摻雜區域以及一第二 N⁺ 摻雜區域，設於該第一 P 型井中，用來當作該 SOI-NSCR 的陰極(cathode)，且該第一 P⁺ 摻雜區域、該第一 N 井、該第一 P 型井以及該第二 N⁺ 摻雜區域係構成一橫向 SCR(lateral SCR)；

一第三 N⁺ 摻雜區域，橫跨部分之該第一 N 型井以及該第一 P 型井；

一第一閘極，設於該第一 P 型井中，並與該第三 N⁺ 摻雜區域以及該第二 N⁺ 摻雜區域構成一 NMOS；以及

一第一虛置閘極(dummy gate)，設於該第一 N 型井中，用來隔絕該第一 P⁺ 摻雜區域以及該第三 N⁺ 摻雜區域。

5. 27.如申請專利範圍第26項之ESD防護電路，另包含有一第一電阻用來電連接該緩衝墊與該第一虛置閘極，以及一第二電阻用來電連接該 V_{ss} 電源接腳與該第一閘極。

10. 28.如申請專利範圍第25項之ESD防護電路，該 SOI-PSCR 包含有：

一第二 P 型井與一第二 N 型井，設於該矽複絕緣基底表面之該單晶矽層中；

15. 一第三 P⁺ 摻雜區域以及一第四 N⁺ 摻雜區域，設於該第二 N 型井中，用來當作該 SOI-PSCR 的陽極(anode)；

一第四 P⁺ 摻雜區域以及一第五 N⁺ 摻雜區域，設於該第二 P 型井中，用來當作該 SOI-PSCR 的陰極(cathode)，且該第三 P⁺ 摻雜區域、該第二 N 型井、該第二 P 型井以及該第五 N⁺ 摻雜區域係構成一橫向 SCR(lateral SCR)；

25. 一第五 P⁺ 摻雜區域，橫跨部分之該第二 N 型井以及該第二 P 型井；

一第二閘極，設於該第二 N 型井中，並與該第五 P⁺ 摻雜區域以及該第三 P⁺ 摻雜區域構成一 PMOS；以及

30. 一第二虛置閘極(dummy gate)，設於該第二 P 型井中，用來隔絕該第五 N⁺ 摻雜區域以及該第五 P⁺ 摻雜區域。

35. 29.如申請專利範圍第28項之ESD防護電路，另包含有一第三電阻用來電連接該緩衝墊與該第二虛置閘極，以及一第四電阻用來電連接該 V_{dd} 電源接腳與該第二閘極。

40. 30.如申請專利範圍第25項之ESD防護

- 電路，其中當一相對於該 V_{ss} 電源接腳為正的 ESD 電壓被施加於該緩衝墊時，會開啟該 SOI-NSCR 以釋放 ESD 電流至該 V_{ss} 電源接腳。
- 31.如申請專利範圍第25項之ESD防護電路，其中當一相對於該 V_{ss} 電源接腳為負的 ESD 電壓被施加於該緩衝墊時，會開啟該第一二極體以釋放 ESD 電流至該 V_{ss} 電源接腳。
- 32.如申請專利範圍第25項之ESD防護電路，其中當一相對於該 V_{dd} 電源接腳為負的 ESD 電壓被施加於該緩衝墊時，會開啟該 SOI-PSCR 以釋放 ESD 電流至該 V_{dd} 電源接腳。
- 33.如申請專利範圍第25項之ESD防護電路，其中當一相對於該 V_{dd} 電源接腳為正的 ESD 電壓被施加於該緩衝墊時，會開啟該第二二極體以釋放 ESD 電流至該 V_{dd} 電源接腳。
- 34.如申請專利範圍第25項之ESD防護電路，另包含有一電連接於該 V_{ss} 電源接腳以及該 V_{dd} 電源接腳的電源線 ESD 箝制電路(power-rail ESD clamp circuits)。
- 35.如申請專利範圍第25項之ESD防護電路，其中該緩衝墊係為一輸入緩衝墊(input buffering pad)。
- 36.如申請專利範圍第25項之ESD防護電路，其中該緩衝墊係為一輸出緩衝墊(output buffering pad)。
- 37.如申請專利範圍第25項之ESD防護電路，其中在一正常操作模式(normal operation mode)下，該 SOI-PSCR、該 SOI-NSCR、該第一二極體以及該第二二極體均保持關閉。
- 38.一種設於電源線(power-rail)間之靜電放電防護電路(ESD protection circuit)，該 ESD 防護電路包含有：
一第一反向器，且該第一反向器包含有一輸入端(input node)以及一輸出

- 端(output node)；
一電容，電連接於該輸入端以及該電源線(power-rail)之一 V_{ss} 電源接腳；
一第一電阻，電連接於該輸入端以及該電源線(power-rail)之一 V_{dd} 電源接腳；
一 SOI_SCR，該 SOI_SCR 的陽極係電連接於該 V_{dd} 電源接腳；
一二極體串列(diode string)，電連接該 SOI_SCR 之該陰極以及該 V_{ss} 電源接腳；
其中該二極體串列係用來提高該 SOI_SCR 被開啟後的保持電壓(holding voltage)，以避免在一正常操作模式(normal operation mode)下，該 SOI_SCR 被一雜訊脈衝(noise pluse)觸發而進入閉鎖狀態。
- 39.如申請專利範圍第38項之ESD防護電路，其中該 SOI_SCR 係為一 SOI-NSCR。
- 40.如申請專利範圍第39項之ESD防護電路，該 SOI-NSCR 包含有：
一第一 P 型井與一第一 N 型井，設於一矽複絕緣基底表面之一單晶矽層中；
一第一 P^+ 摻雜區域以及一第一 N^+ 摻雜區域，設於該第一 N 型井中，用來當作該 SOI-NSCR 的陽極(anode)；
一第二 P^+ 摻雜區域以及一第二 N^+ 摻雜區域，設於該第一 P 型井中，用來當作該 SOI-NSCR 的陰極(cathode)，且該第一 P^+ 摻雜區域、該第一 N 井、該第一 P 型井以及該第二 N^+ 摻雜區域係構成一橫向 SCR(lateral SCR)；
一第三 N^+ 摻雜區域，橫跨部分之該第一 N 型井以及該第一 P 型井；
一第一閘極，設於該第一 P 型井中，

並與該第三 N⁺ 摻雜區域以及該第二 N⁺ 摻雜區域構成一 NMOS；以及一第一虛置閘極(dummy gate)，設於該第一 N 型井中，用來隔絕該第一 P⁺ 摻雜區域以及該第三 N⁺ 摻雜區域。

- 41.如申請專利範圍第40項之ESD防護電路，另包含有一第二電阻，用來電連接該 V_{DD} 電源接腳與該第一虛置閘極，以保護該第一虛置閘極之閘極氧化層。
- 42.如申請專利範圍第40項之ESD防護電路，另包含有一第三電阻，用來電連接該二極體串列(diode string)與該第一閘極，以保護該第一閘極之閘極氧化層。
- 43.如申請專利範圍第40項之ESD防護電路，其中該第一閘極係電連接於該第一反向器的該輸出端。
- 44.如申請專利範圍第40項之ESD防護電路，其中該第三 N⁺ 摻雜區域係電連接於該第一反向器的該輸出端。
- 45.如申請專利範圍第44項之ESD防護電路，另包含有一第二反向器，且該第二反向器之輸入端係電連接於該電容以及該第一電阻，該第二反向器之輸出端係電連接於該第一反向器之輸入端。
- 46.如申請專利範圍第44項之ESD防護電路，另包含有一第二反向器，且該第二反向器之輸入端係電連接於該電容以及該第一電阻，該第二反向器之輸出端係電連接於該第一反向器之輸入端以及該第一閘極。
- 47.如申請專利範圍第44項之ESD防護電路，另包含有一第二反向器，且該第二反向器之輸入端係電連接於該電容以及該第一電阻，該第二反向器之輸出端係電連接於該第一反向器之輸入端以及該第一閘極，且

該第一反向器之輸出端係電連接於該第一虛置閘極。

- 48.如申請專利範圍第38項之ESD防護電路，其中該 SOI_SCR 係為一 SOI-PSCR。
5. 49.如申請專利範圍第48項之ESD防護電路，該 SOI-PSCR 包含有：
 - 一第二 P 型井與一第二 N 型井，設於該矽複絕緣基底表面之該單晶矽層中；
 - 一第三 P⁺ 摻雜區域以及一第四 N⁺ 摻雜區域，設於該第二 N 型井中，用來當作該 SOI-PSCR 的陽極(cathode)；
 15. 一第四 P⁺ 摻雜區域以及一第五 N⁺ 摻雜區域，設於該第二 P 型井中，用來當作該 SOI-PSCR 的陰極(anode)，且該第三 P⁺ 摻雜區域、該第二 N 型井、該第二 P 型井以及該第五 N⁺ 摻雜區域係構成一橫向 SCR(lateral SCR)；
 20. 一第五 P⁺ 摻雜區域，橫跨部分之該第二 N 型井以及該第二 P 型井；
 - 一第二閘極，設於該第二 N 型井中，並與該第五 P⁺ 摻雜區域以及該第三 P⁺ 摻雜區域構成一 PMOS；以及
 25. 一第二虛置閘極(dummy gate)，設於該第二 P 型井中，用來隔絕該第五 N⁺ 摻雜區域以及該第五 P⁺ 摻雜區域。
 30. 50.如申請專利範圍第49項之ESD防護電路，另包含有一第四電阻，用來電連接該二極體串列(diode string)與該第二虛置閘極，以保護該第二虛置閘極之閘極氧化層。
 35. 51.如申請專利範圍第49項之ESD防護電路，另包含有一第五電阻，用來電連接該 V_{DD} 電源接腳與該第二閘極，以保該第二閘極之閘極氧化
 - 40.

層。

52.如申請專利範圍第49項之ESD防護電路，其中該第二閘極係電連接於該第一反向器的該輸出端。

53.如申請專利範圍第49項之ESD防護電路，其中該第五P⁺摻雜區域係電連接於該第一反向器的該輸出端。

54.如申請專利範圍第53項之ESD防護電路，另包含有一第三反向器，且該第三反向器之輸入端係電連接於該第一反向器之輸出端，該第三反向器之輸出端係電連接該第二閘極。

55.如申請專利範圍第38項之ESD防護電路，其中當一正ESD電壓跨接於該V_{ss}電源接腳與該V_{DD}電源接腳之間時，該SOI-SCR會被觸發而開啟，以使ESD電流經由該SOI-SCR裝置以及該二極體串列而被釋放至該V_{ss}電源接腳。

圖式簡單說明：

圖一為先前技術中之SCR裝置應用於P型基底/N型井上之剖面示意圖。

圖二為先前技術之改良式SCR裝置剖面示意圖。

圖三為先前技術之改良式SCR裝置剖面示意圖。

圖四為先前技術中之雙穩態SCR型裝置(bi-stable SCR-like)剖面示意圖。

圖五(a)為SOI_CMOS製程中之部分空乏SOI-NSCR裝置之結構示意圖。

圖五(b)為本發明SOI-NSCR裝置用於ESD保護裝置之示意符號定義。

圖五(c)為本發明部分空乏SOI_CMOS製程中SOI-NSCR裝置的外視圖。

圖六(a)為部份空乏SOI_CMOS製程中SOI-PSCR之結構示意圖。

圖六(b)為本發明SOI-PSCR裝置用於ESD保護裝置之示意符號定義。

10. 圖六(c)為本發明部分空乏SOI_CMOS製程中SOI-PSCR裝置的外視圖。

15. 圖七(a)為本發明完全空乏SOI_CMOS製程中SOI-NSCR裝置的結構示意圖。

圖七(b)為本發明完全空乏SOI_CMOS製程中SOI-NSCR裝置結構的外視圖。

20. 圖八(a)為本發明完全空乏SOI_CMOS製程中SOI-PSCR裝置的結構示意圖。

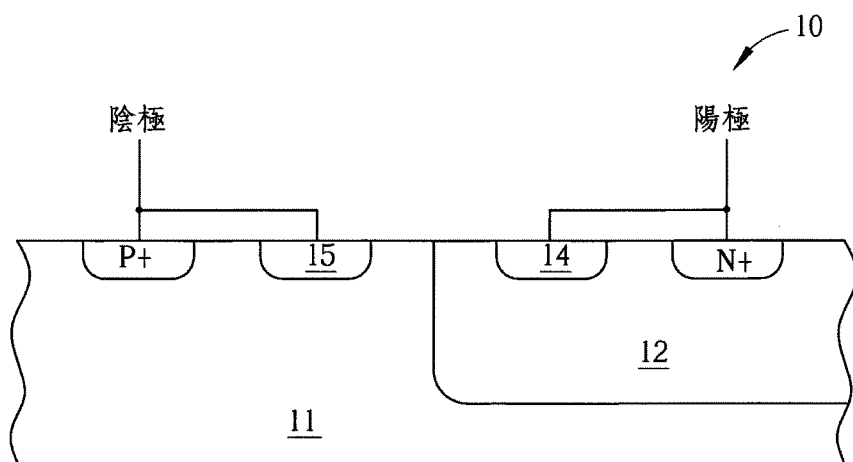
圖八(b)為本發明完全空乏SOI_CMOS製程中SOI-PSCR裝置結構的外視圖。

25. 圖九為本發明SOI_CMOS製程中應用矽控制整流裝置於輸入端ESD防護電路上的電路圖。

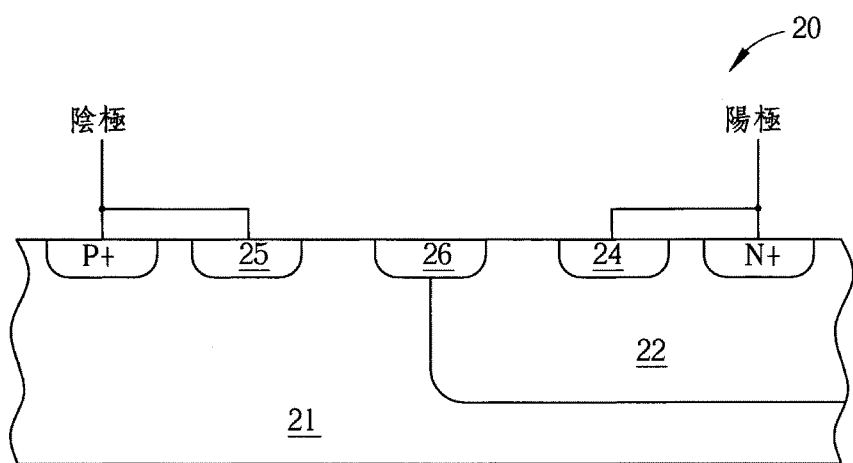
30. 圖十為本發明SOI_CMOS製程中應用矽控制整流裝置於輸出端ESD防護電路上的電路圖。

圖十一a至圖十一g為本發明SOI_CMOS製程中應用矽控制整流裝置於兩電源線之間的電路圖。

(8)

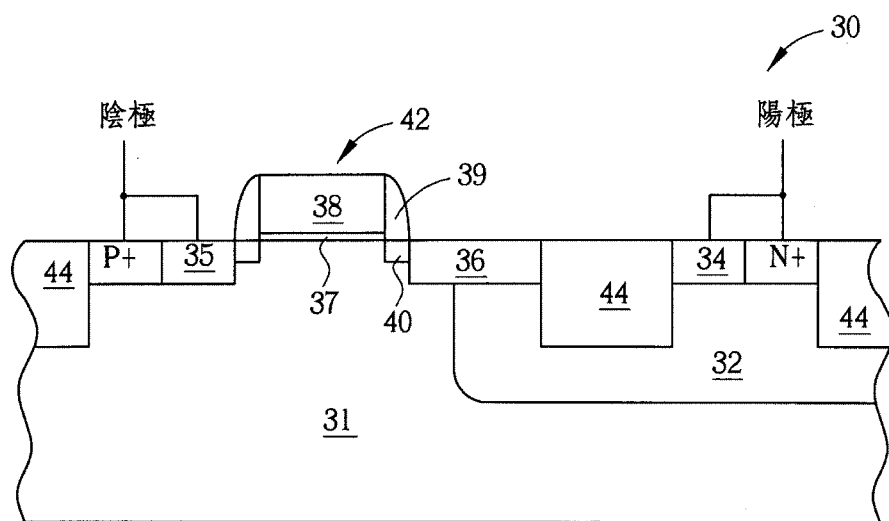


圖一

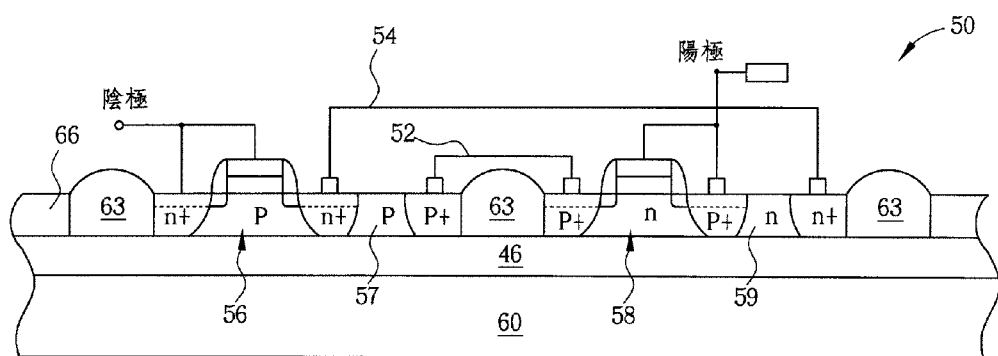


圖二

(9)

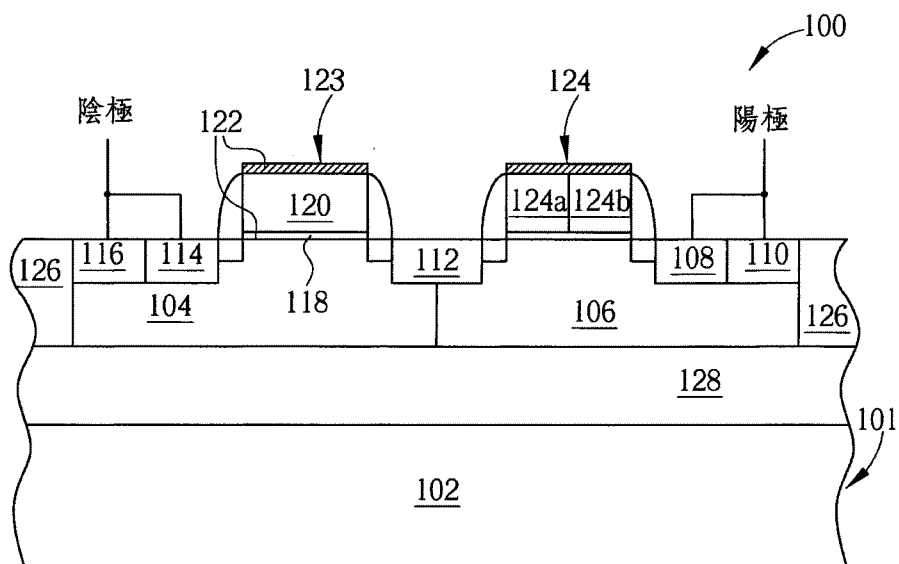


圖三

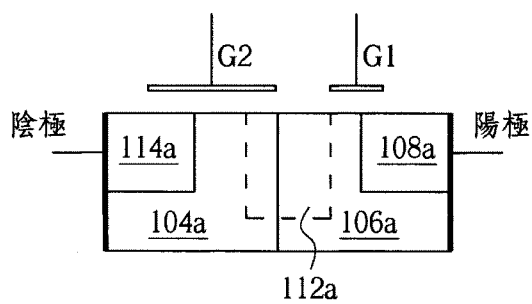


圖四

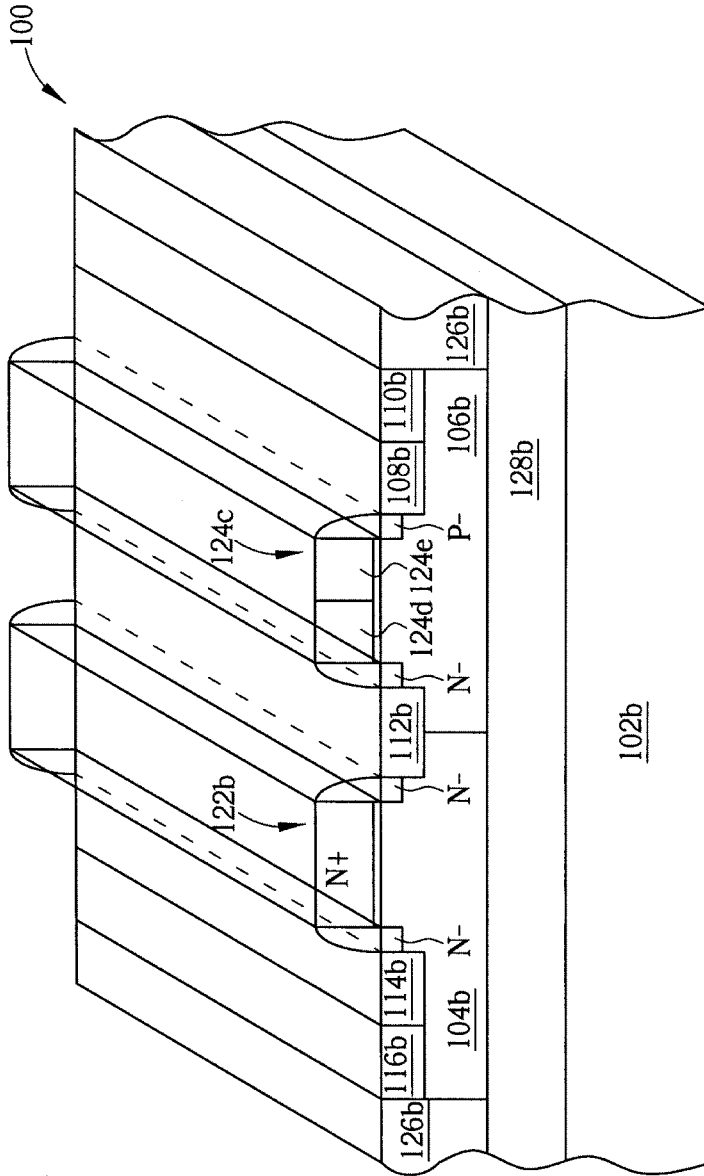
(10)



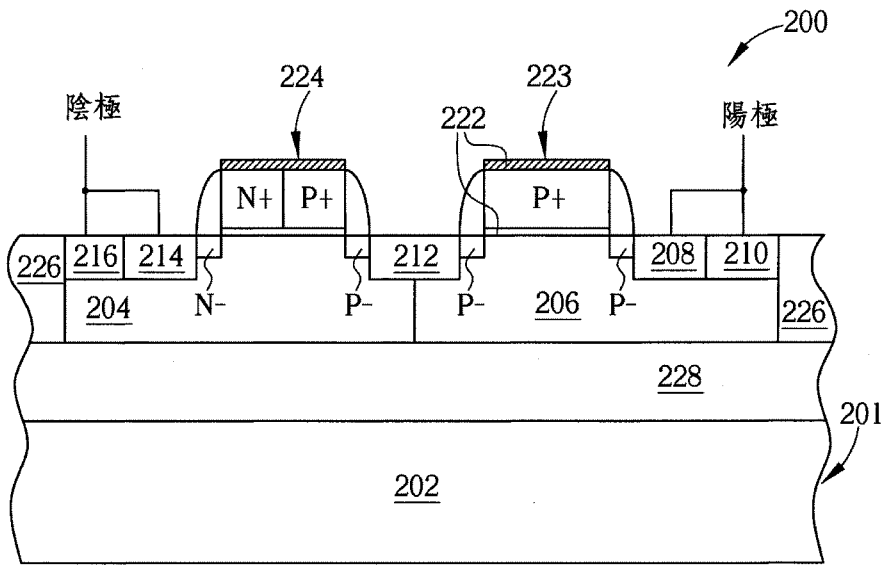
圖五 a



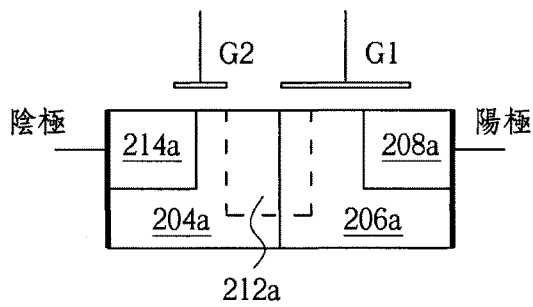
圖五 b



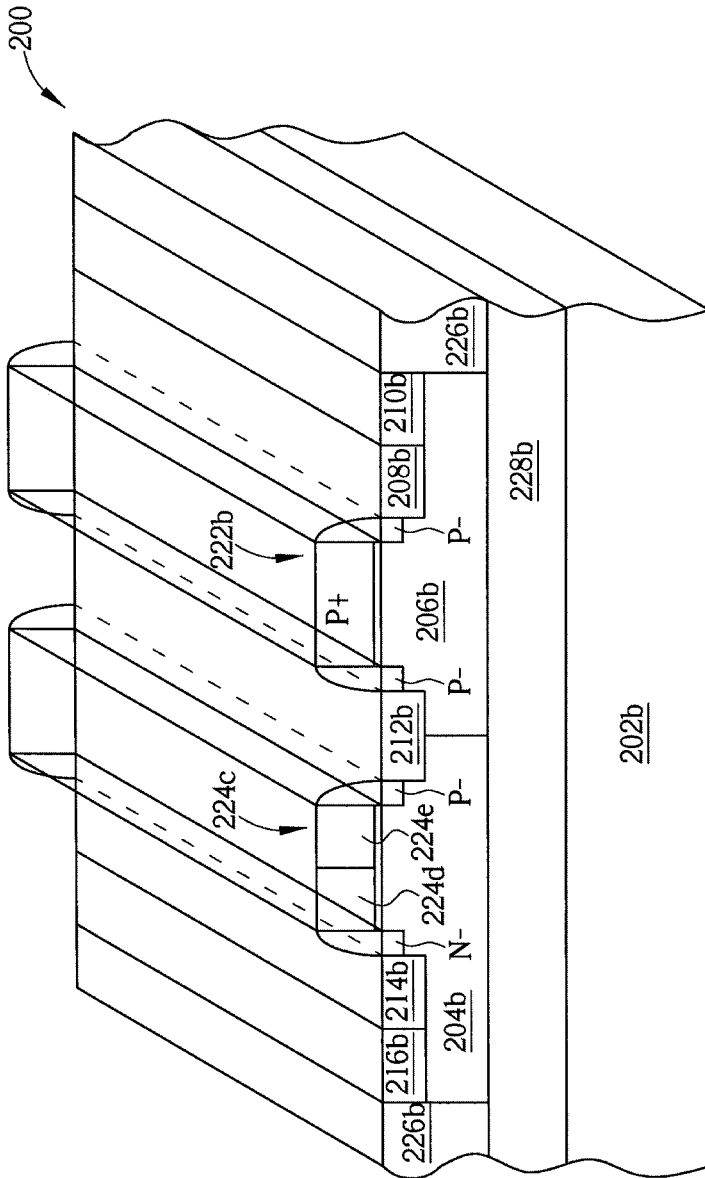
圖五.c



圖六 a

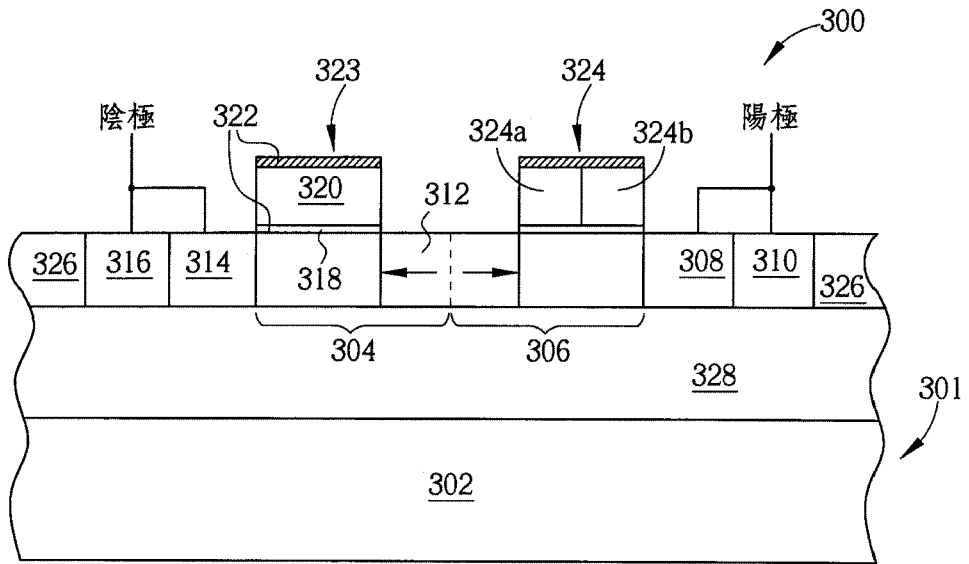


圖六 b

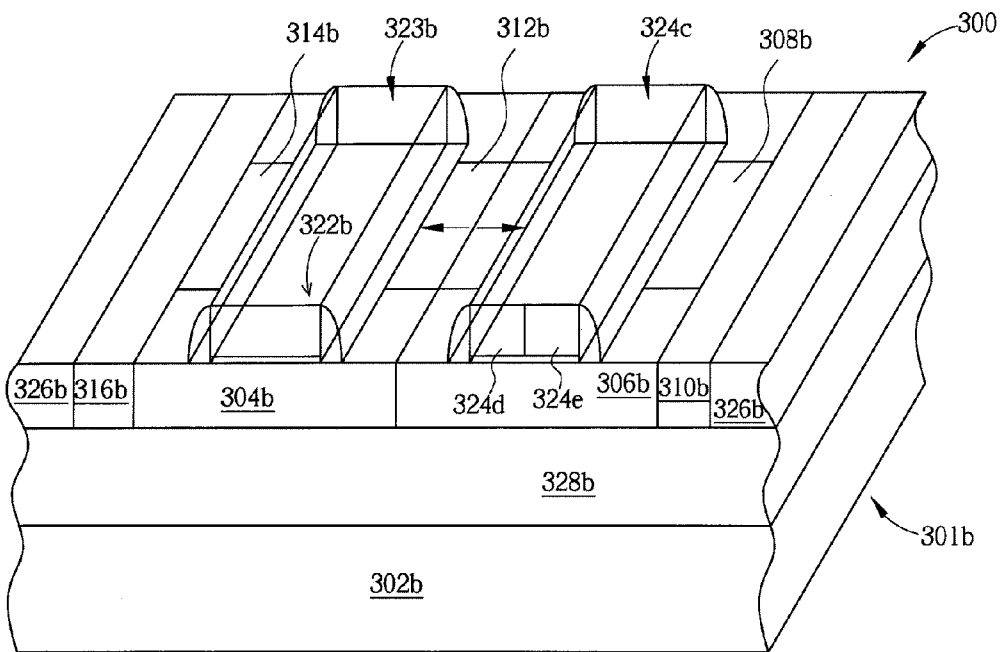


圖六 c

(14)

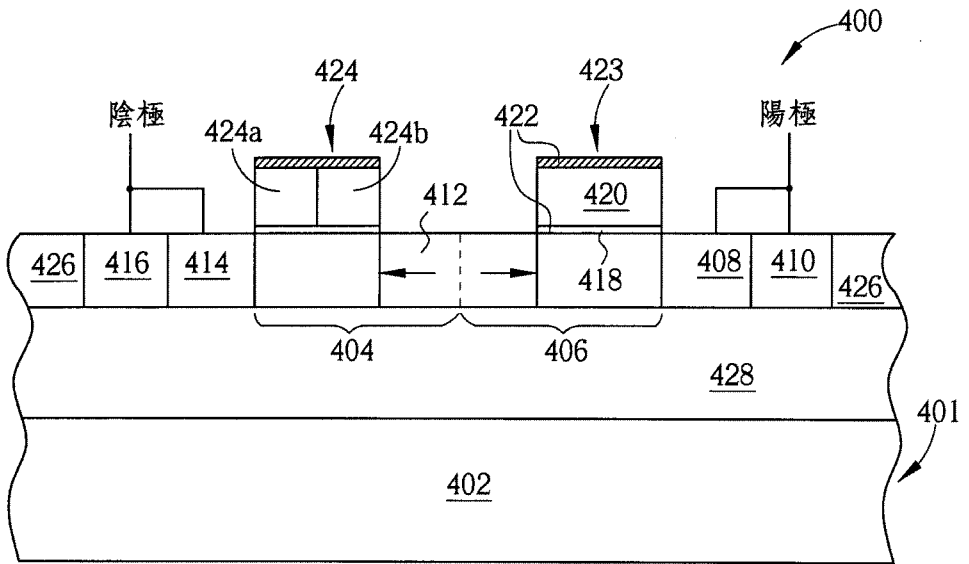


圖七 a

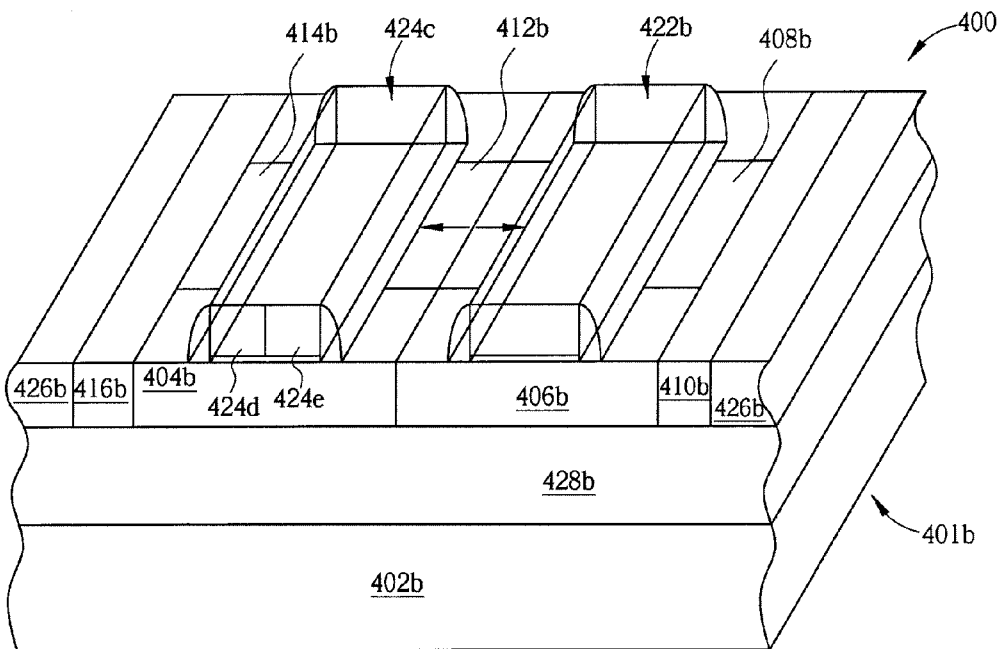


圖七 b

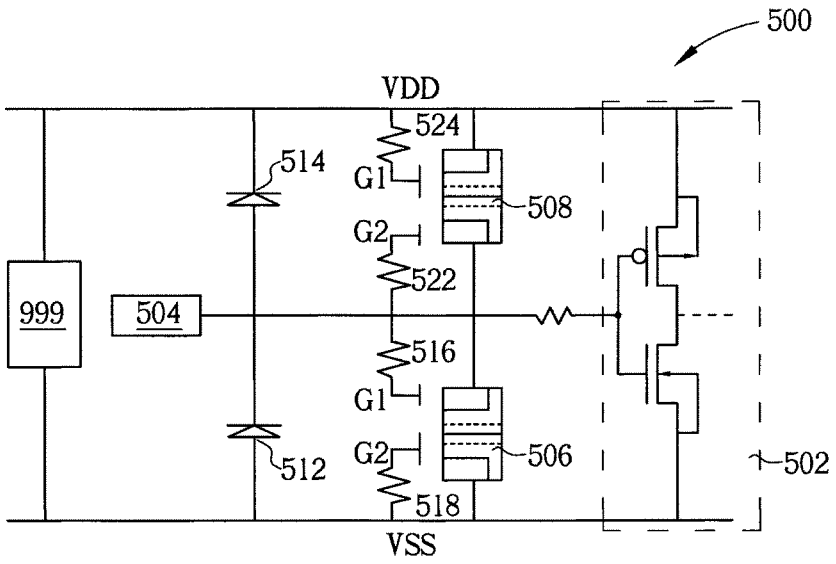
(15)



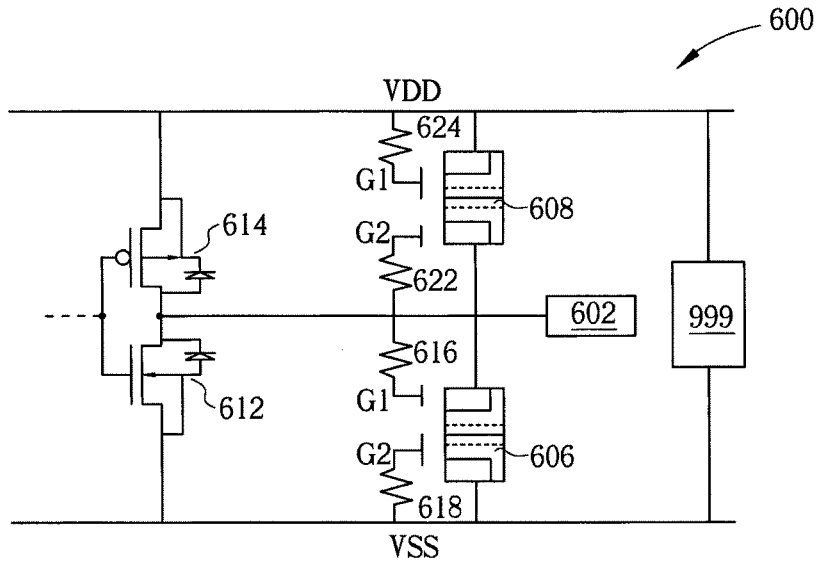
圖八 a



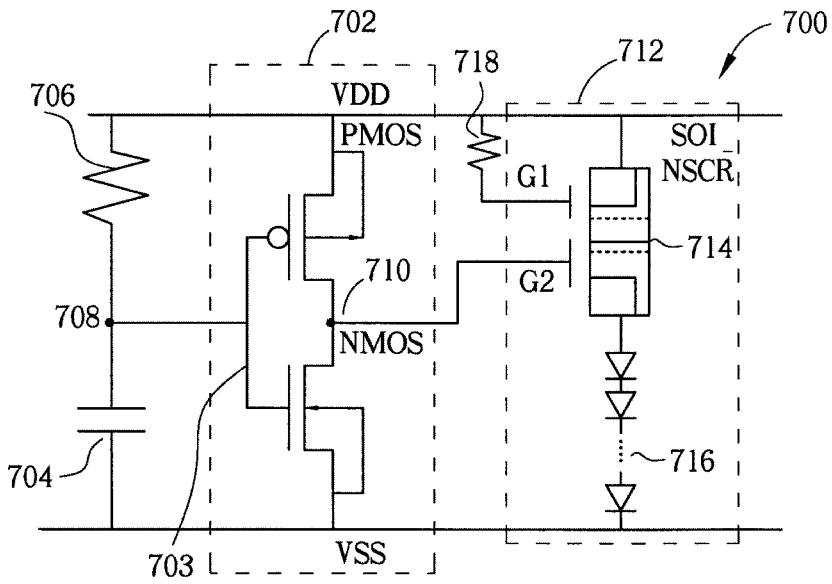
圖八 b



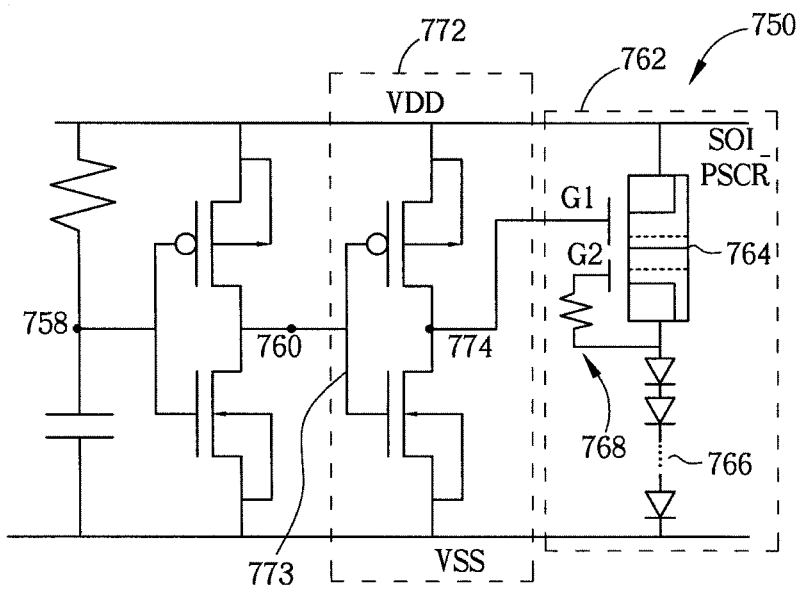
圖九



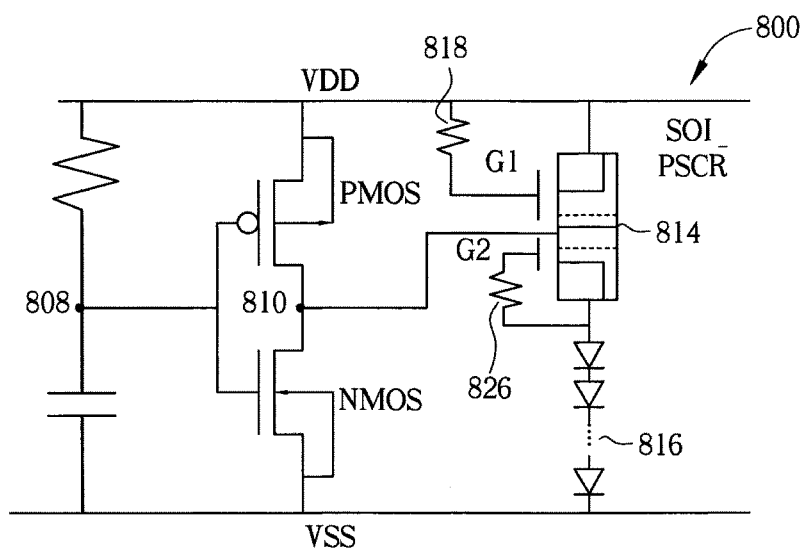
圖十



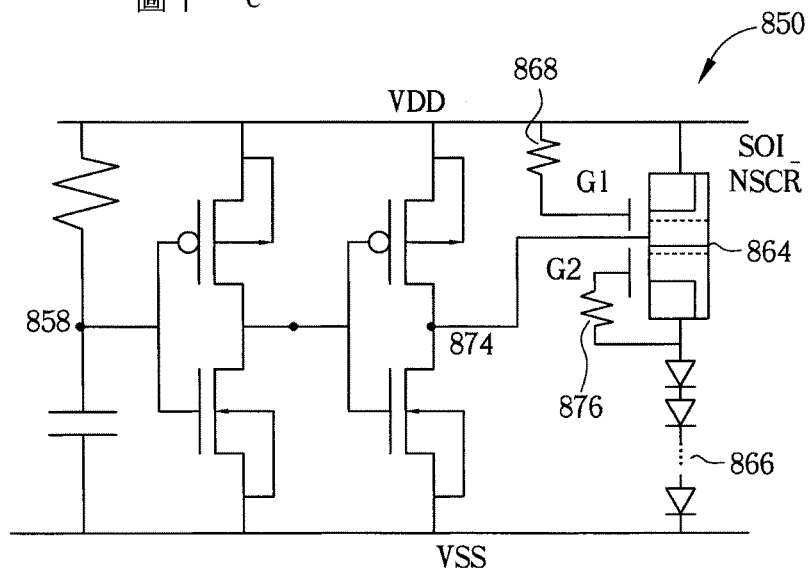
圖十一 a



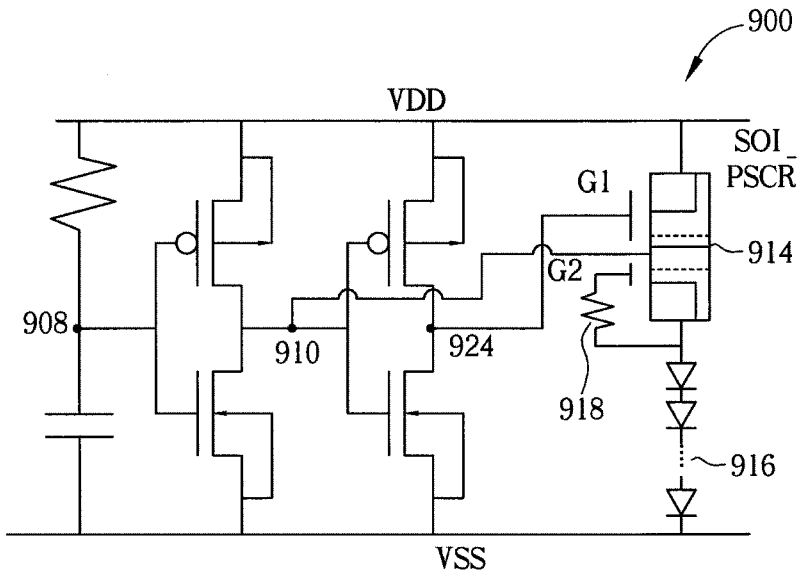
圖十一 b



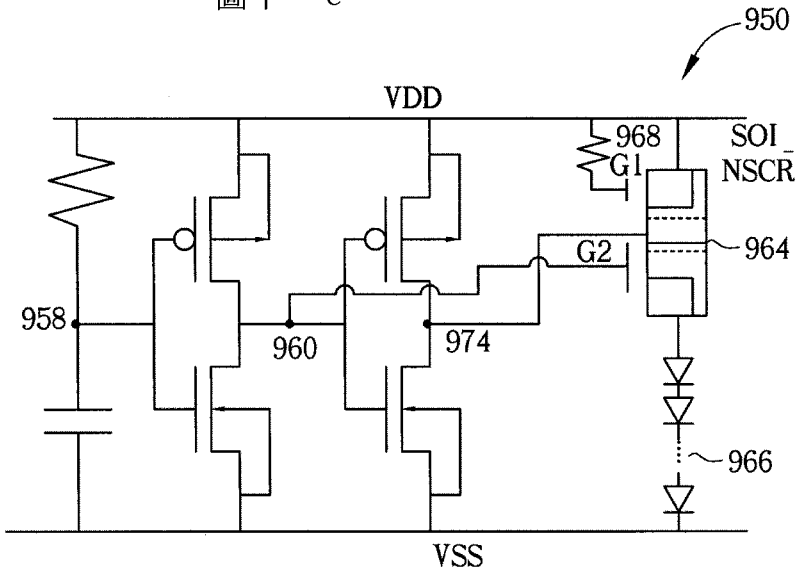
圖十一 c



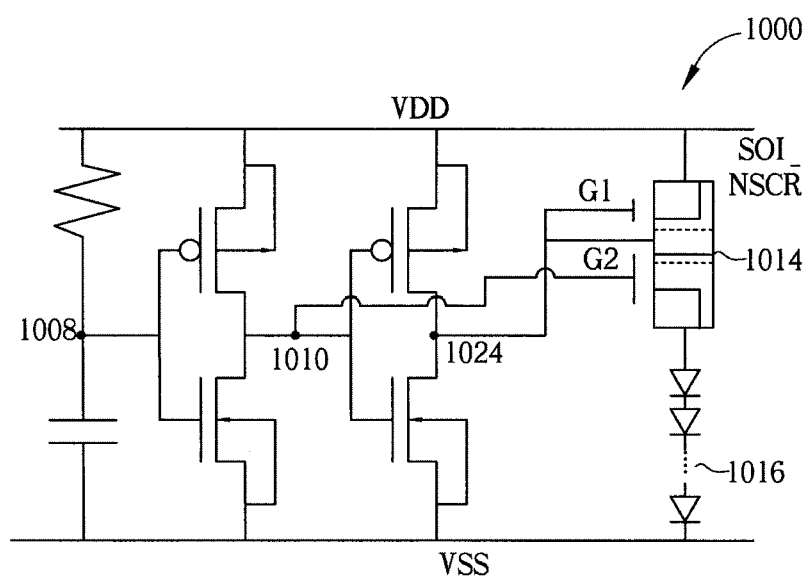
圖十一 d



圖十一 e



圖十一 f



圖十一 g