

中華民國專利公報 [19] [12]

[11]公告編號：503551

[44]中華民國 91 年 (2002) 09 月 21 日

發明

全 15 頁

[51] Int.Cl⁰⁷： H01L23/60

[54]名稱：低漏電流之靜電放電防護電路

[21]申請案號： 088122082

[22]申請日期：中華民國 88 年 (1999) 12 月 16 日

[72]發明人：

柯明道

羅文裕

張恆祥

新竹市寶山路二〇〇巷三號四樓之三
台中縣東勢鎮東崎街三八五之十五號
台北縣汐止市大同路二段三三七號

[71]申請人：

台灣積體電路製造股份有限公司

新竹科學工業園區園區三路一二一號

[74]代理人： 洪澄文 先生

1

2

[57]申請專利範圍：

1. 一種低漏電流之靜電放電防護電路，其設於一高電源線以及一低電源線之間，該靜電放電防護電路包含有：

一半導體控制整流器，該半導體控制整流器之陽極係耦合於該高電源線；以及

一二極體串接(diode string)電路，係以至少一個二極體順向串接所構成，該串接電路包含有一正極以及一負極，該正極係耦合於該半導體控制整流器之陰極，而該負極係耦合於該低電源線。

2. 如申請專利範圍第 1 項之靜電放電防護電路，其中該半導體控制整流器包含有 nMOS 與 pMOS 其中之一，用以觸發該半導體控制整流器。

3. 如申請專利範圍第 2 項之靜電放電防護電路，其中該靜電放電防護電路另包含有一靜電放電偵測電路，用

以偵測該高電源線以及該低電源線其中之一的電壓，並輸出一電壓以觸發該半導體控制整流器。

4. 如申請專利範圍第 3 項之靜電放電防護電路，其中該半導體控制整流器包含有一用以觸發該半導體控制整流器之 nMOS，而該靜電放電偵測電路包含有：

一電阻，其一端耦合於該高電源線；

一電容，與該電阻相串接以形成一串接點，且該電容之一端耦合於該低電源線；以及

一反向器，該反向器之輸入端係耦合於該串接點，而該反向器之輸出端係耦合於該半導體控制整流器中的 nMOS 之閘極。

5. 如申請專利範圍第 3 項之靜電放電防護電路，其中該半導體控制整流器包含有一控制該半導體控制整流器

觸發之 nMOS，而該靜電放電偵測電路包含有：

一電容，其一端耦合於該高電源線；以及

一電阻，與該電容相串接以形成一串接點，且該電容之一端耦合於該低電源線；

其中，該半導體控制整流器的 nMOS 之閘極係耦合於該串接點。

6.如申請專利範圍第3項之靜電放電防護電路，其中該半導體控制整流器包含有一控制該半導體控制整流器觸發之 pMOS，而該靜電放電偵測電路包含有：

一電阻，其一端耦合於該高電源線；以及

一電容，與該電阻相串接以形成一串接點，且該電容之一端耦合於該低電源線；

其中，該半導體控制整流器的 pMOS 之閘極係耦合於該串接點。

7.如申請專利範圍第4項、第5項以及第6項之靜電放電防護電路，其中該電阻之值與該電容之值的乘積係介於 $0.1\ \mu s$ 至 $1\ \mu s$ 之間。

8.如申請專利範圍第4項、第5項以及第6項之靜電放電防護電路，其中該電容係以一金氧半電晶體之閘極所構成。

9.如申請專利範圍第1項之靜電放電防護電路，其中該高電源線至該低電源線之間設有至少一逆向二極體。

10.一種低漏電流之靜電放電防護電路，適用於一積體電路中，該積體電路至少包含有一第一高電源線以及一第二高電源線，該第一高電源線於正常工作時的工作電壓係大於該第二高電源線之工作電壓，而該靜電放電防護電路係設於一第一高電源線以及一第二高電源線之間，

該靜電放電防護電路包含有：

一半導體控制整流器，該半導體控制整流器之陽極係耦合於該第一高電源線；以及

5. 一二極體串接電路，係以至少一個二極體順向串接所構成，該串接電路包含有一正極以及一負極，該正極係耦合於該半導體控制整流器之陰極，而該負極係耦合於該第二高電源線。

10. 11.如申請專利範圍第10項之靜電放電防護電路，其中該靜電放電防護電路另包含有一靜電放電偵測電路，用以偵測該第一高電源線以及該低電源線其中之一的電壓，並輸出一電壓以觸發該半導體控制整流器。

12.如申請專利範圍第11項之靜電放電防護電路，其中該半導體控制整流器包含有一控制該半導體控制整流器觸發之 nMOS，而該靜電放電偵測電路包含有：

一電阻，其一端耦合於該第一高電源線；

一電容，與該電阻相串接以形成一串接點，且該電容之一端耦合於該第二高電源線；以及

一反向器，該反向器之輸入端係耦合於該串接點，而該反向器之輸出端係耦合於該半導體控制整流器中的 nMOS 之閘極。

13.如申請專利範圍第11項之靜電放電防護電路，其中該半導體控制整流器包含有一控制該半導體控制整流器觸發之 nMOS，而該靜電放電偵測電路包含有：

一電容，其一端耦合於該第一高電源線；以及

一電阻，與該電容相串接以形成一串接點，且該電容之一端耦合於該第二高電源線；

其中，該半導體控制整流器的nMOS之閘極係耦合於該串接點。

14.如申請專利範圍第11項之靜電放電防護電路，其中該半導體控制整流器包含有一控制該半導體控制整流器觸發之pMOS，而該靜電放電偵測電路包含有：

一電阻，其一端耦合於該第一高電源線；以及

一電容，與該電阻相串接以形成一串接點，且該電容之一端耦合於該第二高電源線；

其中，該半導體控制整流器的pMOS之閘極係耦合於該串接點。

15.如申請專利範圍第12項、第13項以及第14項之靜電放電防護電路，其中該電阻之值與該電容之值的乘積係介於0.1 μ s至1 μ s之間。

16.如申請專利範圍第12項、第13項以及第11項之靜電放電防護電路，其中該電容係以一金氧半電晶體之閘極所構成。

17.如申請專利範圍第10項之靜電放電防護電路，其中該第一高電源線至該第二電源線之間設有至少一逆向二極體。

圖式簡單說明：

第1圖為一種ESD事件時，對內部電路損傷的原因，以及，加入電源線間之ESD保護電路後的保護原理之示意圖；

第2A圖與第2B圖分別為習知的一種純粹以一二極體串接電路構成的ESD保護電路的電路示意圖以及晶片剖面圖；

第2C圖為第2B圖之等效電路圖；

第3A圖、第3B圖以及第3C圖分

別為習知的包覆式二極體串接電路、推舉式二極體串接電路以及懸臂式二極體串接電路之電路示意圖；

第4A圖為一種習知的LVTSCR的晶片剖面圖；

第4B圖為第4A圖之電流電壓圖；

第5A圖是系統層次的EMC/ESD測試之示意圖；

10. 第5B圖是第5A圖中於ESD事件時，高電源線VDD上的電壓示意圖；

第6圖為本發明之ESD防護電路的示意圖；

15. 第7A圖以及第7B圖分別為本發明之ESD防護電路以NCLSCR實施時的電路示意圖以及晶片剖面圖；

第8A圖以及第8B圖分別為溫度是攝氏25度與攝氏125度時各種ESD保護電路之漏電流對電壓的關係圖；

20. 第9A圖是在VDD電壓為5伏與3.3伏時，各種ESD保護電路之漏電流對PN接面二極體數目的關係圖；

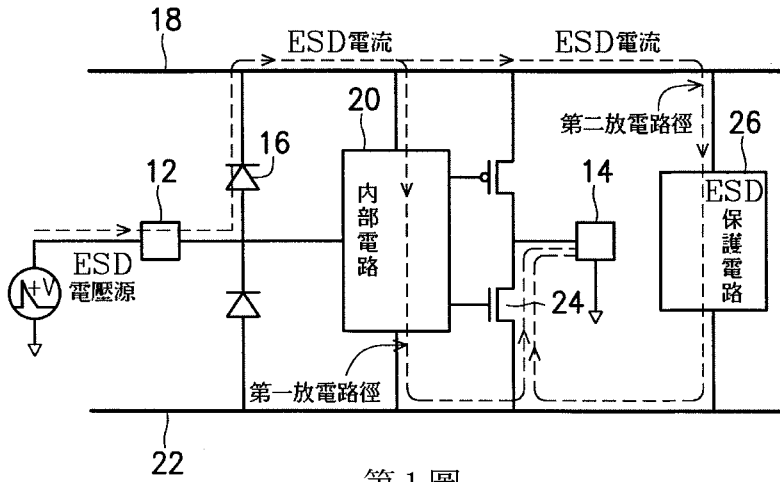
第9B圖是在攝氏25度與125度時，各種ESD保護電路之漏電流對PN接面二極體數目的關係圖；

25. 第10圖為本發明之ESD保護電路以及其內元件之電流電壓關係圖；

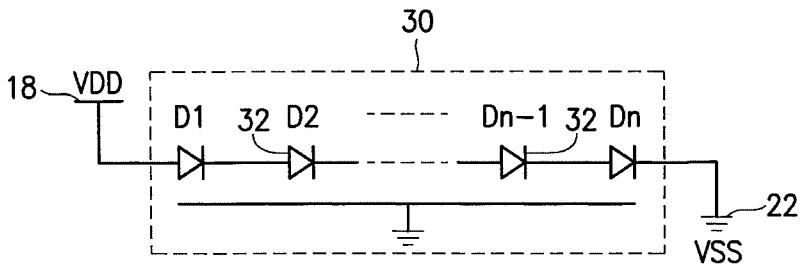
第11圖為本發明之ESD防護電路以NCLSCR之另一實施例的電路示意圖；

30. 第12A圖以及第12B圖分別為本發明之ESD防護電路以PCLSCR實施時的電路示意圖以及晶片剖面圖；以及

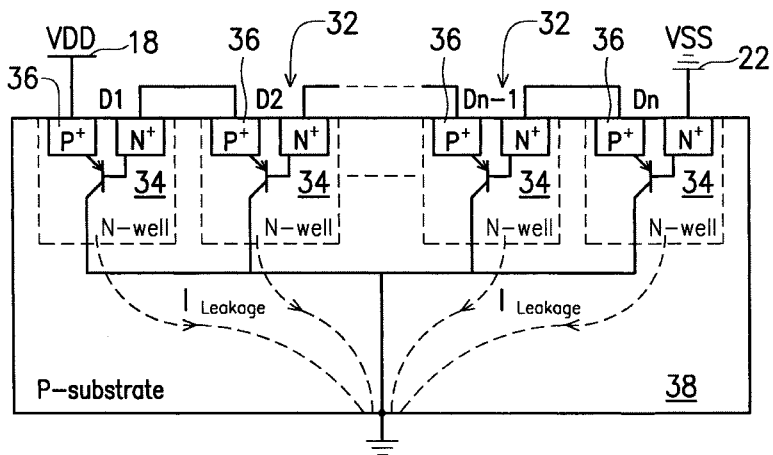
35. 第13圖為本發明之ESD保護應用於多重電源之積體電路的電路示意圖。



第 1 圖

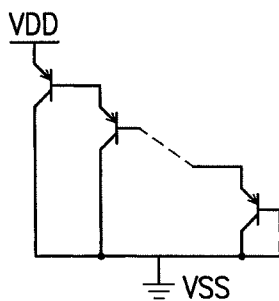


第 2A 圖

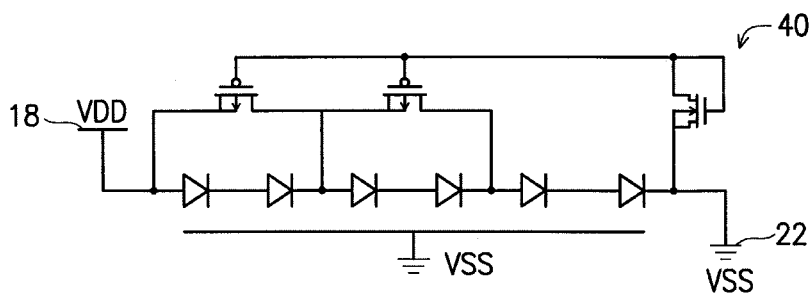


第 2B 圖

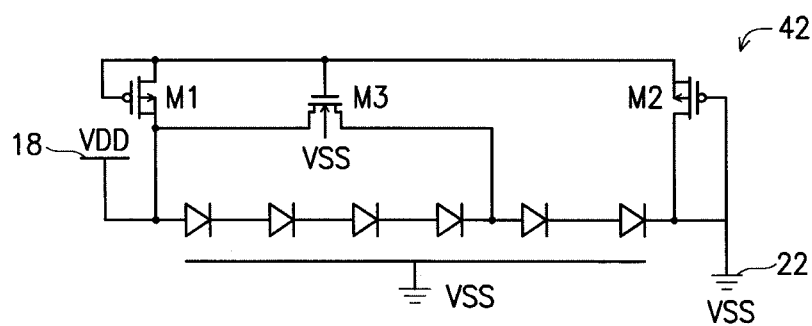
(5)



第 2C 圖

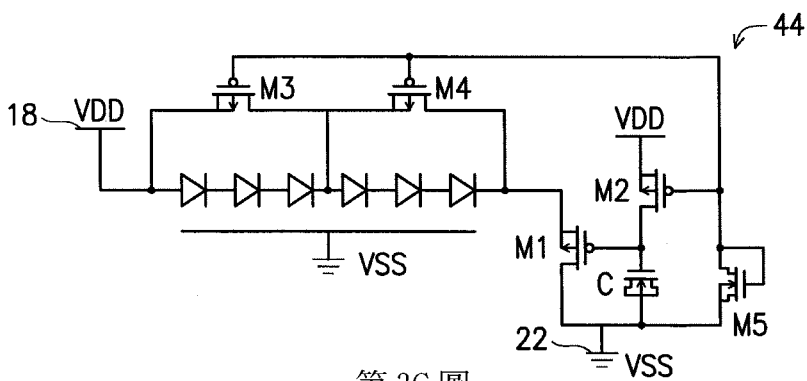


第 3A 圖

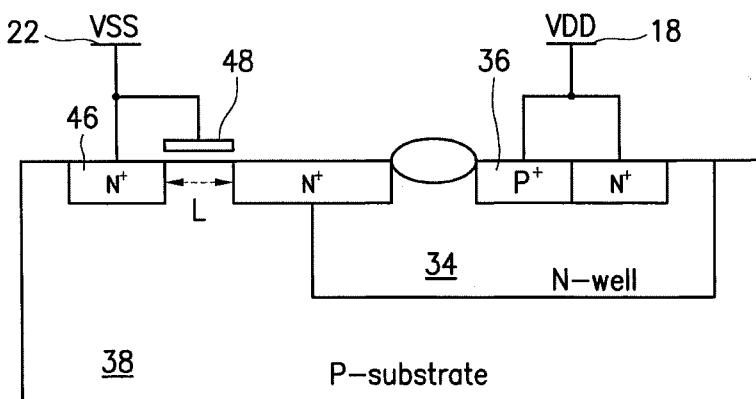


第 3B 圖

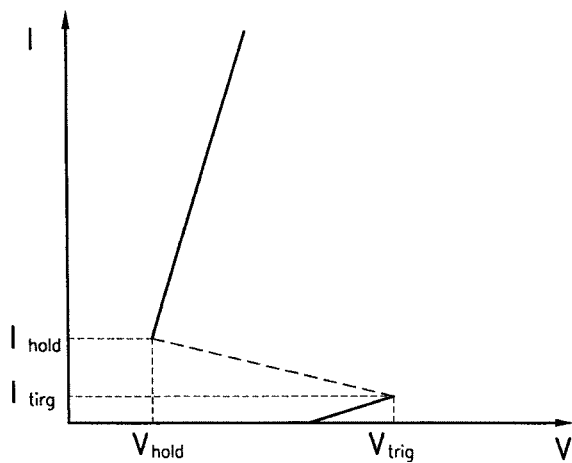
(6)



第 3C 圖

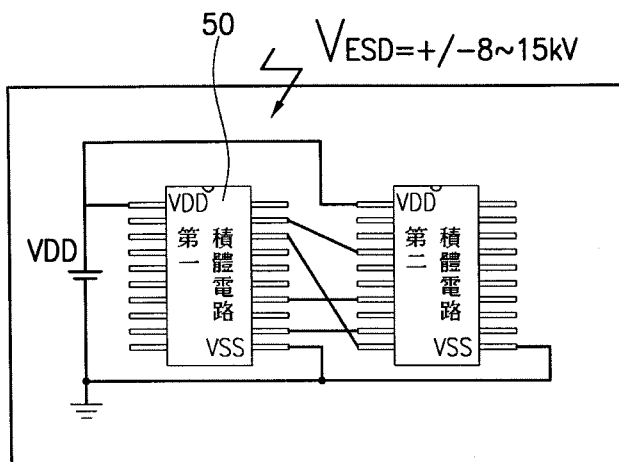


第 4A 圖

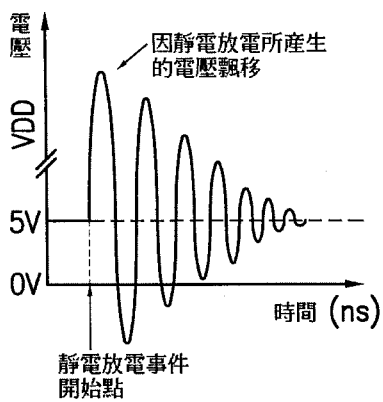


第 4B 圖

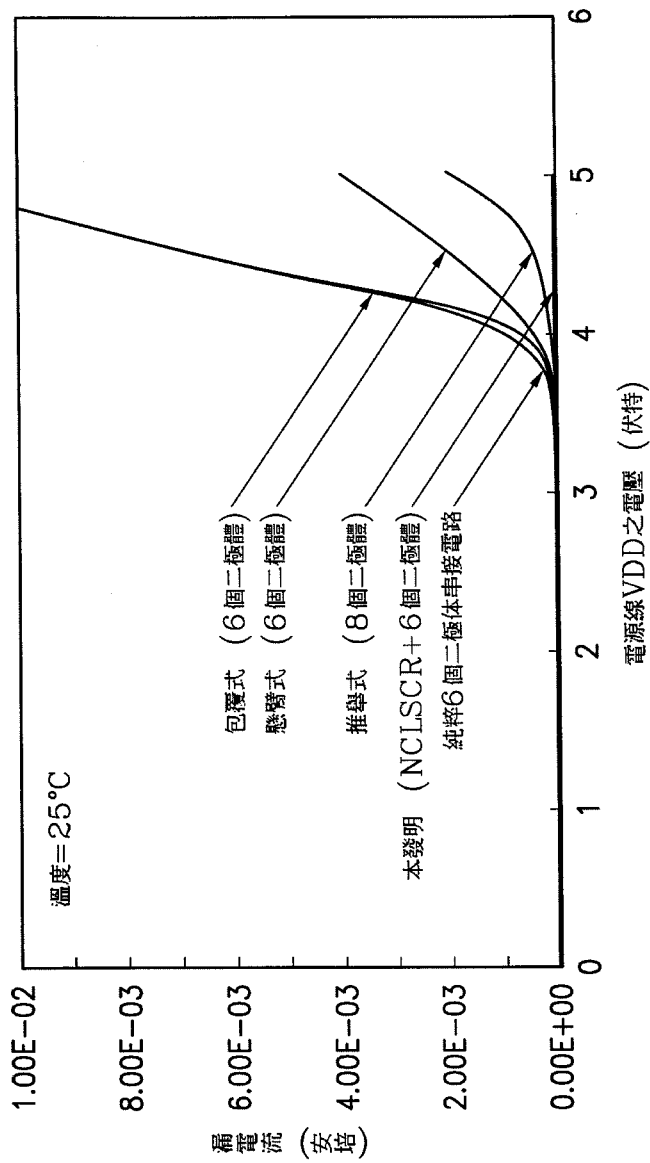
(7)



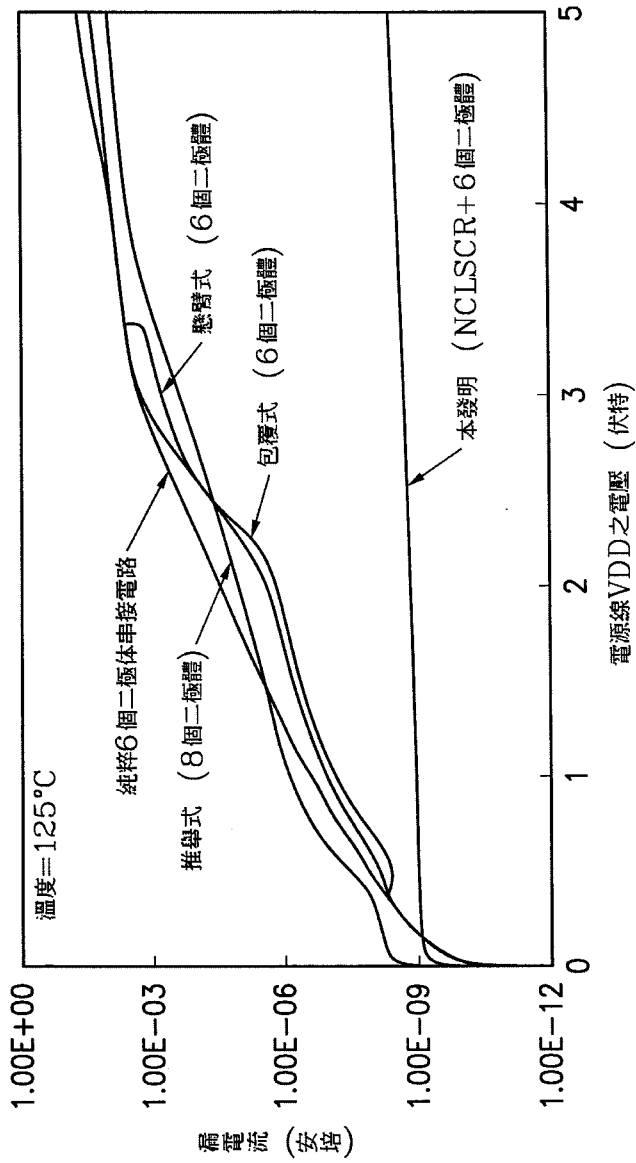
第 5A 圖



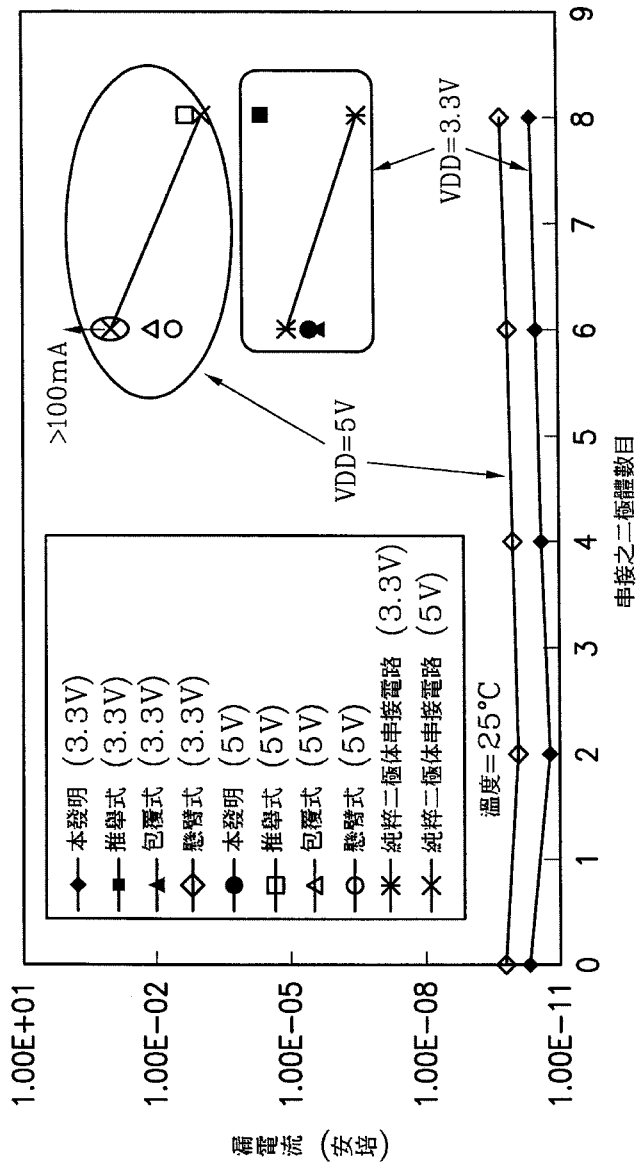
第 5B 圖



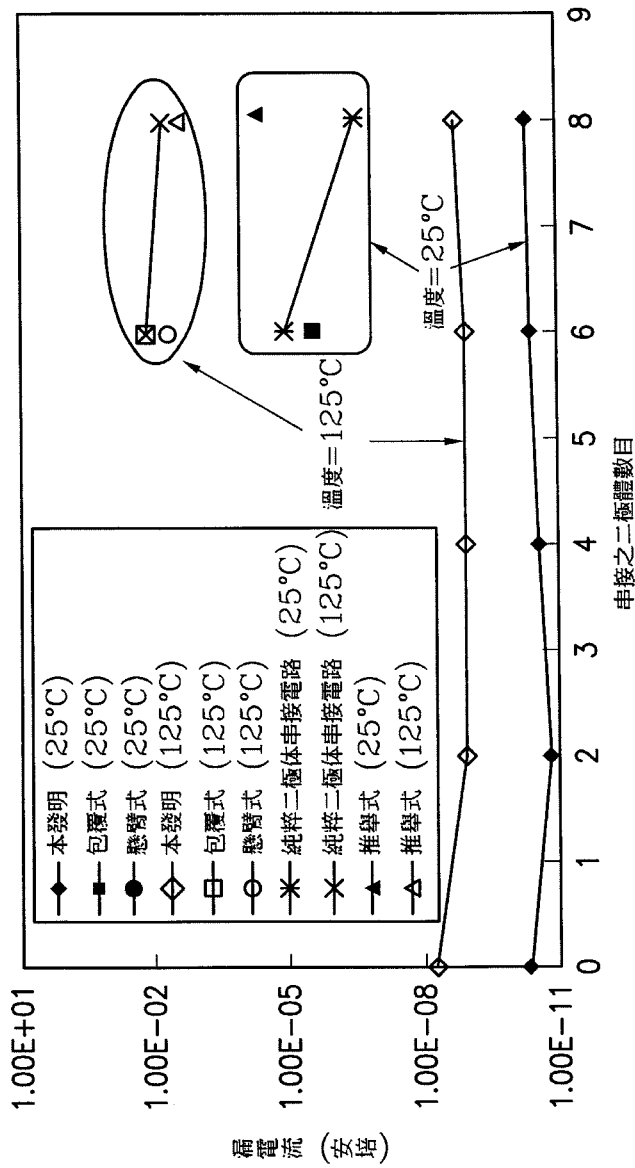
第 8A 圖



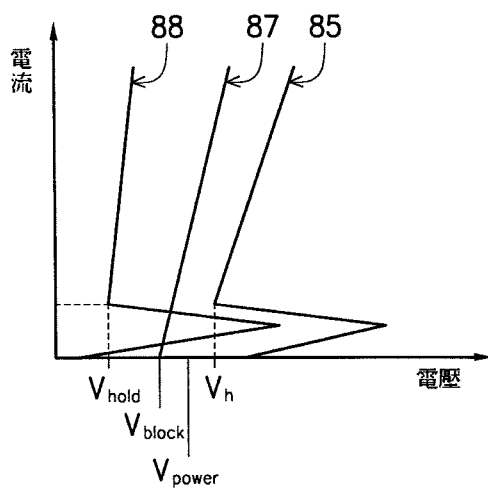
第 8B 圖



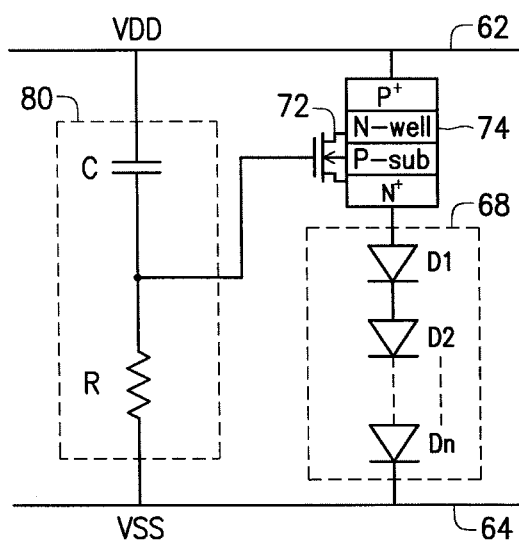
第 9A 圖



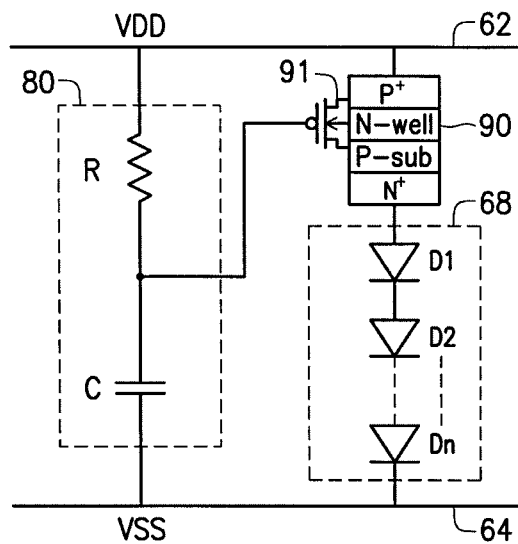
第 9B 圖



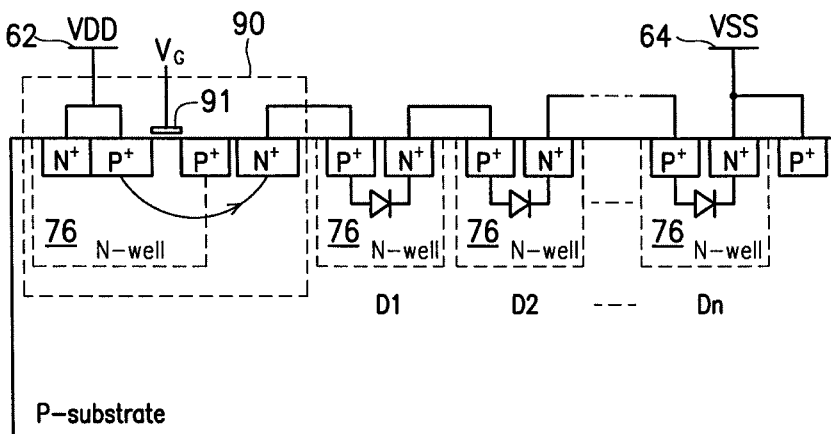
第 10 圖



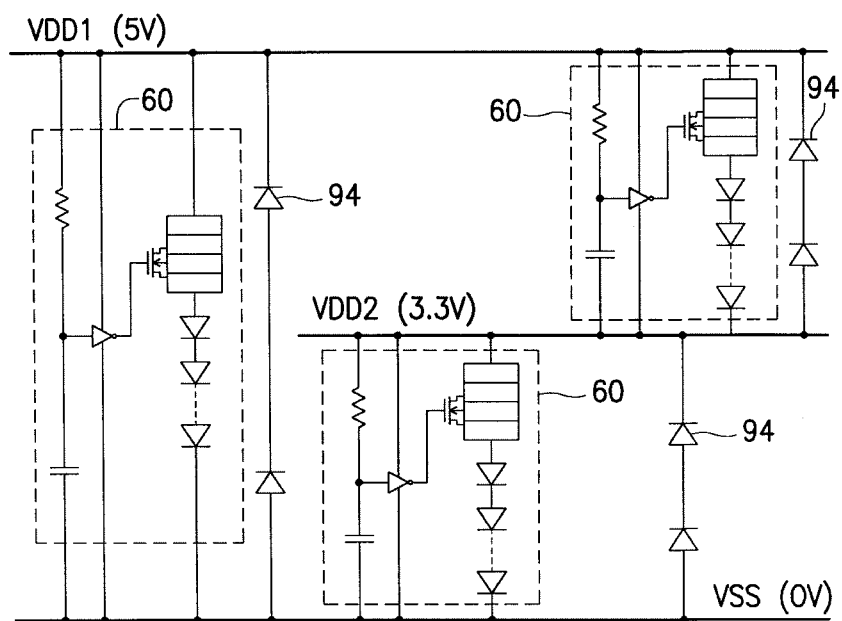
第 11 圖



第 12A 圖



第 12B 圖



第 13 圖

