

中華民國專利公報 [19] [12]

[11]公告編號：503558

[44]中華民國 91 年 (2002) 09 月 21 日

發明

全 16 頁

[51] Int.Cl⁰⁷ : H01L27/02

[54]名 稱：應用在靜電放電防護之低雜訊矽控整流器及其方法

[21]申請案號：090125748

[22]申請日期：中華民國 90 年 (2001) 10 月 18 日

[30]優先權：[31]09/852234

[32]2001/05/10 [33]美國

[72]發明人：

張智毅

柯明道

姜信欽

台北縣新莊市中和街一二五巷二十號九樓

新竹市高峰里寶山路二〇〇巷三號四樓之三

台北市信安街十號六樓

[71]申請人：

財團法人工業技術研究院

新竹縣東鎮中興路四段一九五號

[74]代理人：

1

2

[57]申請專利範圍：

- 1.一種積體電路元件，其包含：
一半導體基材；
一介電層，置於該半導體基材上；
和
一矽晶層，置於該介電層上，其包含：
第一p型部分，與第一p型部分相鄰的第一n型部分，第二p型部分，和與第二p型部分相鄰的第二n型部分。
- 2.如申請專利範圍第1項所述之積體電路元件，其中之第一n型部分與第二p型部分相鄰。
- 3.如申請專利範圍第1項所述之積體電路元件，其中該矽晶層更進一步包含一中央部分，該中央部分位於第一n型部分與第二p型部分之間。
- 4.如申請專利範圍第3項所述之積體電路元件，其中該中央部分摻雜n型雜質。
- 5.如申請專利範圍第4項所述之積體電路元件，其中該中央部分的n型雜質濃度低於第一n型部分和第二n型部分其中之一的n型雜質濃度。
- 6.如申請專利範圍第3項所述之積體電路元件，其中該中央部分摻雜p型雜質。
- 7.如申請專利範圍第6項所述之積體電路元件，其中該中央部分的p型雜質濃度低於第一p型部分和第二p型部分其中之一的p型雜質濃度。
- 8.如申請專利範圍第3項所述之積體電路元件，其中該中央部分為無摻雜之區域。
- 9.如申請專利範圍第1項所述之積體電路元件，其中該矽晶層更進一步包含與第一p型部分相鄰之第三n型部分。
- 10.如申請專利範圍第9項所述之積體電路元件，其中該矽晶層更進一步

- 包含與第一 p 型部分以及第一 n 型部分相鄰之第四 n 型部分，其中之第四 n 型部分的雜質濃度低於第三 n 型部分。
- 11.如申請專利範圍第 9 項所述之積體電路元件，其中之第三 n 型部分與第一 n 型部分相鄰。
 - 12.如申請專利範圍第 9 項所述之積體電路元件，其中該第三 n 型部分與第一 n 型部分不直接相鄰。
 - 13.如申請專利範圍第 1 項所述之積體電路元件，其中該矽晶層更進一步包含與第二 n 型部分相鄰之第三 p 型部分。
 - 14.如申請專利範圍第 13 項所述之積體電路元件，其中該矽晶層更進一步包含與第二 n 型部分相鄰之第四 p 型部分，其中第四 p 型部分的雜質濃度低於第三 p 型部分。
 - 15.如申請專利範圍第 13 項所述之積體電路元件，其中該第三 p 型部分與第二 p 型部分相鄰。
 - 16.如申請專利範圍第 13 項所述之積體電路元件，其中該第三 p 型部分與第二 p 型部分不直接相鄰。
 - 17.一種積體電路元件，其包含：
 - 一半導體基材；
 - 一絕緣結構，置於該半導體基材上；和
 - 一矽晶層，置於該絕緣結構上，其包含：
 - 第一 p 型部分，與第一 p 型部分相鄰的第一 n 型部分，第二 p 型部分，以及與第二 p 型部分相鄰的第二 n 型部分。
 - 18.如申請專利範圍第 17 項所述之積體電路元件，其中該矽晶層更進一步包含一中央部分，該中央部分位於第一 n 型部分與第二 p 型部分之間。
 - 19.如申請專利範圍第 18 項所述之積體

- 電路元件，其中該中央部分摻雜 n 型雜質。
- 20.如申請專利範圍第 19 項所述之積體電路元件，其中該中央部分的 n 型雜質濃度低於第一 n 型部分的 n 型雜質濃度。
 - 21.如申請專利範圍第 18 項所述之積體電路元件，其中該中央部分摻雜 p 型雜質。
 - 22.如申請專利範圍第 21 項所述之積體電路元件，其中該中央部分的 p 型雜質濃度低於第一 p 型部分的 p 型雜質濃度。
 - 23.如申請專利範圍第 18 項所述之積體電路元件，其中該中央部分為無摻雜之區域。
 - 24.如申請專利範圍第 17 項所述之積體電路元件，其中該矽晶層更進一步包含與第一 p 型部分相鄰的第三 n 型部分。
 - 25.如申請專利範圍第 24 項所述之積體電路元件，其中該矽晶層更進一步包含與第一 p 型部分以及第一 n 型部分相鄰的第四 n 型部分，其中第四 n 型部分的雜質濃度低於第三 n 型部分。
 - 26.如申請專利範圍第 17 項所述之積體電路元件，其中該矽晶層更進一步包含與第二 n 型部分相鄰的第三 p 型部分。
 - 27.如申請專利範圍第 26 項所述之積體電路元件，其中該矽晶層更進一步包含與第二 n 型部分相鄰的第四 p 型部分，其中第四 p 型部分的 p 型雜質濃度低於第三 p 型部分的 p 型雜質濃度，並且其中第三 p 型部分與第二 p 型部分不直接相鄰。
 - 28.一種積體電路元件，其包含：
 - 一半導體基材；
 - 一井區，位於該半導體基材內；

- 第一絕緣結構，製作於該半導體基
材內，鄰近於該井區；
第二絕緣結構，製作於該半導體基
材內，鄰近於該井區，並與第一絕
緣結構相距一段距離；
一介電層，置於該井區、第一絕緣
結構以及第二絕緣結構之上；和
一矽晶層，置於該絕緣結構上，其
包含：
第一p型部分，與第一p型部分相鄰
的第一n型部分，第二p型部分，和
與第二p型部分相鄰的第二n型部
分，其中至少一部份的第一p型與第
一n型部分位於第一絕緣結構之上，
且至少一部份的第二p型與第二n型
部分位於第二絕緣結構之上。
- 29.如申請專利範圍第28項所述之積體
電路元件，其中第一n型部分與第二
p型部分相鄰。
- 30.如申請專利範圍第28項所述之積體
電路元件，其中該矽晶層更進一步
包含一中央部分，該中央部分位於
第一n型部分與第二p型部分之間，
且位於該井區之上方。
- 31.如申請專利範圍第30項所述之積體
電路元件，其中該中央部分為無摻
雜之區域。
- 32.如申請專利範圍第30項所述之積體
電路元件，其中該中央部分摻雜n型
雜質。
- 33.如申請專利範圍第30項所述之積體
電路元件，其中該中央部分摻雜p型
雜質。
- 34.如申請專利範圍第28項所述之積體
電路元件，其中該矽晶層更進一步
包含一個與第一p型部分相鄰之第三
n型部分。
- 35.如申請專利範圍第34項所述之積體
電路元件，其中該矽晶層更進一步
包含與第一p型部分以及第一n型部

- 分相鄰之第四n型部分，其中第四n
型部分的雜質濃度低於第三n型部
分。
- 36.如申請專利範圍第34項所述之積體
電路元件，其中該第三n型部分與第
一n型部分相鄰。
- 37.如申請專利範圍第34項所述之積體
電路元件，其中該第三n型部分與第
一n型部分不直接相鄰。
- 38.如申請專利範圍第28項所述之積體
電路元件，其中該矽晶層更進一步
包含與第二n型部分相鄰之第三p型
部分。
- 39.如申請專利範圍第38項所述之積體
電路元件，其中該矽晶層更進一步
包含與第二n型部分相鄰之第四p型
部分，其中第四p型部分的雜質濃度
低於第三p型部分，且第三p型部分
與第二p型部分不直接相鄰。
- 40.如申請專利範圍第28項所述之積體
電路元件，其中該井區可被偏壓以
控制該矽晶層以提供靜電放電防
護。
- 41.如申請專利範圍第28項所述之積體
電路元件，其中該第一p型部分耦合
至一VDD訊號。
- 42.如申請專利範圍第28項所述之積體
電路元件，其中該第二n型部分耦合
至一VSS訊號。
- 43.一種積體電路元件，其包含：
一半導體基材；
一絕緣層，置於該半導體基材之
上；
第一矽晶層置於該絕緣層之上，其
包含：
第一絕緣結構製作於第一矽晶層
內；和
第二絕緣結構製作於第一矽晶層
內，並與第一絕緣結構相距一段距
離；
- 40.

- 一介電層置於該第一矽晶層之上；
和
第二矽晶層置於該介電層之上，其包含：
- 第一p型部分，與第一p型部分相鄰的第一n型部分，第二p型部分；和一與第二p型部分相鄰的第二n型部分。
- 44.如申請專利範圍第43項所述之積體電路元件，其中位於第一絕緣結構與第二絕緣結構之間的第一矽晶層可被偏壓以提供靜電放電防護。
- 45.如申請專利範圍第43項所述之積體電路元件，其中該第二矽晶層更進一步包含一中央部分，該中央部分位於第一n型部分與第二p型部分之間。
- 46.如申請專利範圍第45項所述之積體電路元件，其中該中央部分摻雜n型雜質。
- 47.如申請專利範圍第46項所述之積體電路元件，其中該中央部分的n型雜質濃度低於第一n型部分的n型雜質濃度。
- 48.如申請專利範圍第45項所述之積體電路元件，其中該中央部分摻雜p型雜質。
- 49.如申請專利範圍第48項所述之積體電路元件，其中該中央部分的p型雜質濃度低於第一p型部分的p型雜質濃度。
- 50.如申請專利範圍第45項所述之積體電路元件，其中該中央部分為無摻雜之區域。
- 51.一種保護互補式金氧半積體電路元件避免靜電放電傷害的方法，包含：
提供一訊號經由一互補式金氧半積體電路給該互補式金氧半積體電路元件；

- 提供至少一個的低雜訊矽控整流器於互補式金氧半積體電路中；
將該低雜訊矽控整流器與該互補式金氧半積體電路之一基材隔絕；並
藉由該低雜訊矽控整流器保護該互補式金氧半積體電路元件，避免被從該訊號產生之靜電放電傷害。
- 52.如申請專利範圍第51項所述之方法，其中復包含一步驟提供偏壓給該低雜訊矽控整流器。
- 53.一種保護絕緣層上矽元件避免靜電放電傷害的方法，其包含步驟：
提供一訊號經由一絕緣層上矽電路給該元件；
15. 提供至少一個的低雜訊矽控整流器於絕緣層上矽電路中；且
藉由該低雜訊矽控整流器保護該絕緣層上矽元件，避免被從該訊號產生之靜電放電傷害。
20. 54.如申請專利範圍第1項所述之積體電路元件，更進一步包含一製作於半導體基材內之隔絕結構，其中第一p型部分、第一n型部分、第二p型部分與第二n型部分皆位於該隔絕結構之上。
25. 圖式簡單說明：
- 圖1 繪示的是一種習知的製作於積體電路之矽控整流器之剖面圖。
- 圖2 繪示的是另一種習知的製作於積體電路之矽控整流器之剖面圖。
30. 圖3 繪示的是根據本發明精神的一實施例，一個矽控整流器的佈局圖。
35. 圖4 繪示的是圖3的矽控整流器的剖面圖。
- 圖5 繪示的是根據本發明精神的另一個實施例，一個矽控整流器的佈局圖。
40. 圖6 繪示的是圖5的矽控整流器

的剖面圖。

圖 7 繪示的是根據本發明精神的又一個實施例，一個矽控整流器的佈局圖。

圖 8 繪示的是圖 7 的矽控整流器的立體圖。

圖 9 繪示的是根據本發明精神的又另一個實施例，一個矽控整流器的佈局圖。

圖 10 繪示的是圖 9 的矽控整流器的立體圖。

圖 11 繪示的是根據本發明精神的實施例，一個具有基體偏壓功能之多晶矽矽控整流器的佈局圖。

圖 12 繪示的是圖 11 的矽控整流器的剖面圖。

圖 13 繪示的是根據本發明精神的另一個實施例，一個具有基體偏壓功能之多晶矽矽控整流器的佈局圖。

圖 14 繪示的是圖 13 的矽控整流器的剖面圖。

圖 15 繪示的是根據本發明精神

的又一個實施例，一個具有基體偏壓功能之多晶矽矽控整流器的佈局圖。

圖 16 繪示的是圖 15 的矽控整流器的立體圖。

圖 17 繪示的是根據本發明精神的又另一個實施例，一具有基體偏壓功能之多晶矽矽控整流器的佈局圖。

圖 18 繪示的是圖 17 的矽控整流器的立體圖。

圖 19 繪示的是多晶矽矽控整流器的電路符號及其相對應的元件剖面結構圖。

圖 20 繪示的是具有基體偏壓功能之多晶矽矽控整流器的電路符號及其相對應的元件剖面結構圖。

圖 21 繪示的是應用多晶矽矽控整流器的靜電放電防護設計之電路圖。

圖 22 繪示的是應用具有基體偏壓功能之多晶矽矽控整流器的靜電放電防護設計之電路圖。

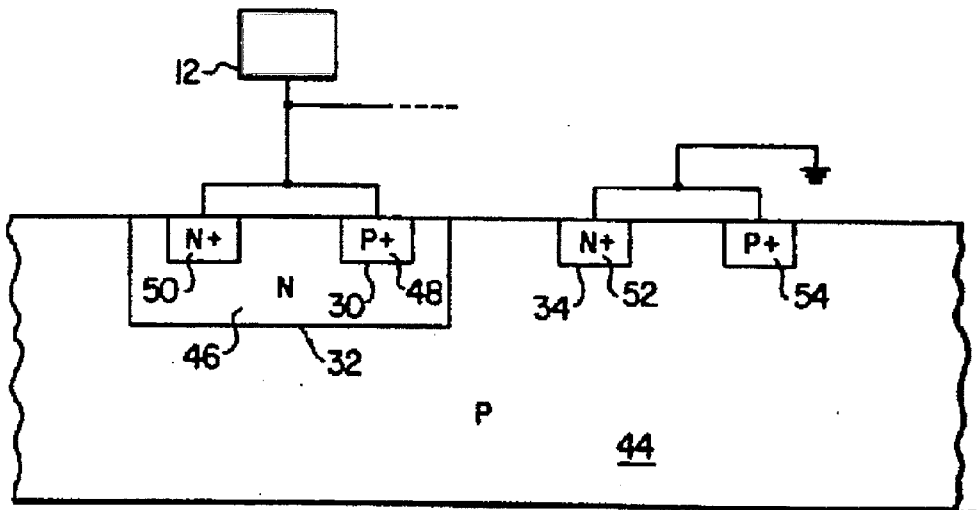


圖 1

(6)

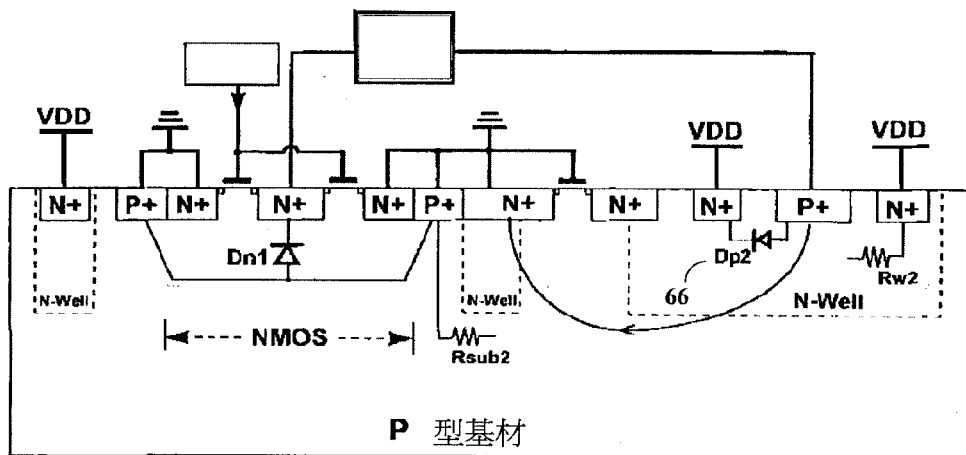


圖 2

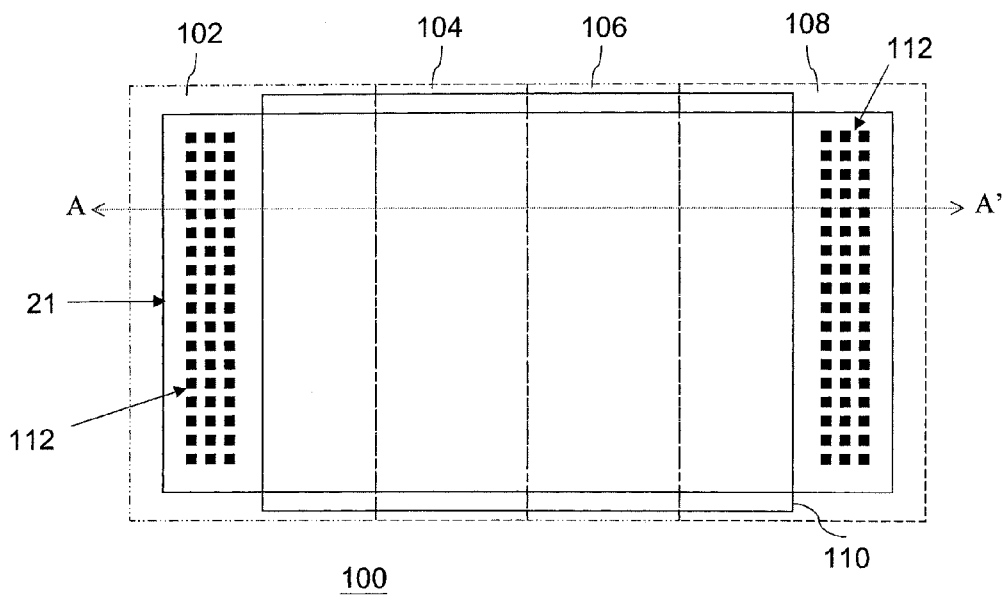


圖 3

(7)

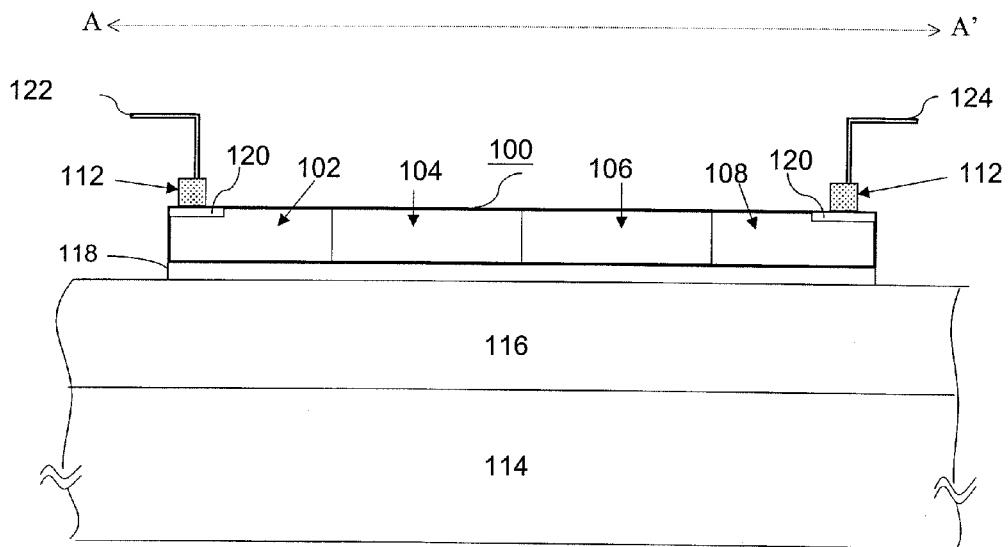


圖 4

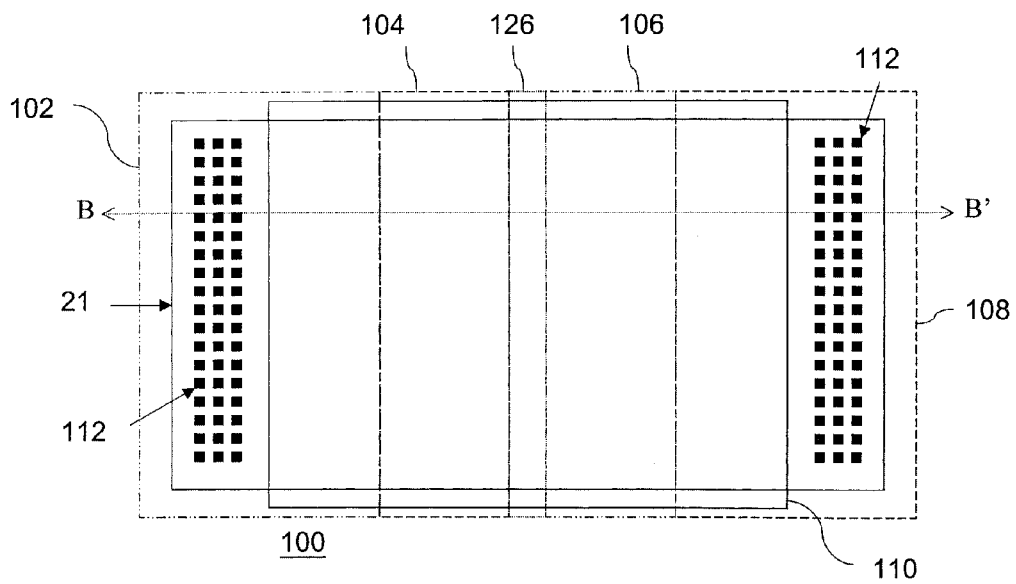


圖 5

(8)

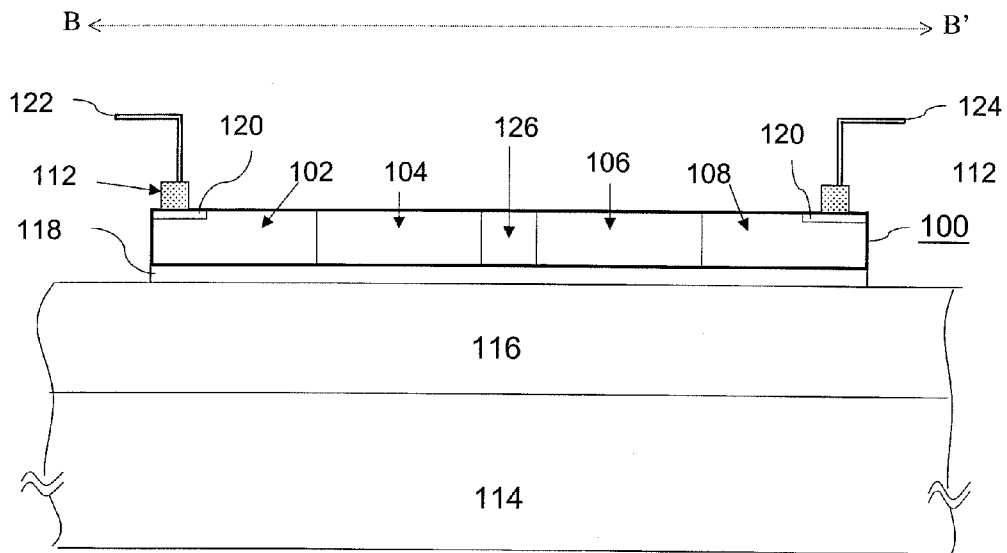


圖 6

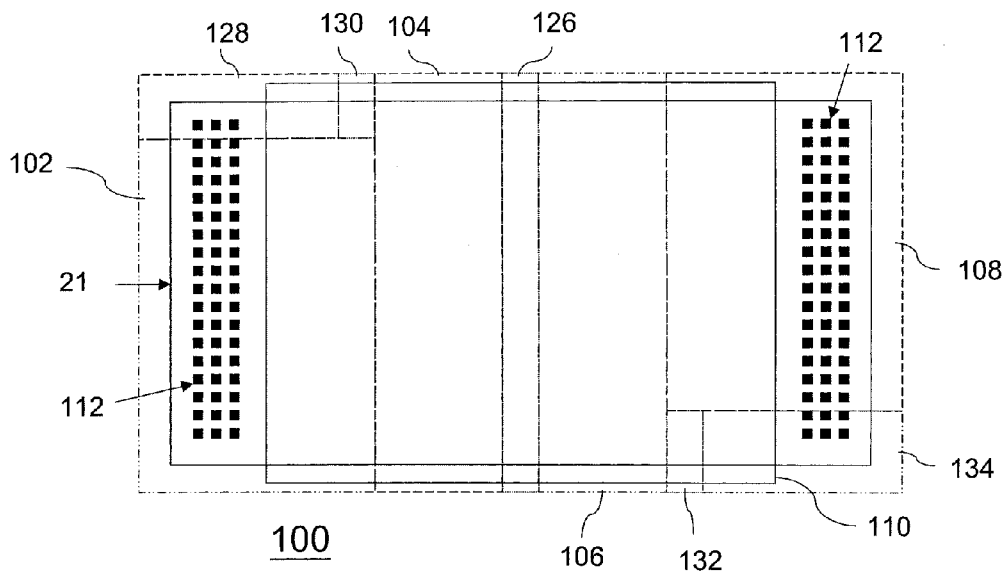


圖 7

(9)

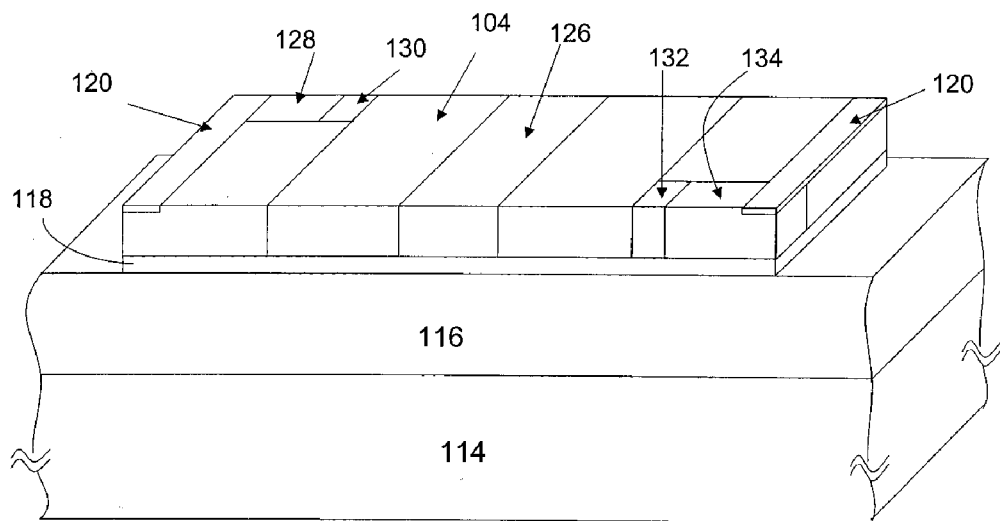


圖 8

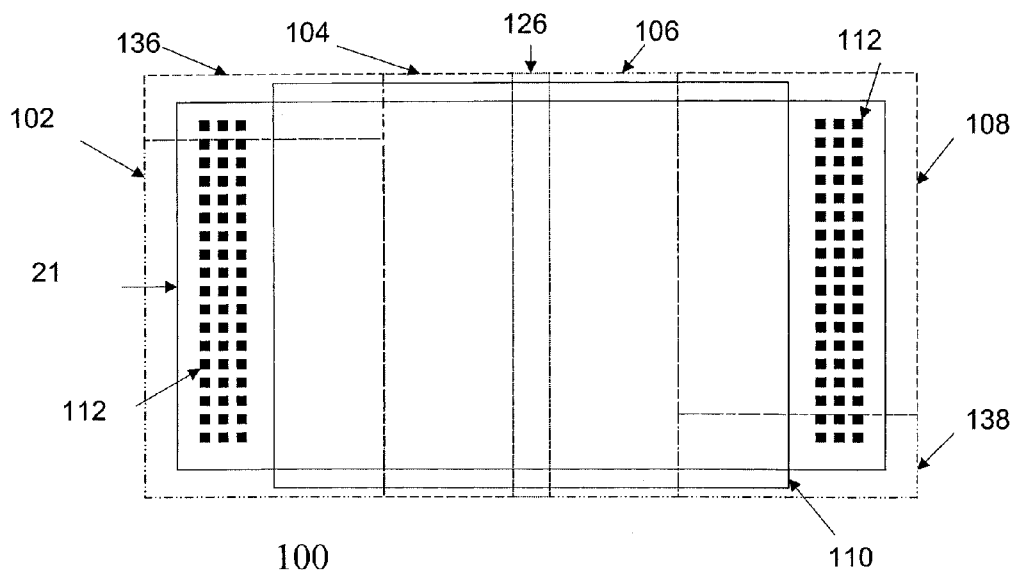


圖 9

(10)

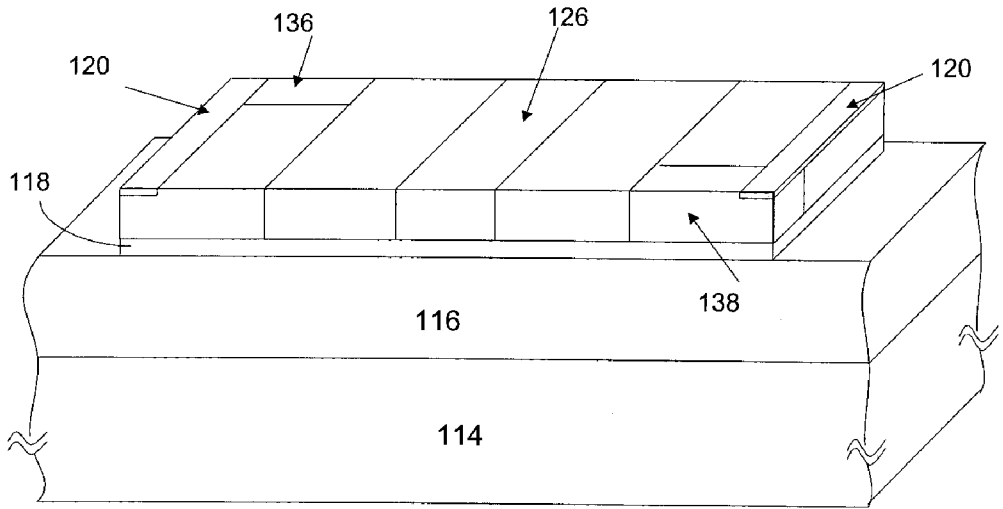


圖 10

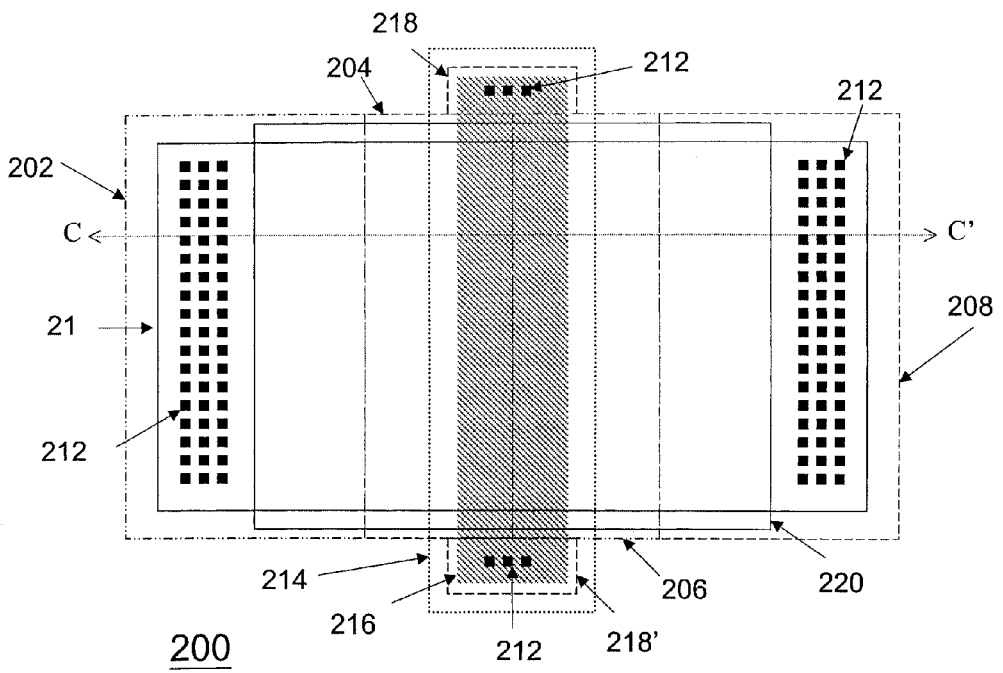


圖 11

(11)

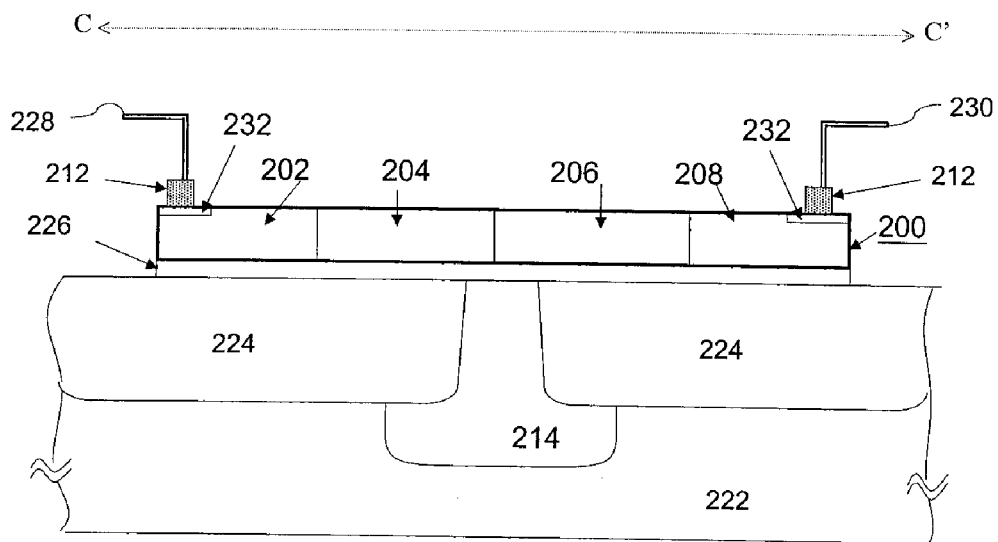


圖 12

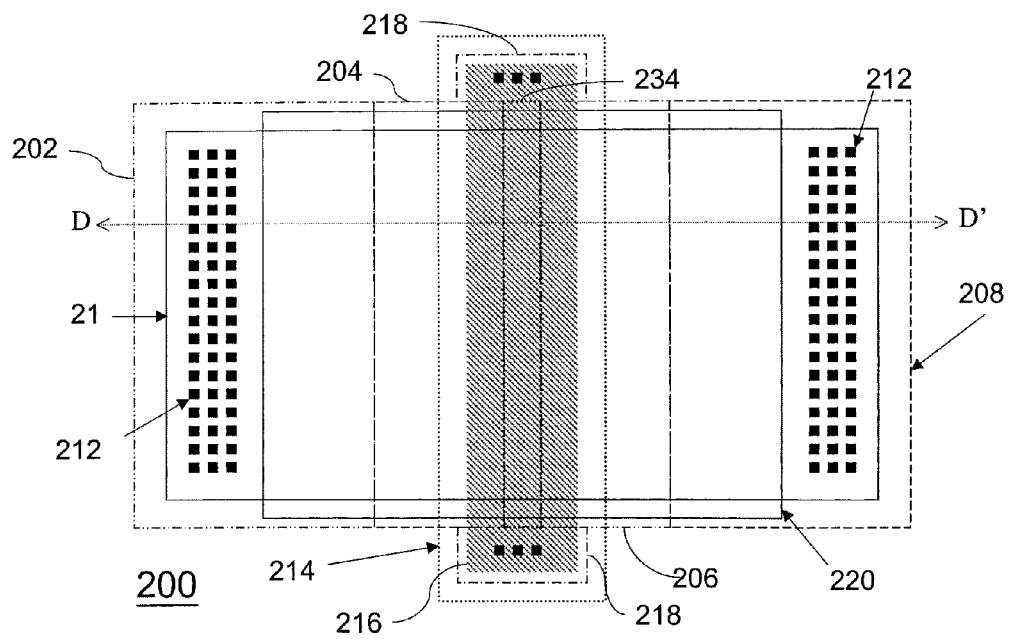


圖 13

(12)

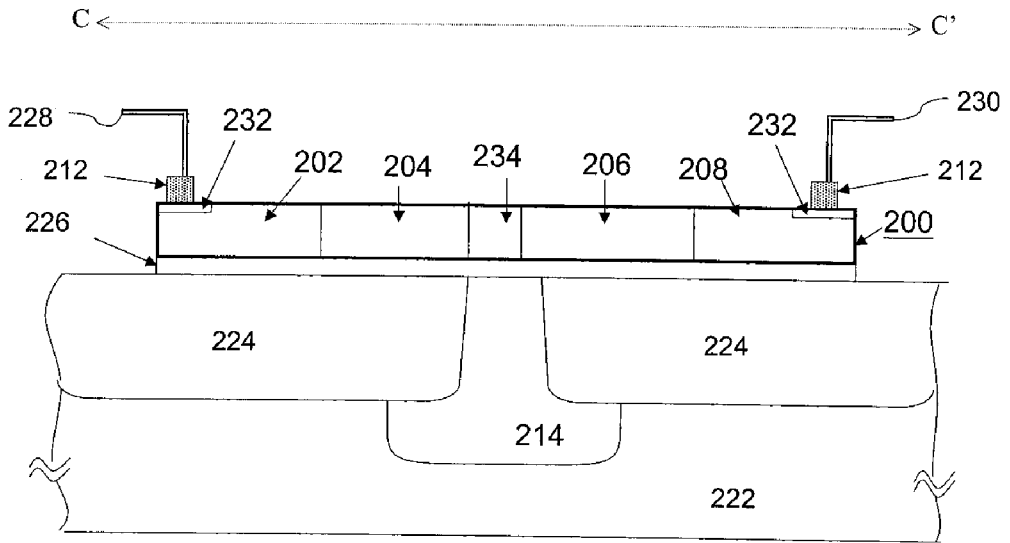


圖 14

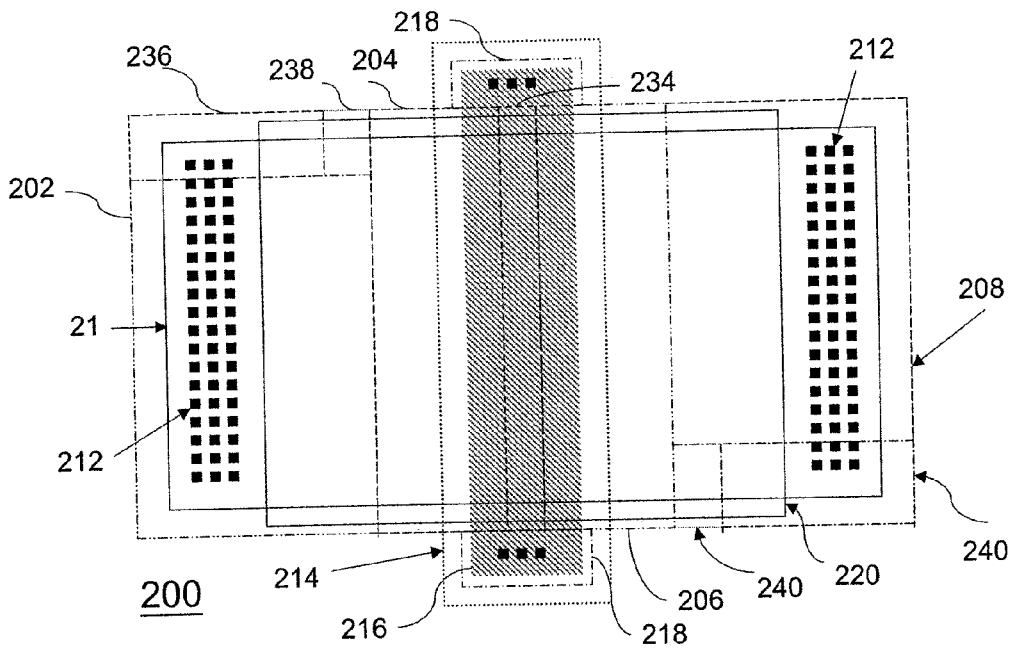


圖 15

(13)

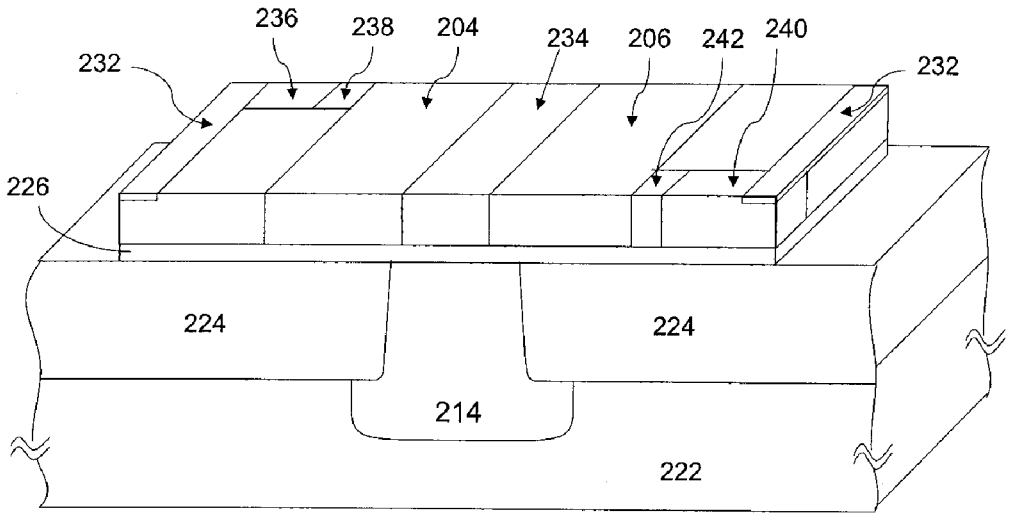


圖 16

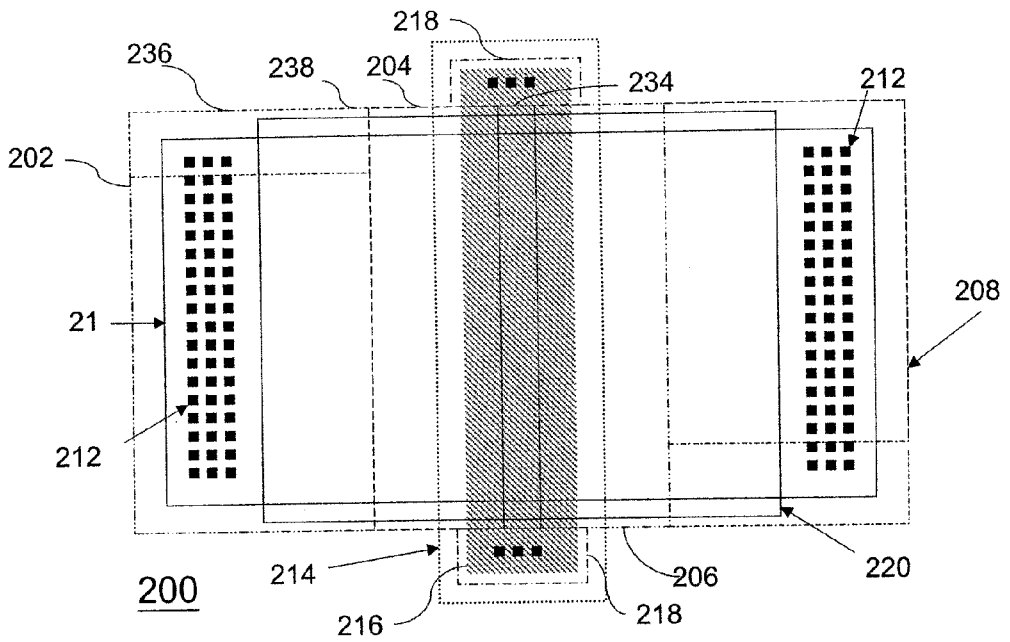


圖 17

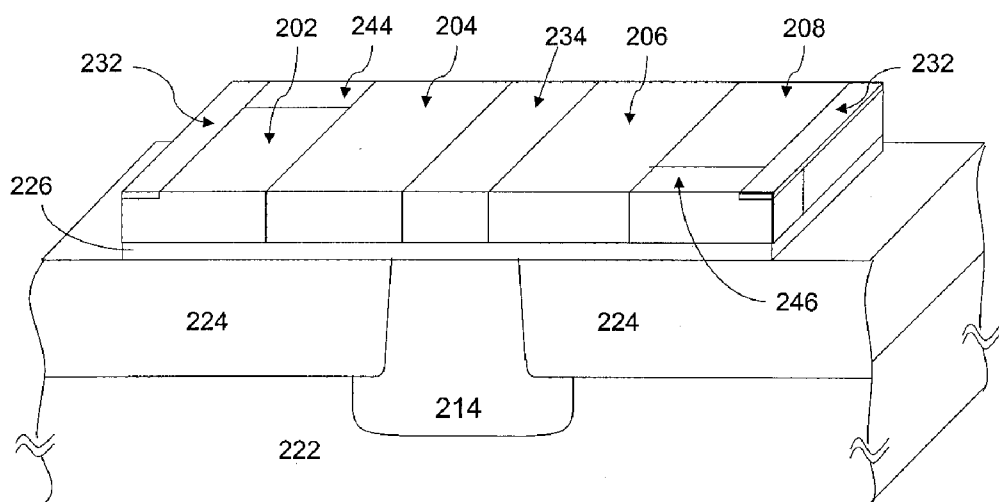


圖 18

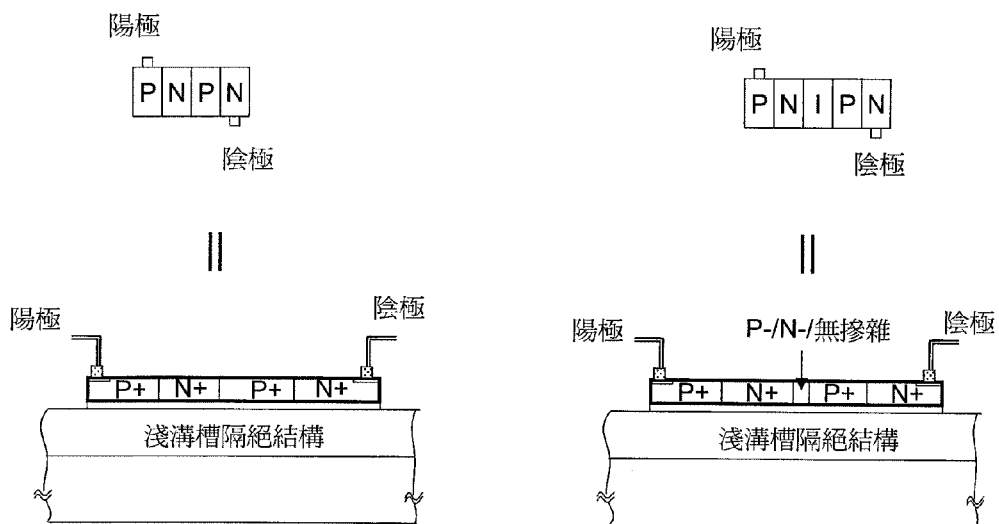


圖 19

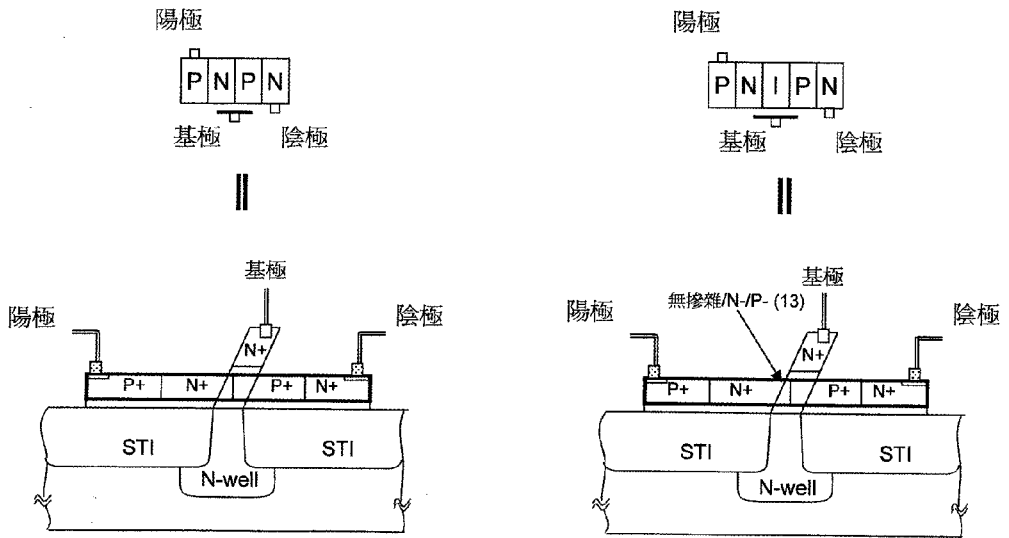


圖 20

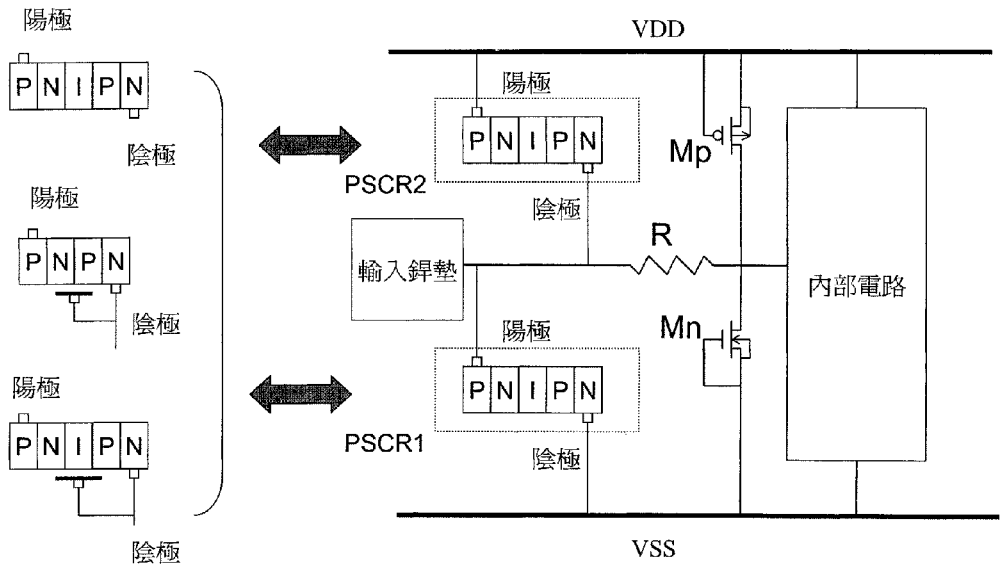


圖 21

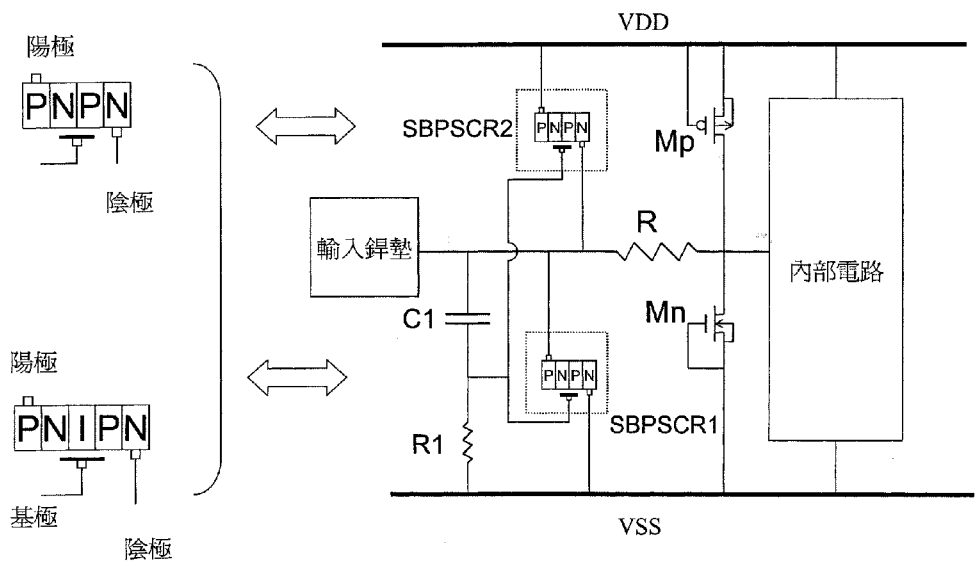


圖 22