

中華民國專利公報 [19] [12]

[11]公告編號：503567

[44]中華民國 91 年 (2002) 09 月 21 日

發明

全 30 頁

[51] Int.Cl.⁰⁷ : H01L27/10

H01L23/60

[54]名 稱：具有基體觸發效應之矽控整流器元件

[21]申請案號：090118240

[22]申請日期：中華民國 90 年 (2001) 07 月 25 日

[72]發 明 人：

柯明道

陳東暘

唐天浩

新竹市寶山路二〇〇巷三號四樓之三

新竹市光復路一段八十九巷一二一號十二樓之二

新竹市東山街二十七巷十三號六樓

[71]申 請 人：

聯華電子股份有限公司

新竹科學工業園區新竹市力行二路三號

[74]代 理 人：許鍾迪 先生

1

2

[57]申請專利範圍：

1. 一種 P 型基底觸發矽控整流器(P-type substrate-triggered silicon controlled rectifier, P-STSCR)，該 P-STSCR 係形成於一 P 型基底上，該 P-STSCR 包含有：

一 N 井(N-well)設於該 P 型基底中；

一第一 N⁺ 擴散區域以及一第一 P⁺ 擴散區域，設於該 P 型基底內，用來當作該 P-STSCR 之陰極；

一第二 N⁺ 擴散區域以及一第二 P⁺ 擴散區域，設於該 N 井內，用來當作該 P-STSCR 之陽極，且該第二 P⁺ 擴散區域、該 N 井、該 P 型基底以及該第一 N⁺ 擴散區域係構成一橫向 SCR (lateral SCR)；以及

一 P 型觸發點(trigger node)，用來接受一觸發電流；

其中當該觸發電流經由該 P 型觸發點流進時，會觸發該橫向 SCR 以使該橫向 SCR 進入一鎖定狀態(latch

state)。

2. 如申請專利範圍第 1 項之 P-STSCR，係用來作為一靜電放電保護元件(electrostatic discharge protection device)。

3. 如申請專利範圍第 1 項之 P-STSCR，其中該 P 型觸發點係為一第三 P⁺ 擴散區域，且該第三 P⁺ 擴散區域係設於該第一 N⁺ 擴散區域以及該第二 P⁺ 擴散區域之間的該 P 型基底內。

4. 如申請專利範圍第 1 項之 P-STSCR，其中該 P 型觸發點係為一第三 P⁺ 擴散區域，且該第三 P⁺ 擴散區域橫跨部分之該 N 井以及該 P 型基底，用來降低該橫向 SCR 的崩潰電壓(breakdown voltage)。

5. 如申請專利範圍第 4 項之 P-STSCR，其中該第三 P⁺ 擴散區域以及該第二 P⁺ 擴散區域間之該 N 井表面上另形成有一第一淺溝隔離(shallow trench

isolation, STI)，且該第三P⁺擴散區域以及該第一N⁺擴散區域間之該P型基底表面上亦另形成有一第二淺溝隔離(STI)。

- 6.如申請專利範圍第4項之P-STSCR，其中該第三P⁺擴散區域以及該第二P⁺擴散區域間之該N井表面上另形成有一第一閘極，且該第三P⁺擴散區域以及該第一N⁺擴散區域間之該P型基底表面上亦另形成有一第二閘極。
- 7.如申請專利範圍第6項之P-STSCR，其中該第一閘極以及該第二閘極係用來降低該P-STSCR之維持電壓(holding voltage)，以增快該P-STSCR的開啟速度(turn-on speed)。
- 8.一種橫向P型基底觸發矽控整流器(P-type substrate-triggered modified lateral silicon controlled rectifier, P-STMLSCR)，該P-STMLSCR係形成於一P型基底上，該P-STMLSCR包含有：
 - 一N井(N-well)設於該P型基底中；
 - 一第一N⁺擴散區域及一第一P⁺擴散區域，設於該P型基底內，用來當作該P-STMLSCR之陰極；
 - 一第二N⁺擴散區域及一第二P⁺擴散區域，設於該N井內，用來當作該P-STMLSCR之陽極，且該第二P⁺擴散區域、該N井、該P型基底以及該第一N⁺擴散區域係構成一橫向SCR；
 - 一第三P擴散區域，設於該第一N⁺擴散區域以及該第二P⁺擴散區域間之該P型基底內，用來當作一觸發點(trigger node)以接受一觸發電流；以及
 - 一第三N⁺擴散區域，且該第三N⁺擴散區域橫跨部分之該N井以及該P型基底；

其中當該觸發電流經由該觸發點流進時，會觸發該橫向SCR以使該橫向SCR進入一鎖定狀態(latch state)。

- 9.如申請專利範圍第8項之P-STMLSCR，其中該第三N⁺擴散區域係用來降低該橫向SCR的崩潰電壓。
- 10.一種N型基底觸發矽控整流器(N-type substrate-triggered silicon controlled rectifier, N-STSCR)，該N-STSCR係形成於一P型基底上，該N-STSCR包含有：
 - 一N井(N-well)設於該P型基底中；
 - 一第一N⁺擴散區域及一第一P⁺擴散區域，設於該P型基底內，用來當作該N-STSCR之陰極；
 - 一第二N⁺擴散區域及一第二P⁺擴散區域，設於該N井內，用來當作該N-STSCR之陽極，且該第二P⁺擴散區域、該N井、該P型基底以及該第一N⁺擴散區域係構成一橫向SCR；以及
 - 一N型觸發點(trigger node)，用來流出一觸發電流；
 其中當該觸發電流經由該N型觸發點流出時，會觸發該橫向SCR以使該橫向SCR進入一鎖定狀態(latch state)。
- 11.如申請專利範圍第10項之N-STSCR，係用來作為一ESD保護元件。
- 12.如申請專利範圍第10項之N-STSCR，其中該N型觸發點係為一第三N⁺擴散區域，且該第三N⁺擴散區域係設於該第一N⁺擴散區域以及該第二P⁺擴散區域之間的該N井內。
- 13.如申請專利範圍第10項之N-STSCR，其中該N型觸發點係為一第三N⁺擴散區域，且該第三N⁺擴散

區域橫跨部分之該N井以及該P型基底，用來降低該橫向SCR的崩潰電壓。

14. 如申請專利範圍第13項之N-STSCR，其中該第三N⁺擴散區域以及該第二P⁺擴散區域間之該N井表面上另形成有一第一淺溝隔離(STI)，且該第三N⁺擴散區域以及該第一N⁺擴散區域間之該P型基底表面上亦另形成有一第二淺溝隔離(STI)。

15. 如申請專利範圍第13項之N-STSCR，其中該第三N⁺擴散區域以及該第二P⁺擴散區域間之該N井表面上另形成有一第一閘極，且該第三N⁺擴散區域以及該第一N⁺擴散區域間之該P型基底表面上亦另形成有一第二閘極。

16. 如申請專利範圍第15項之N-STSCR，其中該第一閘極以及該第二閘極係用來降低該N-STSCR之維持電壓(holding voltage)，以增快該N-STSCR之開啟速度(turn-on speed)。

17. 一種橫向N型基底觸發矽控整流器(N-STMLSCR)，該N-STMLSCR係形成於一P型基底上，該N-STMLSCR結構包含有：

一N井(N-well)設於該P型基底中；
一第一N⁺擴散區域及一第一P⁺擴散區域，設於該P型基底內，用來當作該N-STMLSCR之陰極；

一第二N⁺擴散區域及一第二P⁺擴散區域，設於該N井內，用來當作該N-STMLSCR之陽極，且該第二P⁺擴散區域、該N井、該P型基底以及該第一N⁺擴散區域係構成一橫向SCR；

一第三N⁺擴散區域，設於該第一N⁺擴散區域以及該第二P⁺擴散區域之間的該N井內，用來當作一觸發點

(trigger node)以接受一觸發電流；以及

一第三P⁺擴散區域，且該第三P⁺擴散區域橫跨部分之該N井以及該P型基底；

其中當該觸發電流經由該觸發點流出時，會觸發該橫向SCR以使該橫向SCR進入一鎖定狀態(latch state)。

18. 如申請專利範圍第17項之N-STMLSCR，其中該第三P⁺擴散區域係用來降低該橫向SCR的崩潰電壓。

19. 一種雙觸發矽控整流器(double-triggered silicon controlled rectifier, DT-SCR)，該DT-SCR係形成於一P型基底上，該DT-SCR包含有：

一N井(N-well)設於該P型基底中；

一第一N⁺擴散區域及一第一P⁺擴散區域，設於該P型基底內，用來當作該DT-SCR之陰極；

一第二N⁺擴散區域及一第二P⁺擴散區域，設於該N井內，用來當作該DT-SCR之陽極，且該第二P⁺擴散區域、該N井、該P型基底以及該第一N⁺擴散區域係構成一橫向SCR；

一第一觸發點(trigger node)，用來接受一第一觸發電流；以及

一第二觸發點(trigger node)，用來流出一第二觸發電流；

其中當該第一觸發電流經由該第一觸發點流進時，或該第二觸發電流經由該第二觸發點流出時，會觸發該橫向SCR以使該橫向SCR進入一鎖定狀態(latch state)。

20. 如申請專利範圍第19項之DT-SCR，其中該第一觸發點係為一第三P⁺擴散區域，且該第三P⁺擴散區域係設於該第一N⁺擴散區域以及該第二P⁺擴散區域之間的該P型基底內，而該第二觸發點係為一第三N⁺擴散區

域，且該第三 N^+ 擴散區域係設於該第一 N^+ 擴散區域以及該第二 P^+ 擴散區域之間的該 N 井內。

21. 如申請專利範圍第 20 項之 DT-SCR，其中該第三 N^+ 擴散區域以及該第二 P^+ 擴散區域間之該 N 井表面上另形成有一第一淺溝隔離(STI)，且該第三 P^+ 擴散區域以及該第一 N^+ 擴散區域間之該 P 型基底表面上亦另形成有一第二淺溝隔離(STI)。
22. 如申請專利範圍第 20 項之 DT-SCR，其中該第三 N^+ 擴散區域以及該第二 P^+ 擴散區域間之該 N 井表面上另形成有一第一閘極，且該第三 P^+ 擴散區域以及該第一 N^+ 擴散區域間之該 P 型基底表面上亦另形成有一第二閘極。
23. 如申請專利範圍第 22 項之 DT-SCR，其中該第一閘極以及該第二閘極係用來降低該 DT-SCR 之維持電壓(holding voltage)，以增快該 DT-SCR 之開啟速度(turn-on speed)。
24. 如申請專利範圍第 19 項之 DT-SCR，其中該第一觸發點係為一第三 P^+ 擴散區域，且該第三 P^+ 擴散區域係設於該第一 N^+ 擴散區域以及該第二 P^+ 擴散區域之間的該 P 型基底內，而該第二觸發點係為一第三 N^+ 擴散區域，且該第三 N^+ 擴散區域橫跨部分之該 N 井以及該 P 型基底，用來降低該橫向 SCR 的崩潰電壓。
25. 如申請專利範圍第 24 項之 DT-SCR，其中該第三 N^+ 擴散區域以及該第二 P^+ 擴散區域間之該 N 井表面上另形成有一第一淺溝隔離(STI)，且該第三 P^+ 擴散區域以及該第一 N^+ 擴散區域間之該 P 型基底表面上亦另形成有一第二淺溝隔離(STI)。
26. 如申請專利範圍第 24 項之 DT-SCR，其中該第三 N^+ 擴散區域以及

該第二 P^+ 擴散區域間之該 N 井表面上另形成有一第一閘極，且該第三 P^+ 擴散區域以及該第一 N^+ 擴散區域間之該 P 型基底表面上亦另形成有一第二閘極。

5. 27. 如申請專利範圍第 26 項之 DT-SCR，其中該第一閘極以及該第二閘極係用來降低該 DT-SCR 之維持電壓(holding voltage)，以增快該 DT-SCR 之開啟速度(turn-on speed)。
10. 28. 如申請專利範圍第 19 項之 DT-SCR，其中該第一觸發點係為一第三 P^+ 擴散區域，且該第三 P^+ 擴散區域橫跨部分之該 N 井以及該 P 型基底，用來降低該橫向 SCR 的崩潰電壓，該第二觸發點係為一第三 N^+ 擴散區域，且該第三 N^+ 擴散區域係設於該第一 N^+ 擴散區域以及該第二 P^+ 擴散區域之間的該 N 井內。
15. 29. 如申請專利範圍第 28 項之 DT-SCR，其中該第三 N^+ 擴散區域以及該第二 P^+ 擴散區域間之該 N 井表面上另形成有一第一淺溝隔離(STI)，且該第三 P^+ 擴散區域以及該第一 N^+ 擴散區域間之該 P 型基底表面上亦另形成有一第二淺溝隔離(STI)。
20. 30. 如申請專利範圍第 28 項之 DT-SCR，其中該第三 N^+ 擴散區域以及該第二 P^+ 擴散區域間之該 N 井表面上另形成有一第一閘極，且該第三 P^+ 擴散區域以及該第一 N^+ 擴散區域間之該 P 型基底表面上亦另形成有一第二閘極。
30. 31. 如申請專利範圍第 30 項之 DT-SCR，其中該第一閘極以及該第二閘極係用來降低該 DT-SCR 之維持電壓(holding voltage)，以增快該 DT-SCR 之開啟速度(turn-on speed)。
35. 32. 如申請專利範圍第 19 項之 DT-SCR，其中該第三 N^+ 擴散區域以及
- 40.

該第三 P⁺ 擴散區域間另形成有一第一淺溝隔離(STI)。

33.如申請專利範圍第 19 項之 DT-SCR，其中該第三 N⁺ 擴散區域以及該第三 P⁺ 擴散區域間另形成有一第三閘極。

34.一種雙觸發矽控整流器(DT-SCR)，具有快速基底觸發設計，該 DT-SCR 係形成於一 P 型基底上，該 DT-SCR 包含有：

一 N 井(N-well)設於該 P 型基底中；
一第一 N⁺ 擴散區域及一第一 P⁺ 擴散區域，設於該 P 型基底內，用來當作該 DT-SCR 之陰極；

一第二 N⁺ 擴散區域及一第二 P⁺ 擴散區域，設於該 N 井內，用來當作該 DT-SCR 之陽極，且該第二 P⁺ 擴散區域、該 N 井、該 P 型基底以及該第一 N⁺ 擴散區域係構成一橫向 SCR；

一第一觸發點(trigger node)，用來接受一第一觸發電流；以及

一第二觸發點(trigger node)，用來流出一第二觸發電流；

其中當該第一觸發電流經由該第一觸發點流進時，或該第二觸發電流經由該第二觸發點流出時，會觸發該橫向 SCR 以使該橫向 SCR 進入一鎖定狀態(latch state)。

35.如申請專利範圍第 34 項之 DT-SCR，其中該第一觸發點係為一第三 P⁺ 擴散區域，且該第三 P⁺ 擴散區域係設於該第一 N⁺ 擴散區域以及該第二 P⁺ 擴散區域之間的該 N 井內，該第二觸發點係為一第三 N⁺ 擴散區域，且該第三 N⁺ 擴散區域係設於該第一 N⁺ 擴散區域以及該第二 P⁺ 擴散區域之間的該 P 型基底內。

36.如申請專利範圍第 35 項之 DT-SCR，其中該第三 P⁺ 擴散區域以及該第二 P⁺ 擴散區域間之該 N 井表面上另

形成有一第一淺溝隔離(STI)，且該第三 N⁺ 擴散區域以及該第一 N⁺ 擴散區域間之該 P 型基底表面上亦另形成有一第二淺溝隔離(STI)。

5. 37.如申請專利範圍第 35 項之 DT-SCR，其中該第三 P⁺ 擴散區域以及該第二 P⁺ 擴散區域間之該 N 井表面上另形成有一第一閘極，且該第三 N⁺ 擴散區域以及該第一 N⁺ 擴散區域間之該 P 型基底表面上亦另形成有一第二閘極。

10. 38.如申請專利範圍第 37 項之 DT-SCR，其中該第一閘極以及該第二閘極係用來降低該 DT-SCR 之維持電壓(holding voltage)，以增快該 DT-SCR 之開啟速度(turn-on speed)。

15. 39.如申請專利範圍第 34 項之 DT-SCR，其中該第一觸發點係為一第三 N⁺ 擴散區域，且該第三 N⁺ 擴散區域係設於該第一 N⁺ 擴散區域以及該第二 P⁺ 擴散區域之間的該 P 型基底內，而該第二觸發點係為一第三 P⁺ 擴散區域，且該第三 P⁺ 擴散區域橫跨部分之該 N 井以及該 P 型基底，用來降低該橫向 SCR 的崩潰電壓。

20. 40.如申請專利範圍第 39 項之 DT-SCR，其中該第三 P⁺ 擴散區域以及該第二 P⁺ 擴散區域間之該 N 井表面上另形成有一第一淺溝隔離(STI)，且該第三 N⁺ 擴散區域以及該第一 N⁺ 擴散區域間之該 P 型基底表面上亦另形成有一第二淺溝隔離(STI)。

25. 41.如申請專利範圍第 39 項之 DT-SCR，其中該第三 P⁺ 擴散區域以及該第二 P⁺ 擴散區域間之該 N 井表面上另形成有一第一閘極，且該第三 N⁺ 擴散區域以及該第一 N⁺ 擴散區域間之該 P 型基底表面上亦另形成有一第二閘極。

40. 42.如申請專利範圍第 41 項之 DT-SCR，

其中該第一閘極以及該第二閘極係用來降低該 DT-SCR 之維持電壓(holding voltage)，以增快該 DT-SCR 之開啟速度(turn-on speed)。

43. 如申請專利範圍第 34 項之 DT-SCR，其中該第一觸發點係為一第三 N⁺ 擴散區域，且該第三 N⁺ 擴散區域橫跨部分之該 N 井以及該 P 型基底，用來降低該橫向 SCR 的崩潰電壓，該第二觸發點係為一第三 P⁺ 擴散區域，且該第三 P⁺ 擴散區域係設於該第一 N⁺ 擴散區域以及該第二 P⁺ 擴散區域之間的該 N 井內。
44. 如申請專利範圍第 43 項之 DT-SCR，其中該第三 P⁺ 擴散區域以及該第二 P⁺ 擴散區域間之該 N 井表面上另形成有一第一淺溝隔離(STI)，且該第三 N⁺ 擴散區域以及該第一 N⁺ 擴散區域間之該 P 型基底表面上亦另形成有一第二淺溝隔離(STI)。
45. 如申請專利範圍第 43 項之 DT-SCR，其中該第三 P⁺ 擴散區域以及該第二 P⁺ 擴散區域間之該 N 井表面上另形成有一第一閘極，且該第三 N⁺ 擴散區域以及該第一 N⁺ 擴散區域間之該 P 型基底表面上亦另形成有一第二閘極。
46. 如申請專利範圍第 45 項之 DT-SCR，其中該第一閘極以及該第二閘極係用來降低該 DT-SCR 之維持電壓(holding voltage)，並用來增快該 DT-SCR 之開啟速度(turn-on speed)。
47. 如申請專利範圍第 34 項之 DT-SCR，其中該第三 N⁺ 擴散區域以及該第三 P⁺ 擴散區域間另形成有一第三淺溝隔離(STI)。
48. 如申請專利範圍第 34 項之 DT-SCR，其中該第三 N⁺ 擴散區域以及該第三 P⁺ 擴散區域間另形成有一第三閘極。

圖式簡單說明：

圖一(a)是先前技術中應用 LSCR 元件於輸入 ESD 保護電路的示意圖。

圖一(b)是先前技術中 LSCR 元件的電流 - 電壓特性(I-V characteristic)示意圖。

圖一(c)是先前技術中 LSCR 元件的元件結構示意圖。

10. 圖二(a)是先前技術中應用 MLSCR 元件於 ESD 保護電路的示意圖。

圖二(b)是先前技術中的 MLSCR 元件的電流 - 電壓特性(I - V characteristic)示意圖。

15. 圖二(c)是先前技術中 MLSCR 元件的元件結構示意圖。

圖三(a)是先前技術中應用 LVTSCR 元件在輸出 ESD 保護電路的示意圖。

20. 圖三(b)是先前技術中的 LVTSCR 元件的電流 - 電壓特性(I - V characteristic)示意圖。

圖三(c)是先前技術中的 LVTSCR 元件的元件結構示意圖。

25. 圖四是先前技術中應用閘極耦合 LVTSCR 元件於輸入／輸出 ESD 保護電路的示意圖。

圖五(a)是本發明中 P 型基底觸發 SCR(P-STSCR)元件結構的剖面示意圖。

30. 圖五(b)是圖五(a)的 P-STSCR 元件的相對應符號圖。

圖六(a)是本發明中用來量測 P-STSCR 元件之電流 - 電壓特性(I-V characteristic)的實驗設置示意圖。

35. 圖六(b)是本發明中的 P-STSCR 元件的電流 - 電壓特性量測結果。

圖七是 P-STSCR 的基底觸發電流與導通電壓的關係圖。

40. 圖八(a)是本發明中的 P 型基底觸發 SCR 元件結構的另一種設計的剖面

示意圖。

圖八(b)是P-STSCR元件的另一種設計的相對應符號圖。

圖九(a)是本發明中用來量測P-STMLSCR元件之電流-電壓特性(I-V characteristic)的實驗裝置示意圖。

圖九(b)是本發明中的P-STMLSCR元件之電流-電壓特性量測結果圖。

圖十是P-STMLSCR元件的導通電壓與基底觸發電流的關係圖。

圖十一(a)是本發明中具有縮小元件尺寸的P型基底觸發SCR元件結構的剖面示意圖。

圖十一(b)是本發明中具有縮小元件尺寸的P型基底觸發SCR元件結構的相對應符號圖。

圖十二(a)是本發明中的N型基底觸發SCR元件結構的剖面示意圖。

圖十二(b)是本發明中N型基底觸發SCR元件結構的相對應符號圖。

圖十三(a)是本發明中另一種N-STSCR元件結構的剖面示意圖。

圖十三(b)是本發明中另一種N-STSCR元件結構的相對應符號圖。

圖十四(a)是本發明中具有縮小佈局距離的N-STSCR元件結構的剖面示意圖。

圖十四(b)是本發明中具有縮小佈

局距離的N-STSCR元件結構的相對應符號圖。

圖十五(a)是本發明中雙觸發SCR元件的剖面示意圖。

圖十五(b)是本發明中雙觸發SCR元件的相對應符號圖。

圖十六(a)本發明中的另一種DT-SCR元件結構的剖面示意圖。

圖十六(b)是本發明中的另一種DT-SCR元件結構的相對應符號圖。

圖十七(a)是本發明中的再一種DT-SCR元件結構的剖面示意圖。

圖十七(b)是本發明中的再一種DT-SCR元件結構的相對應符號圖。

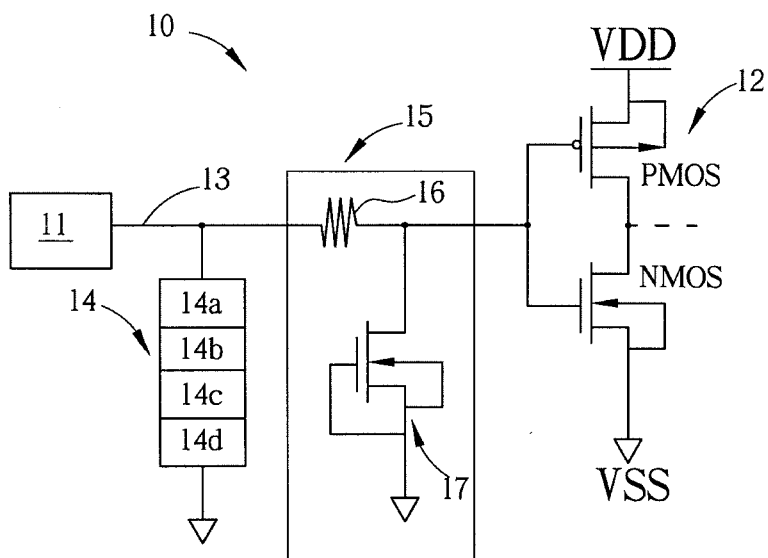
圖十八是具有多晶矽閘極以取代場氧化層的P-STSCR元件的示意圖。

圖十九是具有多晶矽閘極以取代場氧化區域的N-STSCR元件的示意圖。

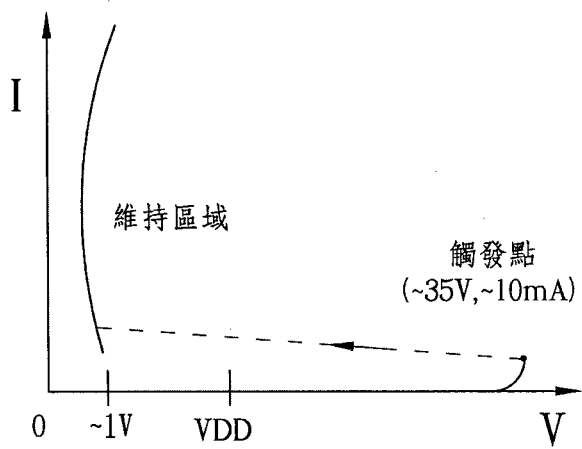
圖二十到圖二十二是具有多晶矽閘極以取代場氧化層區域的DT-SCR元件結構的示意圖。

圖二十三到圖二十五是具有多晶矽閘極以取代場氧化層區域的另一種DT-SCR元件的示意圖。

圖二十六到圖二十八是具有兩多晶矽閘極以取代場氧化層區域的DT-SCR元件的示意圖。

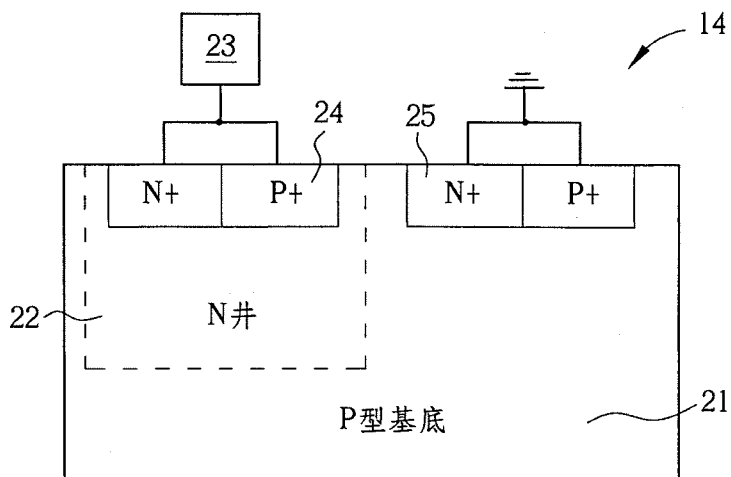


圖一 a

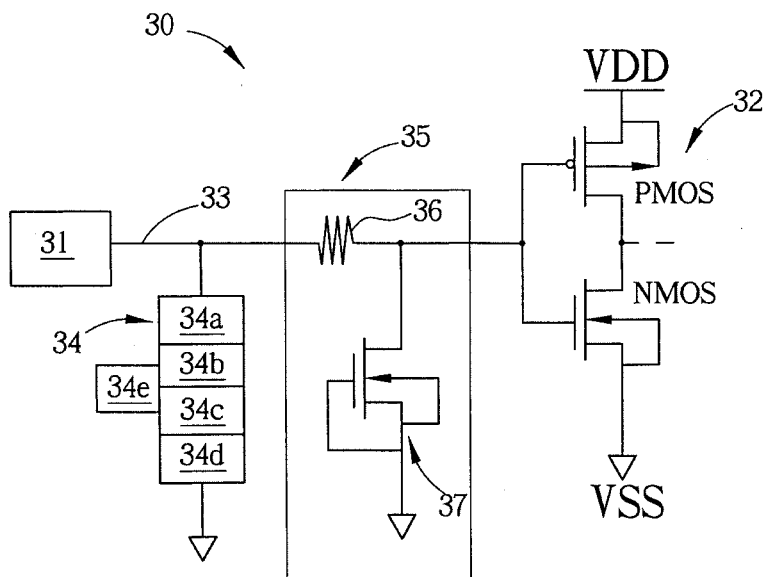


圖一 b

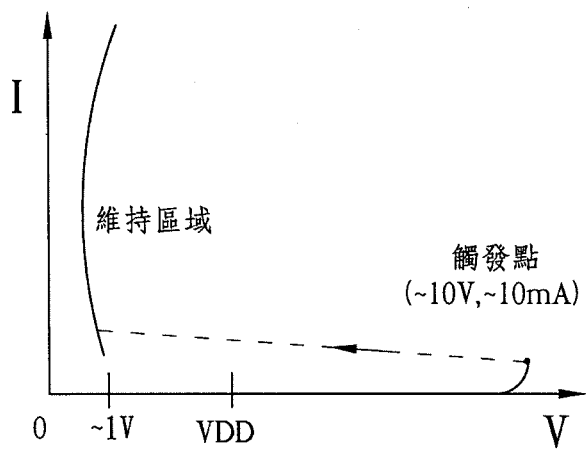
(9)



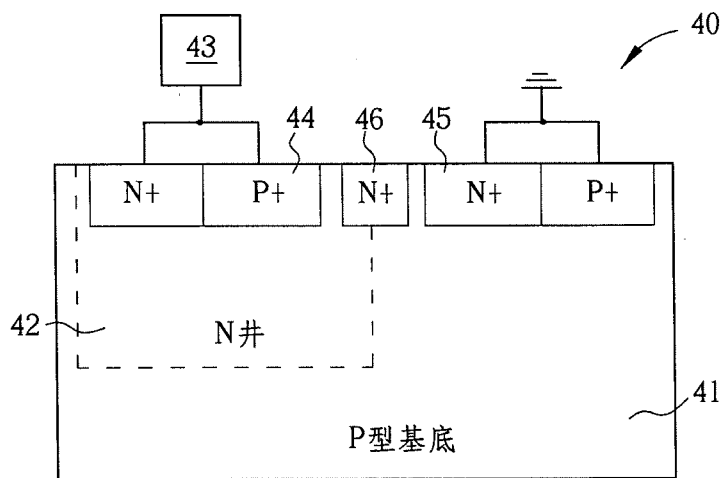
圖一 c



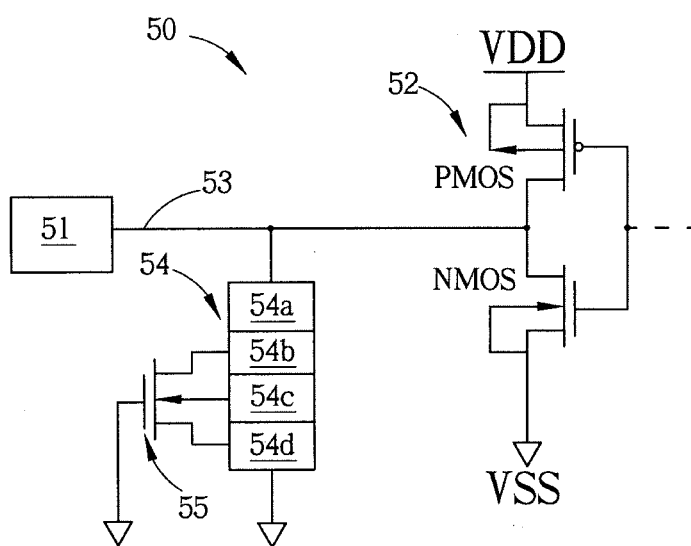
圖二 a



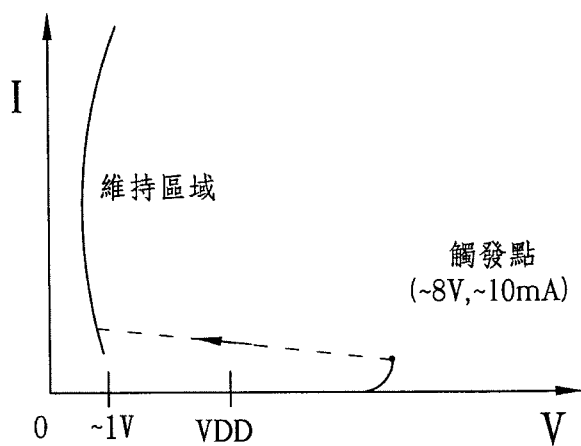
圖二 b



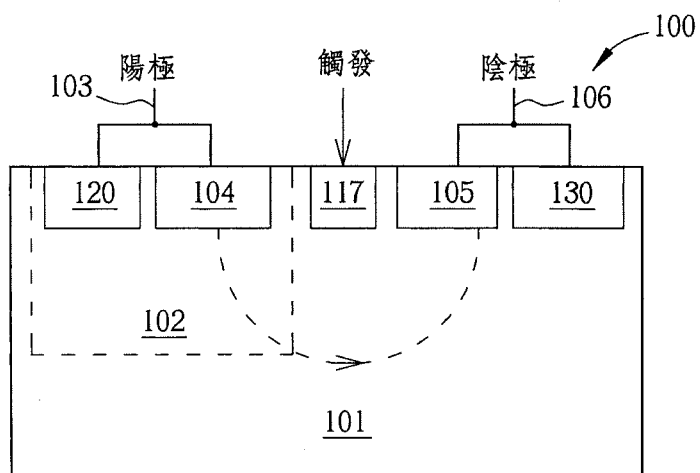
圖二 c



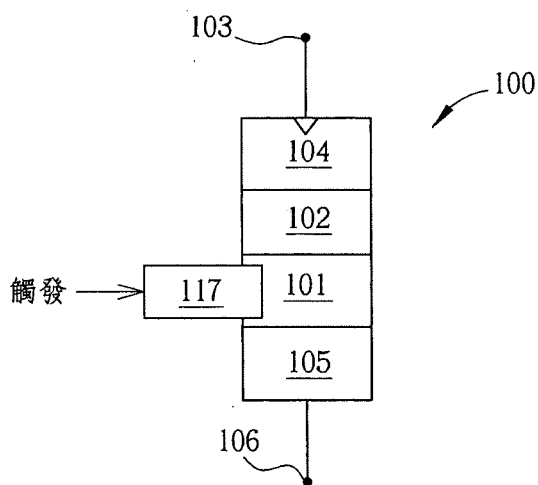
圖三 a



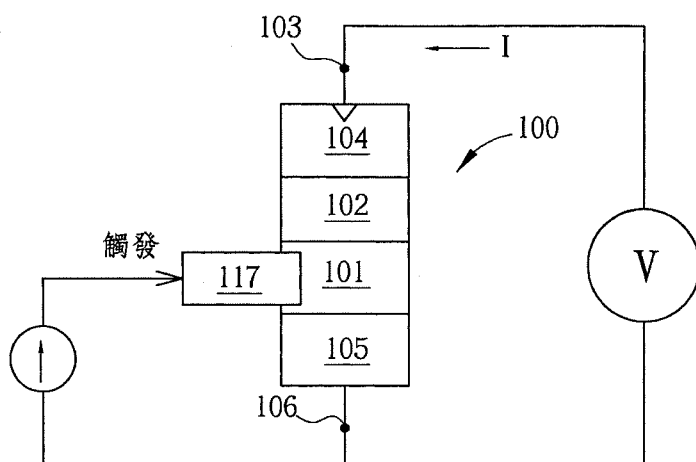
圖三 b



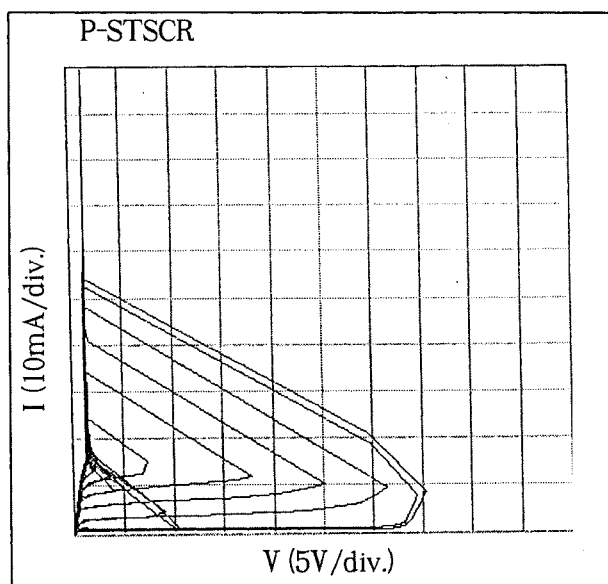
圖五 a



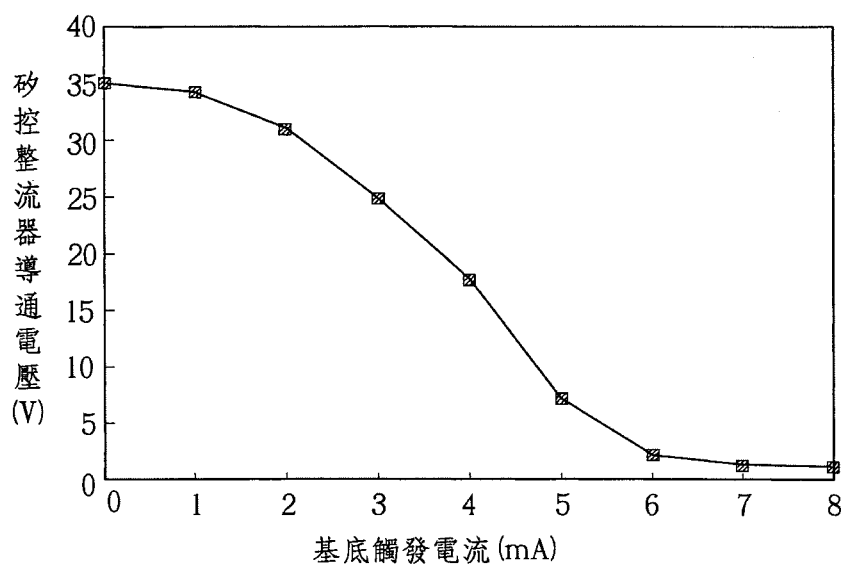
圖五 b



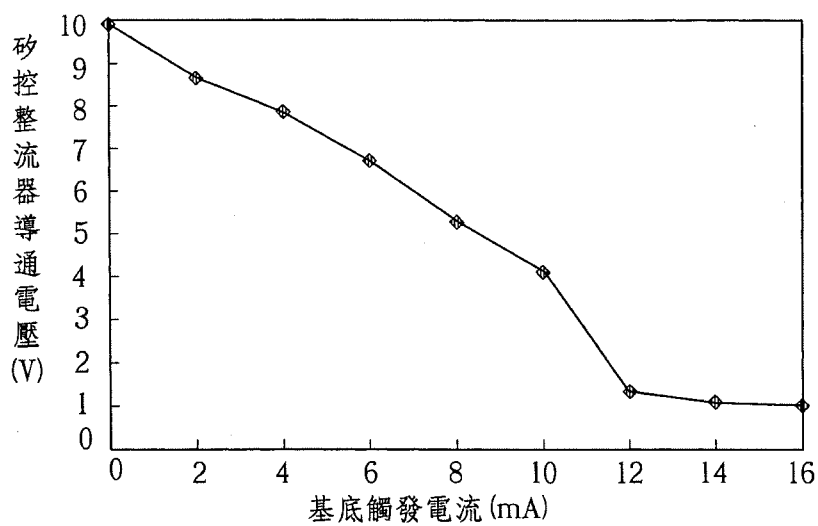
圖六 a



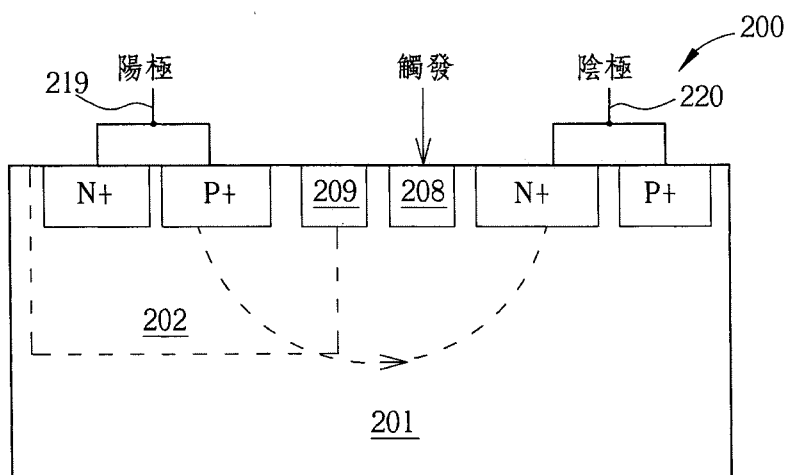
圖六 b



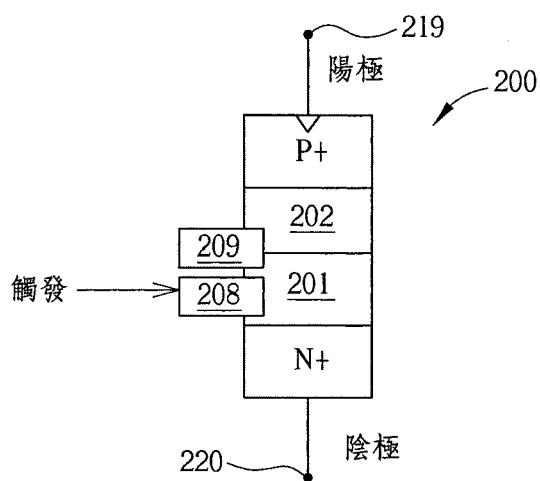
圖七



圖十

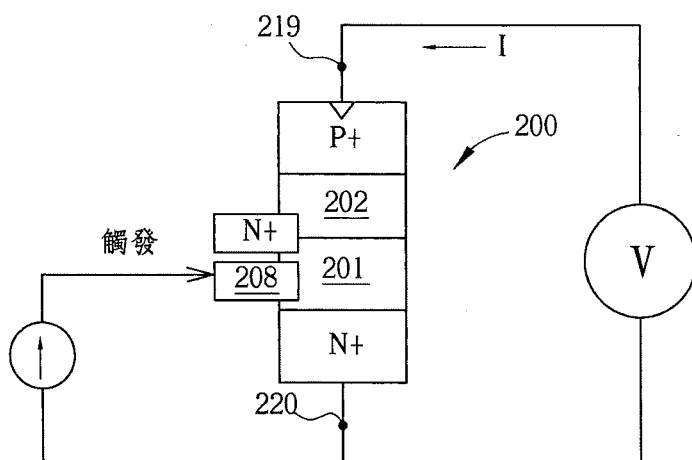


圖八 a

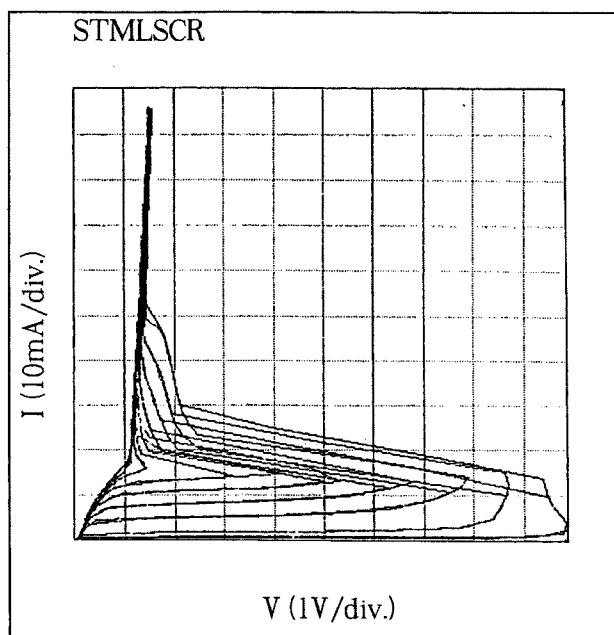


圖八 b

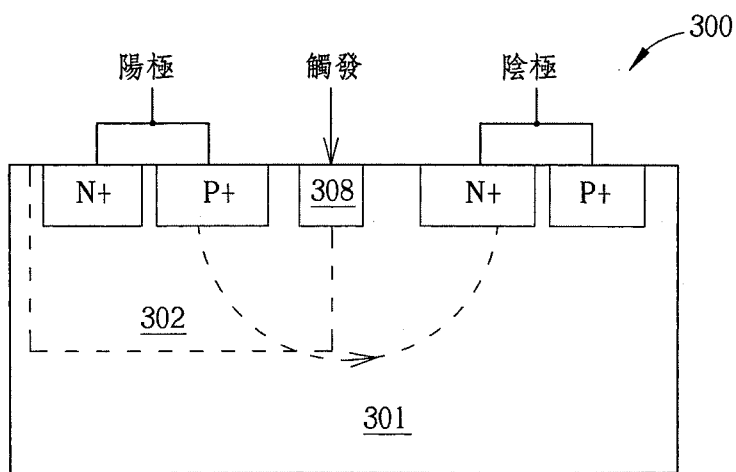
(17)



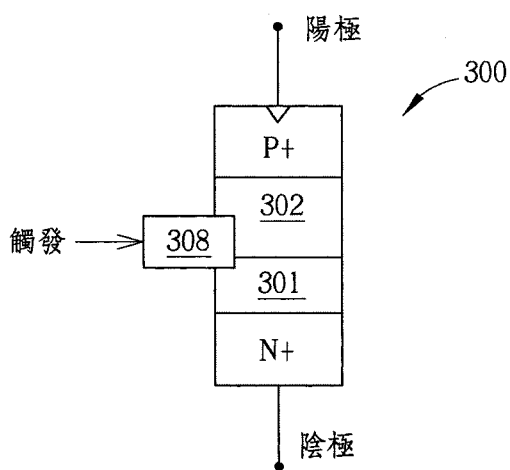
圖九 a



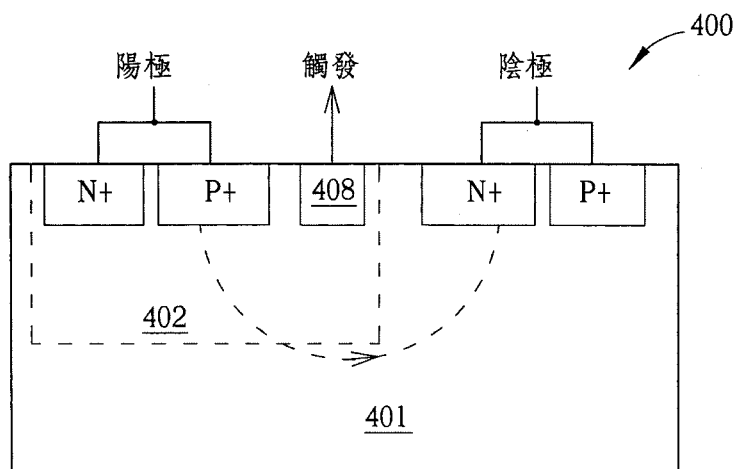
圖九 b



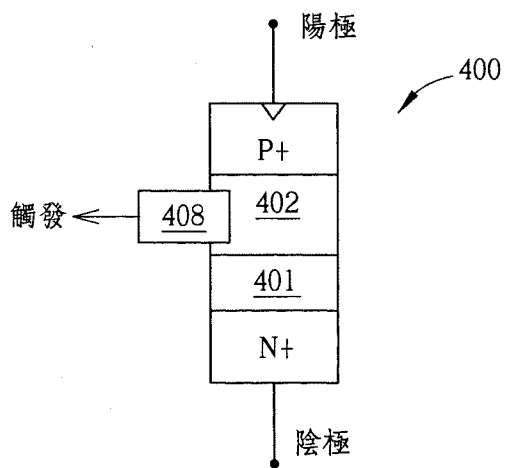
圖十一 a



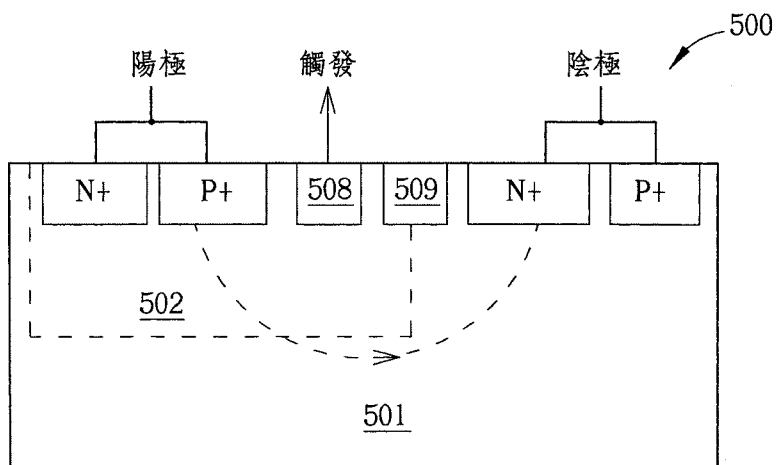
圖十一 b



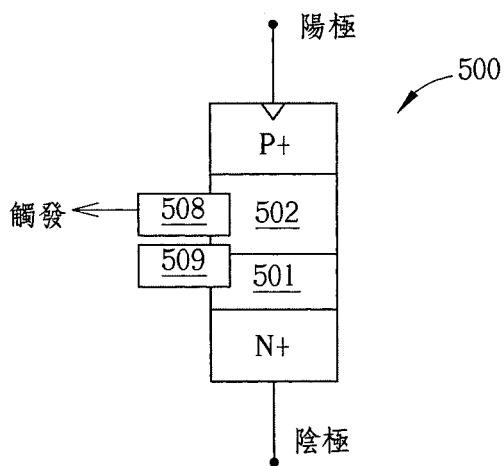
圖十二 a



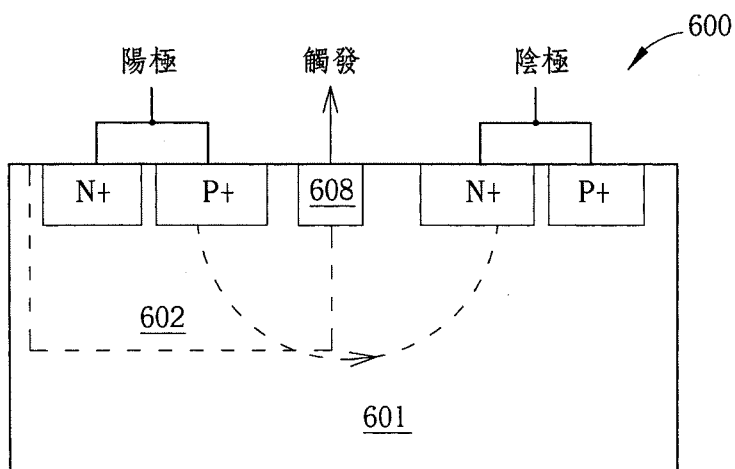
圖十二 b



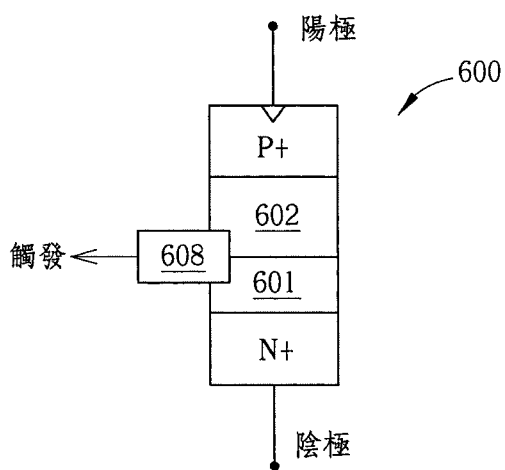
圖十三 a



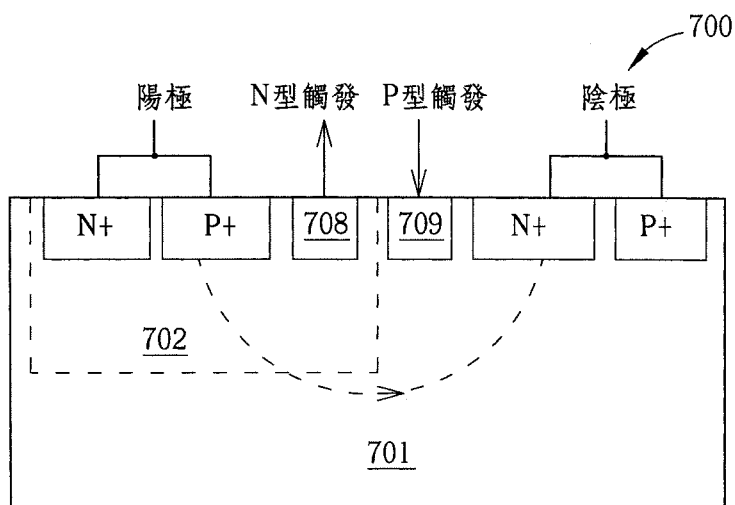
圖十三 b



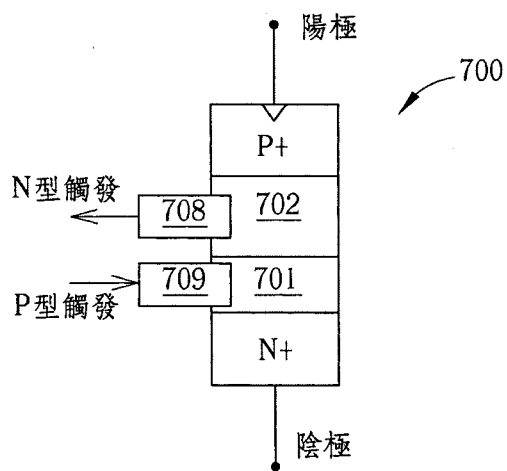
圖十四 a



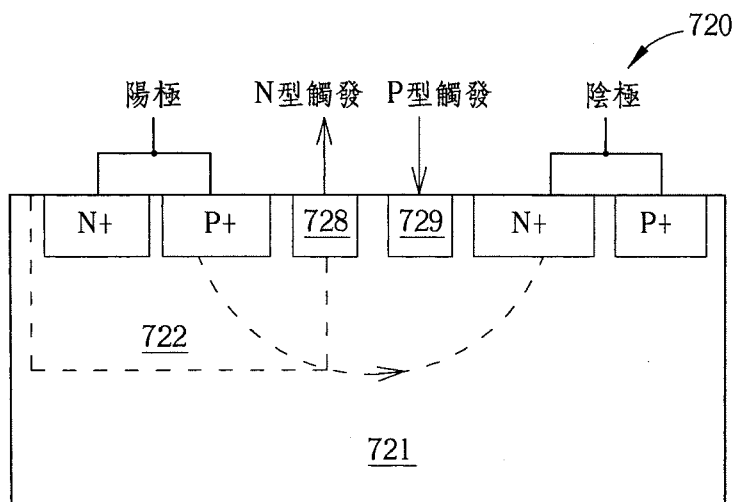
圖十四 b



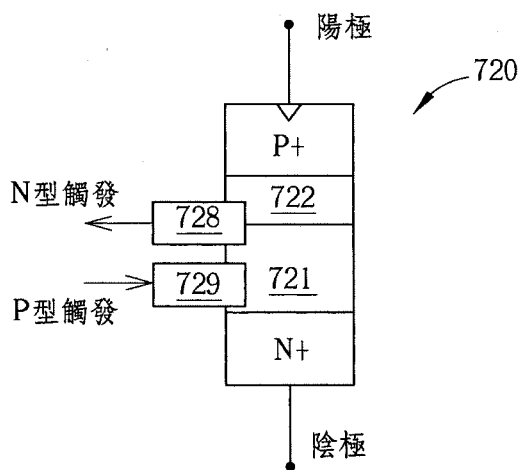
圖十五 a



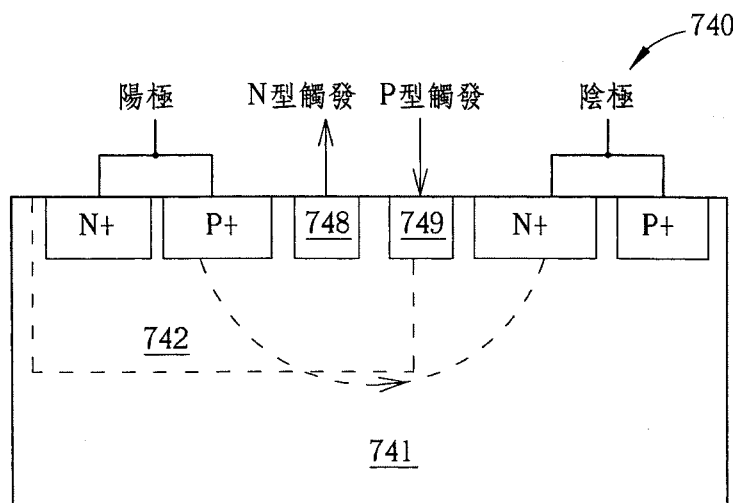
圖十五 b



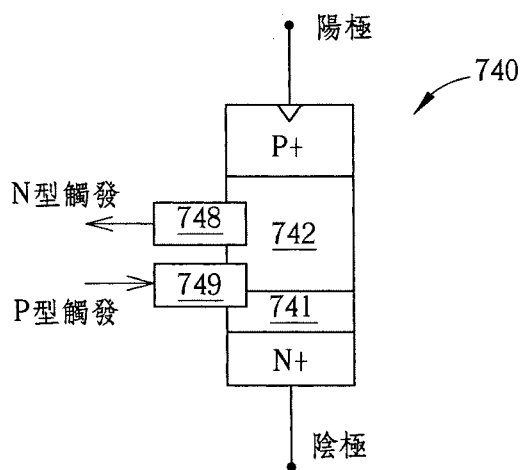
圖十六 a



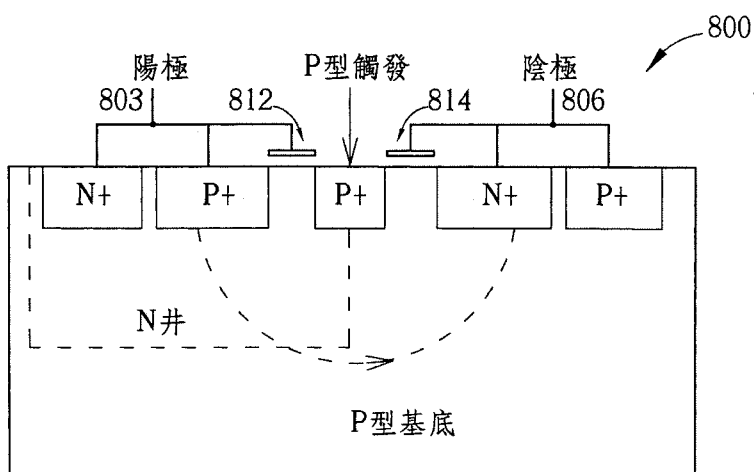
圖十六 b



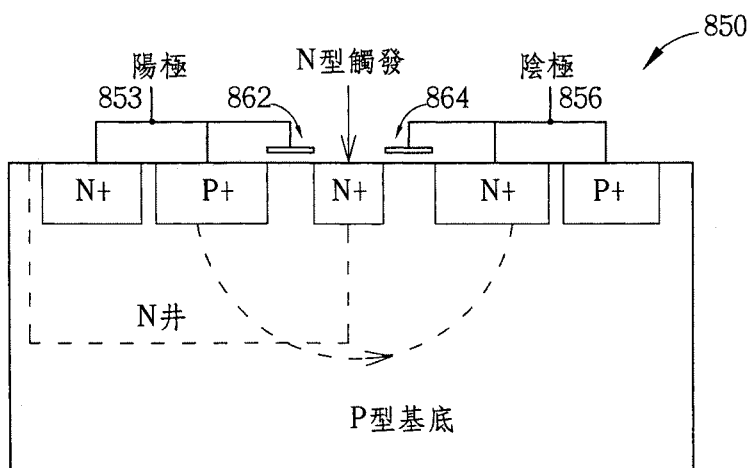
圖十七 a



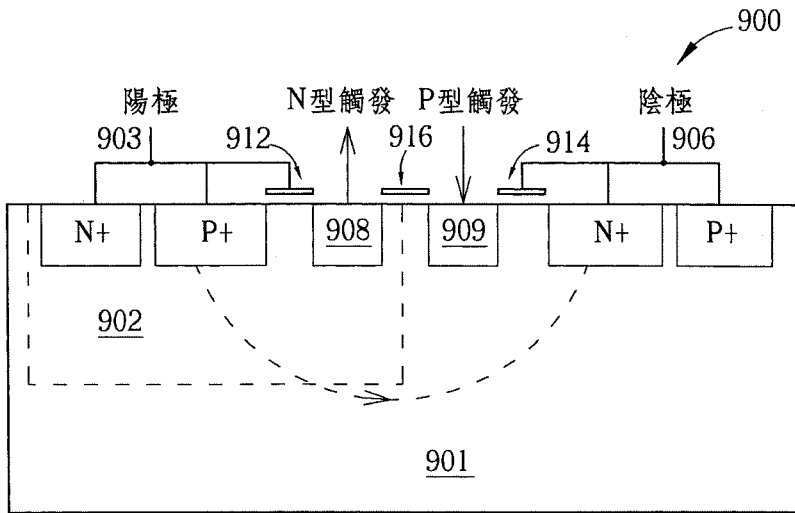
圖十七 b



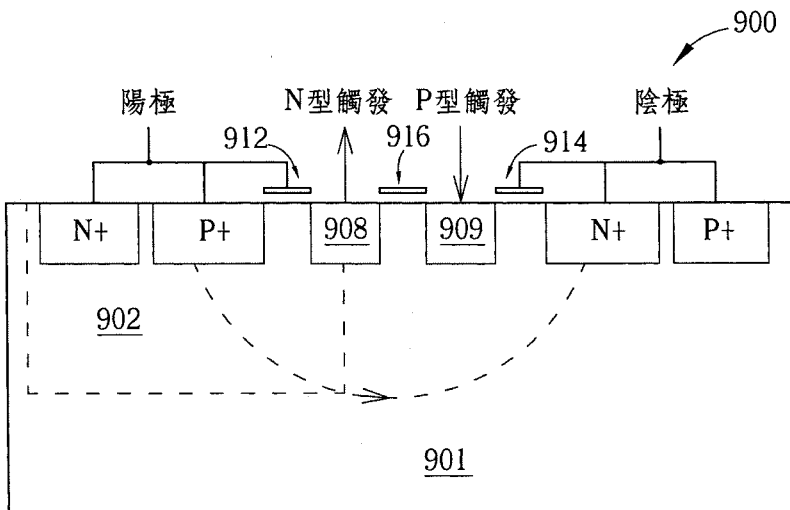
圖十八



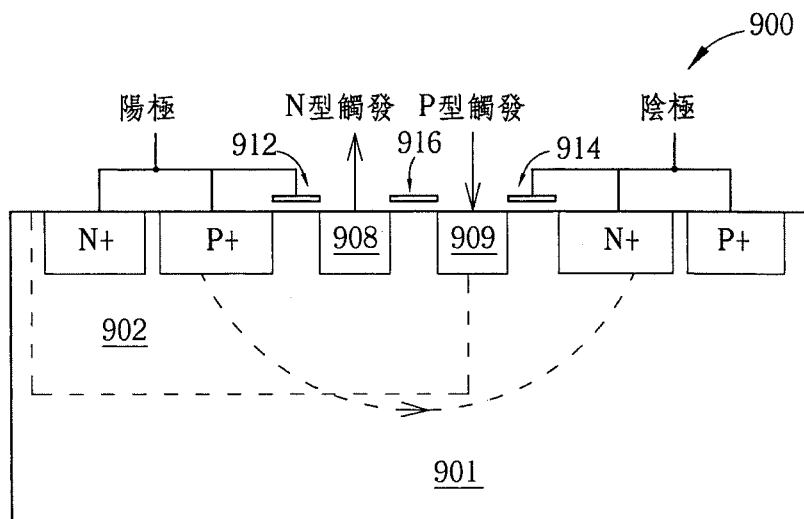
圖十九



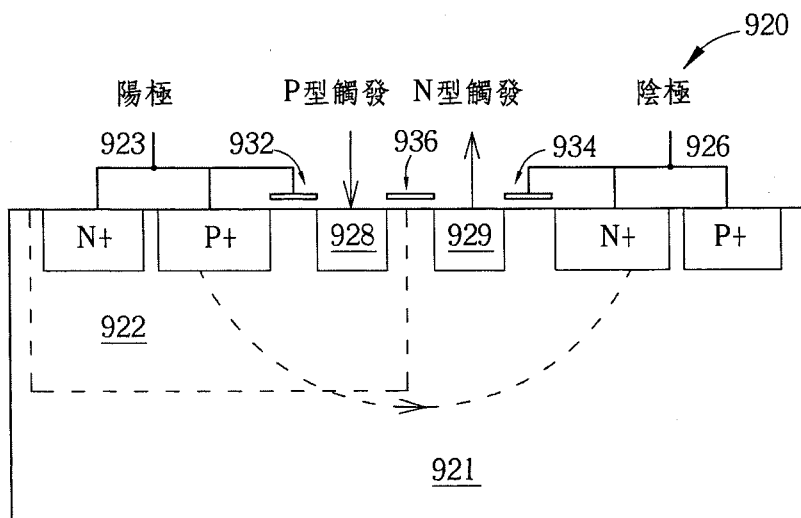
圖二十



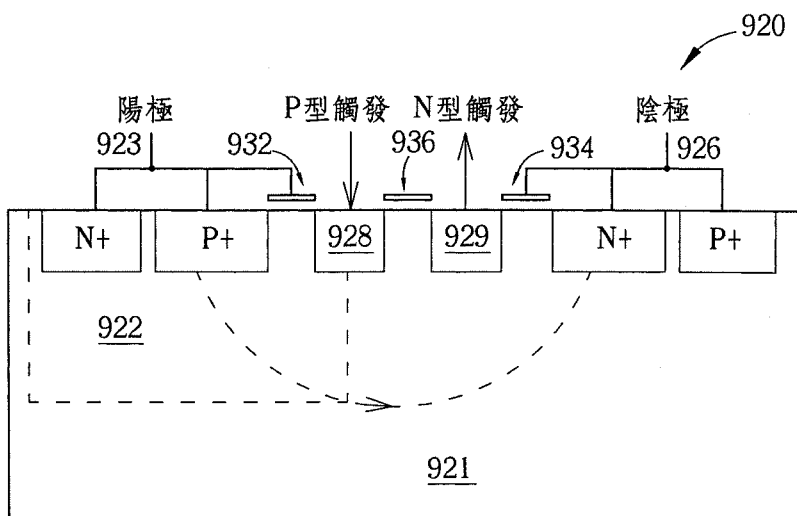
圖二十一



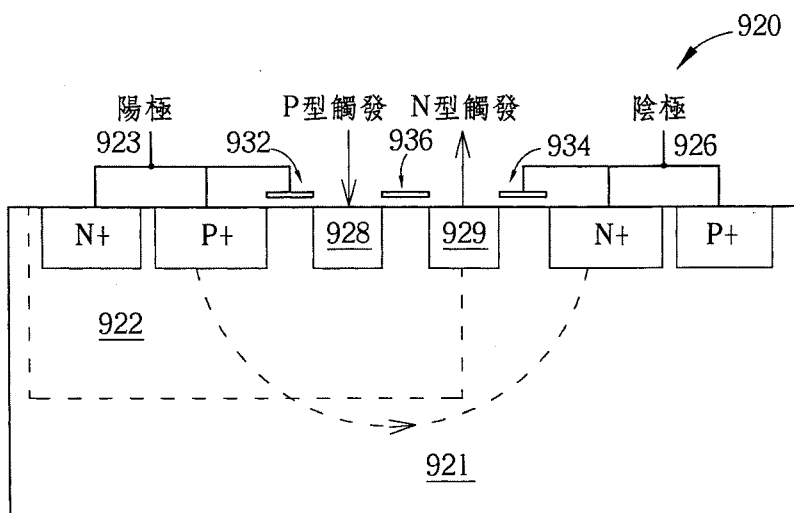
圖二十二



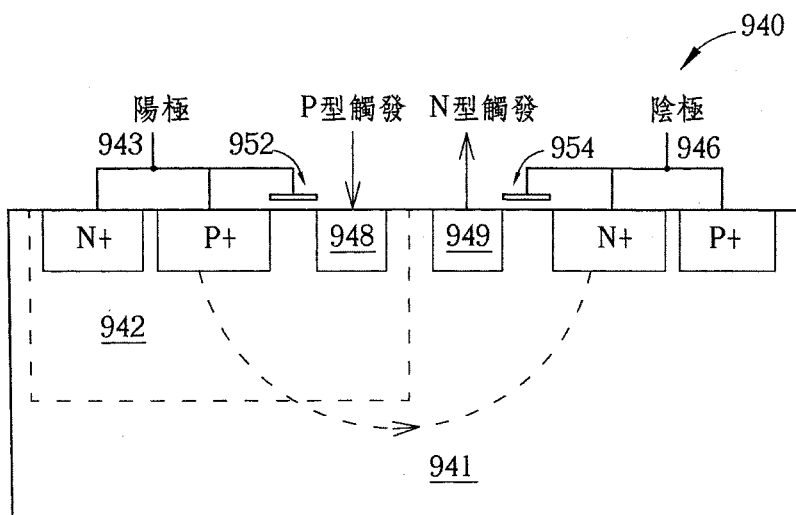
圖二十三



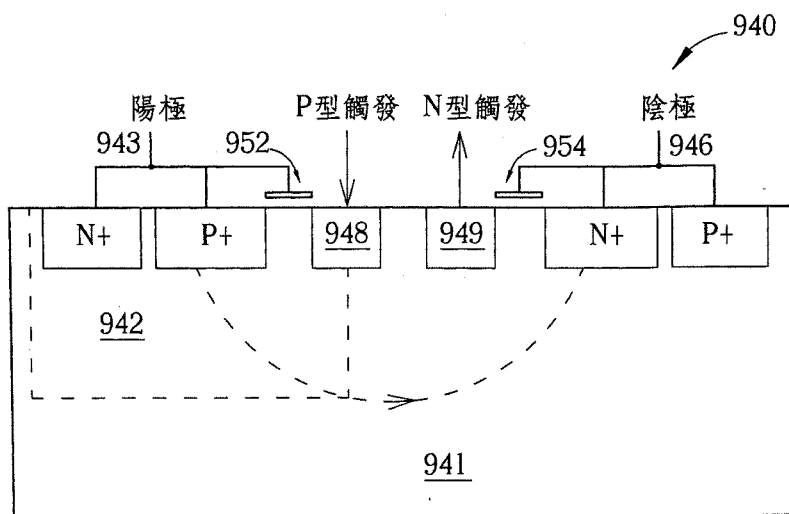
圖二十四



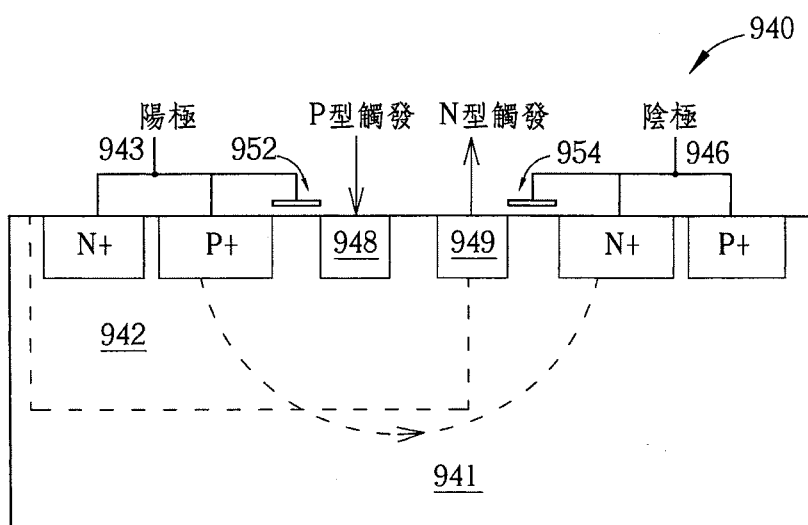
圖二十五



圖二十六



圖二十七



圖二十八