

中華民國專利公報 [19] [12]

[11]公告編號：506111

[44]中華民國 91 年 (2002) 10 月 11 日

發明

全 28 頁

[51] Int.Cl⁰⁷： H01L23/60

H02H3/00

[54]名 稱：使用基體觸發矽控整流器之靜電放電防護電路

[21]申請案號： 090118239

[22]申請日期：中華民國 90 年 (2001) 07 月 25 日

[72]發 明 人：

柯明道

陳東暘

唐天浩

新竹市寶山路二〇〇巷三號四樓之三

新竹市光復路一段八十九巷一二一號十二樓之二

新竹市東山街二十七巷十三號六樓

[71]申 請 人：

聯華電子股份有限公司

新竹科學工業園區新竹市力行二路三號

[74]代 理 人： 許鍾迪 先生

1

2

[57]申請專利範圍：

1. 一種靜電放電防護電路(electrostatic discharge protection circuit)，該靜電放電防護電路係電連接於一輸入/輸出緩衝墊(I/O buffering pad)、一內部電路(internal circuit)、一 V_{ss} 電源接腳(V_{ss} power terminal)以及一 V_{DD} 電源接腳，該靜電放電防護電路包含有：

一第一 ESD 偵測電路(ESD-detection circuit)，電連接於該 I/O 緩衝墊與該 V_{ss} 電源接腳之間；

一 P 型基底觸發矽控整流器(P-type substrate-triggered silicon controlled rectifier, P-STSCR)，該 P-STSCR 包含有一第一橫向 SCR(lateral SCR)以及一 P 型觸發點(trigger node)，且該 P-STSCR 之陽極(anode)與陰極(cathode)係分別電連接至該 I/O 緩衝墊以及該 V_{ss} 電源接腳；

一第二 ESD 偵測電路，電連接於該 I/

O 緩衝墊與該 V_{DD} 電源接腳之間；以及

一 N 型基底觸發矽控整流器(N-type substrate-triggered silicon controlled rectifier, N-STSCR)，該 N-STSCR 包含有一第二橫向 SCR 以及一 N 型觸發點，且該 N-STSCR 之陰極與陽極係分別電連接於該 I/O 緩衝墊以及該 V_{DD} 電源接腳。

10. 2. 如申請範圍第 1 項之靜電放電防護電路，其中該 P-STSCR 另包含有：

一 P 型基底；

一 N 井(N-well)設於該 P 型基底中；

一第一 N 擴散區域以及一第一 P 擴散區域，設於該 P 型基底，用來當作該 P-STSCR 的陰極；以及

一第二 N 擴散區域以及一第二 P 擴散區域，設於該 N 井內，用來當作該 P-STSCR 的陽極，且該第二 P 擴散區域、該 N 井、該 P 型基底以及該第一

- N 擴散區域係構成該第一橫向 SCR (lateral SCR)。
- 3.如申請範圍第2項之靜電放電防護電路，其中當一正 ESD 電壓脈衝被施加於該輸入/輸出緩衝墊時，會使該第一 ESD 偵測電路產生一第一觸發電流至該P-STSCR之該P型觸發點而觸發該 P-STSCR 之該第一橫向 SCR，以使該第一橫向 SCR 進入一閉鎖狀態(latch state)，並迅速開啟該 P-STSCR，以將該正 ESD 電壓脈衝之電流排放至該 V_{ss} 電源接腳。
 - 4.如申請範圍第1項之靜電放電防護電路，其中該 N-STSCR 另包含有：
 - 一 P 型基底；
 - 一 N 井(N-well)設於該 P 型基底中；
 - 一第一N擴散區域及一第一P擴散區域，設於該P型基底內，用來當作該 N-STSCR 的陰極；以及
 - 一第二N擴散區域及一第二P擴散區域，設於該 N 井內，用來當作該 N-STSCR 的陽極，且該第二 P 擴散區域、該N井、該P型基底以及該第一 N 擴散區域係構成該第二橫向 SCR。
 - 5.如申請範圍第4項之靜電放電防護電路，其中當一負 ESD 電壓脈衝被施加於該輸入/輸出緩衝墊時，會使該第二 ESD 偵測電路產生一第二觸發電流至該 N-STSCR 之該 N 型觸發點而觸發該 N-STSCR 之該第二橫向 SCR，以使該第二橫向 SCR 進入一閉鎖狀態(latch state)，並迅速開啟該 N-STSCR，以將該負 ESD 電壓脈衝之電流排放至該 V_{DD} 電源接腳。
 - 6.如申請專利範圍第1項之靜電放電防護電路，其中該第一 ESD 偵測電路包含有一第一電阻(resistor)、一第一電容(capacitor)、基納二極體(zener diode)、一組二極體串聯(diode

- strings)或一 NMOS。
- 7.如申請專利範圍第6項之靜電放電防護電路，其中該 NMOS 係用來增大該第一觸發電流以加速觸發該 P-STSCR。
 - 8.如申請專利範圍第1項之靜電放電防護電路，其中該第二 ESD 偵測電路包含有一第二電阻、一第二電容、基納二極體、一組二極體串聯或一 PMOS。
 - 9.如申請專利範圍第8項之靜電放電防護電路，其中該 PMOS 係用來增大該第二觸發電流以加速觸發該 N-STSCR。
 - 10.如申請專利範圍第1項之靜電放電防護電路，其中該第一 ESD 偵測電路包含有一第三電阻、一第三電容(capacitor)以及一第一反向器(inverter)，該第一反向器之輸入電極(input node)係經由該第二電阻與該第二電容而分別與該 V_{DD} 電源接腳以及該 V_{ss} 電源接腳相電連接，且該第一反向器之輸出電極(output node)係被電連接至該P-STSCR之該P型觸發點(node)。
 - 11.如申請專利範圍第10項之靜電放電防護電路，其中當一正 ESD 電壓脈衝被施加於該輸入/輸出緩衝墊時，該第一反向器會被該正 ESD 電壓脈衝充電，以使該第一反向器之該輸出電極產生一第三觸發電流至該 P-STSCR 之該 P 型觸發點而觸發該 P-STSCR 之該第一橫向 SCR，以使該第一橫向 SCR 進入一閉鎖狀態(latch state)，並迅速開啟該 P-STSCR，以將該正 ESD 電壓脈衝之電流釋放至該 V_{ss} 電源接腳。
 - 12.如申請專利範圍第1項之靜電放電防護電路，其中該第二 ESD 偵測電路包含有一第四電阻、一第四電容

(capacitor) 以及一第二反向器(inverter)，該第二反向器之輸入電極(input node)係經由該第四電阻與該第四電容而分別與該 V_{ss} 電源接腳以及該 V_{DD} 電源接腳相電連接，且該第二反向器之輸出電極(output node)係被電連接至該 N-STSCR 之該 N 型觸發點(node)。

13. 如申請專利範圍第 12 項之靜電放電防護電路，其中當一負 ESD 電壓脈衝被施加於該輸入/輸出緩衝墊時，該第二反向器之該輸出電極將會被該負 ESD 電壓脈衝充電，並由該 N-STSCR 之該 N 型觸發點產生一第四觸發電流而觸發該 N-STSCR 之該第二橫向 SCR，以使該第二橫向 SCR 進入一閉鎖狀態(latch state)，並時迅速開啟該 N-STSCR，以將該負 ESD 電壓脈衝之電流釋放至該 V_{DD} 電源接腳。

14. 一種靜電放電防護電路(electrostatic discharge protection circuit)，該靜電放電防護電路係電連接於一輸入/輸出緩衝墊(I/O buffering pad)、一內部電路(internal circuit)、一 V_{ss} 電源接腳(V_{ss} power terminal)以及一 V_{DD} 電源接腳，該靜電放電防護電路包含有：

一第一 ESD 偵測電路(ESD-detection circuit)，電連接於該 I/O 緩衝墊與該 V_{ss} 電源接腳之間；

一第一堆疊整流器(stacked SCR)，電連接於該 V_{ss} 電源接腳與該 I/O 緩衝墊之間，該第一堆疊整流器係由複數個 P 型基底觸發矽控整流器(P-STSCR)串聯而成，且該每一個 P-STSCR 均包含有一第一橫向 SCR (lateral SCR) 以及一 P 型觸發點(trigger node)；

一第二 ESD 偵測電路，電連接於該 I/

O 緩衝墊與該 V_{DD} 電源接腳之間；以及

一第二堆疊整流器(stacked SCR)，電連接於該 V_{DD} 電源接腳與該 I/O 緩衝墊之間，該第二堆疊整流器係由複數個 N 型基底觸發矽控整流器(N-STSCR)串聯而成，且該每一個 N-STSCR 均包含有一第二橫向 SCR (lateral SCR) 以及一 N 型觸發點(trigger node)；

其中該第一堆疊整流器的總保持電壓(holding voltage)係大於任何傳遞至該 I/O 緩衝墊上之正常信號的最大電壓準位，而該第二堆疊整流器的總保持電壓(holding voltage)係小於任何傳遞至該 I/O 緩衝墊上之正常信號的最低電壓準位，以避免該靜電放電防護電路被雜訊意外導通而干擾電路之正常信號。

15. 如申請範圍第 14 項之靜電放電防護電路，其中各該 P-STSCR 均另包含有：

一 P 型基底；

一 N 井(N-well)設於該 P 型基底中；

25. 一第一 N 擴散區域以及一第一 P 擴散區域，設於該 P 型基底內，用來當作該 P-STSCR 的陰極；以及

一第二 N 擴散區域以及一第二 P 擴散區域，設於該 N 井內，用來當作該 P-STSCR 的陽極，且該第二 P 擴散區域、該 N 井、該 P 型基底以及該第一 N 擴散區域係構成該第一橫向 SCR (lateral SCR)。

16. 如申請專利範圍第 14 項之靜電放電防護電路，其中該第一堆疊整流器另包含有複數個二極體(diodes)與各該 P-STSCR 相串聯。

17. 如申請範圍第 14 項之靜電放電防護電路，其中各該 N-STSCR 均另包含有：

- P 型基底；
 - N 井(N-well)設於該 P 型基底中；
 - 第一 N 擴散區域以及第一 P 擴散區域，設於該 P 型基底內，用來當作該 N-STSCR 的陰極；以及
 - 第二 N 擴散區域以及第二 P 擴散區域，設於該 N 井內，用來當作該 N-STSCR 的陽極，且該第二 P 擴散區域、該 N 井、該 P 型基底以及該第一 N 擴散區域係構成該第一橫向 SCR(lateral SCR)。
- 18.如申請專利範圍第 14 項之靜電放電防護電路，其中該第二堆疊整流器另包含有複數個二極體(diodes)與該 N-STSCR 相串聯。
 - 19.一種電源線靜電放電箝制電路(power-rail ESD clamp circuit)，該電源線靜電放電箝制電路係電連接於一 V_{ss} 電源線以及一 V_{dd} 電源線，該電源線靜電放電箝制電路包含有：
 - ESD 偵測電路，設於該 V_{ss} 電源線以及該 V_{dd} 電源線之間；以及
 - 至少一基底觸發矽控整流器(substrate-triggered silicon controlled rectifier, STSCR)，該 STSCR 包含有一橫向 SCR(lateral SCR)以及至少一觸發點(trigger node)，且該 STSCR 之陽極(anode)與陰極(cathode)係分別電連接至該 V_{dd} 電源線以及該 V_{ss} 電源線。
 - 20.如申請範圍第 19 項之電源線靜電放電箝制電路，其中該基底觸發矽控整流器(STSCR)係為一 P 型基底觸發矽控整流器(P-STSCR)，且該觸發點係為一 P 型觸發點(P trigger node)。
 - 21.如申請範圍第 20 項之電源線靜電放電箝制電路，其中當一相對正的 ESD 電壓脈衝橫跨該 V_{dd} 電源線與該 V_{ss} 電源線之間時，該 ESD 偵測電路會產生一觸發電流至該 P-STSCR 之

- 該 P 型觸發點而觸發該 P-STSCR 之該橫向 SCR，以使該橫向 SCR 進入一閉鎖狀態(latch state)，並迅速開啟該 P-STSCR，以排放 ESD 電流。
5. 22.如申請範圍第 19 項之電源線靜電放電箝制電路，其中該基底觸發矽控整流器(STSCR)係為一 N 型基底觸發矽控整流器(N-STSCR)，且該觸發點係為一 N 型觸發點(N trigger node)。
 10. 23.如申請範圍第 22 項之電源線靜電放電箝制電路，其中當一相對正的 ESD 電壓脈衝橫跨該 V_{dd} 電源線與該 V_{ss} 電源線之間時，該 ESD 偵測電路會產生一觸發電流而觸發該 N-STSCR 之該橫向 SCR，以使該橫向 SCR 進入一閉鎖狀態(latch state)，並迅速開啟該 N-STSCR，以排放 ESD 電流。
 15. 24.如申請範圍第 19 項之電源線靜電放電箝制電路另包含有複數個二極體(diodes)與該 STSCR 相串聯。
 20. 25.如申請範圍第 19 項之電源線靜電放電箝制電路，其中該基底觸發矽控整流器(STSCR)係為一雙觸發矽控整流器(double-triggered silicon controlled rectifier, DT-SCR)，且該 DT-SCR 包含有一 P 型觸發點(P trigger node)以及一 N 型觸發點(N trigger node)。
 25. 26.如申請範圍第 25 項之電源線靜電放電箝制電路，其中該 ESD 偵測電路包含有：
 - 一電阻，電連接至該 V_{dd} 電源線；
 - 一電容，電連接至該 V_{ss} 電源線；以及
 30. 35. 一第一反向器以及一第二反向器，均分別電連接至該 V_{dd} 電源線以及該 V_{ss} 電源線；
 - 其中當一 ESD 電壓脈衝橫跨該 V_{dd} 電源線與該 V_{ss} 電源線之間時，該電阻以及該電容將耦合一第一電壓於該
 - 40.

第一反向器之輸入點(input node)，以於該第一反向器之輸出點(output node)輸出一第二電壓至該 DT-SCR 之該 P 型觸發點以及該第二反向器之輸入點，並使該第二反向器之輸出點(output node)輸出一第三電壓至該 DT-SCR 之該 N 型觸發點。

27.如申請範圍第 25 項之電源線靜電放電箝制電路，其中該 ESD 偵測電路包含有：

一第一電子元件，電連接至該 V_{DD} 電源線；

一第二電子元件，電連接至該 V_{SS} 電源線；以及

一反向器，電連接至該 V_{DD} 電源線以及該 V_{SS} 電源線；

其中當一 ESD 電壓脈衝橫跨該 V_{DD} 電源線與該 V_{SS} 電源線之間時，該第一電子元件以及該第二電子元件將耦合一第一電壓至該 DT-SCR 之該 P 型觸發點以及該反向器之輸入點，並使該反向器之輸出點輸出一第二電壓至該 DT-SCR 之該 N 型觸發點。

28.如申請範圍第 27 項之電源線靜電放電箝制電路，其中該第一電子元件係為一基納二極體，且該第二電子元件係為一電阻。

29.如申請範圍第 27 項之電源線靜電放電箝制電路，其中該第一電子元件係由複數個串聯的二極體(diode string)所構成，且該第二電子元件係為一電阻。

30.如申請範圍第 25 項之電源線靜電放電箝制電路，其中該 ESD 偵測電路包含有：

一第一電子元件，電連接至該 V_{DD} 電源線；

一第二電子元件，電連接至該 V_{SS} 電源線；

一反向器，電連接至該 V_{DD} 電源線以

及該 V_{SS} 電源線；以及一 NMOS，電連接至該 V_{DD} 電源線；

其中當一 ESD 電壓脈衝橫跨該 V_{DD} 電源線以及該 V_{SS} 電源線之間時，該第一電子元件以及該第二電子元件將耦合一第一電壓至來開啟該 NMOS，以使該 NMOS 得以對該 DT-SCR 之該 P 型觸發點以及該反向器之輸入點施加一第二電壓，並使該反向器之輸出點輸出一第三電壓至該 DT-SCR 之該 N 型觸發點。

31.如申請範圍第 30 項之電源線靜電放電箝制電路，其中該第一電子元件係為一電容，且該第二電子元件係為一電阻。

32.如申請範圍第 30 項之電源線靜電放電箝制電路，其中該第一電子元件係由複數個串聯的二極體(diode string)所構成，且該第二電子元件係為一電阻。

33.如申請範圍第 19 項之電源線靜電放電箝制電路，其中該 V_{DD} 電源線以及該 V_{SS} 電源線之間另電連接有一內部電路(internal circuit)。

25. 34.一種應用於混合電壓(mixed-voltage)之間的電源線靜電放電箝制電路(power-rail ESD clamp circuit)，該電源線靜電放電箝制電路係電連接於一 V_{SS} 電源線、一第一 V_{DD} 電源線以及一第二 V_{DD} 電源線，該電源線靜電放電箝制電路包含有：

一第一 ESD 偵測電路，設於該第一 V_{DD} 電源線以及該 V_{SS} 電源線之間；至少一第一基底觸發矽控整流器(STSCR)，該第一 STSCR 包含有一第一橫向 SCR(lateral SCR)以及至少一第一觸發點(trigger node)，且該第一 STSCR 之陽極(anode)與陰極(cathode)係分別電連接至該第一 V_{DD} 電源線以及該 V_{SS} 電源線；

- 一第一串聯的二極體(diode string)，設於該第一 STSCR 以及該 V_{ss} 電源線之間；
- 一第二 ESD 偵測電路，設於該第一 V_{DD} 電源線以及該 V_{ss} 電源線之間；
- 至少一次電源線靜電放電箝制電路(sub power-rail ESD clamp circuit)，設於該第一 V_{DD} 電源線以及該第二 V_{DD} 電源線之間，該次電源線靜電放電箝制電路包含有：
- 至少一第二 STSCR，該第二 STSCR 包含有一第二橫向 SCR 以及至少一第二觸發點，且該第二 STSCR 之陽極與陰極係分別電連接至該第一 V_{DD} 電源線以及該第二 V_{DD} 電源線；
- 一第二串聯的二極體，設於該第二 STSCR 以及該第二 V_{DD} 電源線之間；以及
- 一第三串聯的二極體，設於該第一 V_{DD} 電源線以及該第二 V_{DD} 電源線之間；
- 一第三 ESD 偵測電路，設於該第二 V_{DD} 電源線以及該 V_{ss} 電源線之間；
- 至少一第三 STSCR，該第三 STSCR 包含有一第三橫向 SCR 以及至少一第三觸發點，且該第三 STSCR 之陽極與陰極係分別電連接至該第二 V_{DD} 電源線以及該 V_{ss} 電源線；以及
- 一第四串聯的二極體，設於該第三 STSCR 以及該 V_{ss} 電源線之間。
35. 如申請範圍第 34 項之電源線靜電放電箝制電路，其中各該基底觸發矽控整流器(STSCR)係為一 P 型基底觸發矽控整流器(P-STSCR)，且各該觸發點係為一 P 型觸發點(P trigger node)。
36. 如申請範圍第 34 項之電源線靜電放電箝制電路，其中各該基底觸發矽控整流器(STSCR)係為一 N 型基底觸發矽控整流器(N-STSCR)，且各該觸

- 發點係為一 N 型觸發點(N trigger node)。
37. 如申請範圍第 34 項之電源線靜電放電箝制電路，其中該第一 V_{DD} 電源線以及該第二 V_{DD} 電源線之間另包含有複數個 V_{DD} 電源線，且各該 V_{DD} 電源線間均設有一相對應之次電源線靜電放電箝制電路。
38. 一種應用於分離電源線(separated power rails)之間的靜電放電電連接(ESD-connection)電路，該分離電源線係由一第一 V_{ss} 電源線、一第一 V_{DD} 電源線、一第二 V_{ss} 電源線以及一第二 V_{DD} 電源線所構成，該第一 V_{DD} 電源線與該第一 V_{ss} 電源線之間設有一第一核心電路(core circuits)，而該第二 V_{DD} 電源線與該第二 V_{ss} 電源線之間設有一第二核心電路，該靜電放電電連接電路包含有：
- 一第一 ESD 偵測電路，設於該第一 V_{DD} 電源線以及該第一 V_{ss} 電源線之間；
- 一第二 ESD 偵測電路，設於第二 V_{DD} 電源線以及該第二 V_{ss} 電源線之間；
- 一第一靜電放電防護電路，設於該第一 V_{DD} 電源線以及該第二 V_{DD} 電源線之間，該第一靜電放電防護電路包含有：
- 一第一串聯 STSCR 組，該第一串聯 STSCR 組至少包含有一個或一個以上的 STSCR，且每一 STSCR 均包含有一橫向 SCR(lateral SCR)以及至少一觸發點(trigger node)，且該第一串聯 STSCR 組之陽極(anode)、陰極(cathode)與各該觸發點係分別電連接至該第一 V_{DD} 電源線、該第二 V_{DD} 電源線以及該第一 ESD 偵測電路；以及
- 一第二串聯 STSCR 組，該第二串聯 STSCR 組至少包含有一個或一個以

上的STSCR，且每一STSCR均包含有一橫向SCR(lateral SCR)以及至少一觸發點(trigger node)，且該第二串聯STSCR組之陽極(anode)、陰極(cathode)與各該觸發點係分別電連接至該第二 V_{DD} 電源線、該第一 V_{DD} 電源線以及該第二ESD偵測電路；

一第二靜電放電防護電路，設於該第一 V_{SS} 電源線以及該第二 V_{SS} 電源線之間，該第二靜電放電防護電路包含有：

一第三串聯STSCR組，該第三串聯STSCR組至少包含有一個或一個以上的STSCR，且每一STSCR均包含有一橫向SCR(lateral SCR)以及至少一觸發點(trigger node)，且該第三串聯STSCR組之陽極、陰極與各該觸發點係分別電連接至該第二 V_{SS} 電源線、該第一 V_{SS} 電源線以及該第二ESD偵測電路；以及

一第四串聯STSCR組，該第四串聯STSCR組至少包含有一個或一個以上的STSCR，且每一STSCR均包含有一橫向SCR(lateral SCR)以及至少一觸發點(trigger node)，且該第四串聯STSCR組之陽極、陰極與各該觸發點係分別電連接至該第一 V_{SS} 電源線、該第二 V_{SS} 電源線以及該第一ESD偵測電路。

39.如申請範圍第38項之靜電放電電連接電路，其中各該STSCR係為一P-STSCR，且各該觸發點係為一P型觸發點(P trigger node)。

40.如申請範圍第38項之靜電放電電連接電路，其中各該STSCR係為一N-STSCR，且各該觸發點係為一N型觸發點(N trigger node)。

41.如申請範圍第38項之靜電放電電連接電路，其中設於該第一靜電放電防護電路中之各該STSCR均係為一

N-STSCR，且各該觸發點係為一N型觸發點(N trigger node)。

42.如申請範圍第38項之靜電放電電連接電路，其中設於該第二靜電放電防護電路中之各該STSCR均係為一P-STSCR，且各該觸發點係為一P型觸發點(P trigger node)。

43.如申請範圍第38項之靜電放電電連接電路，其中各該串聯STSCR組均另包含有至少一二極體。

圖式簡單說明：

圖一為習知LSCR元件應用於輸入ESD防護電路之示意圖。

圖二為習知MLSCR元件應用於輸入ESD防護電路之示意圖。

圖三為習知LVTSCR元件應用於輸出ESD防護電路之示意圖。

圖四為習知閘極耦合之LVTSCR元件應用於輸入/輸出(I/O)ESD防護電路之示意圖。

圖五為本發明應用P-STSCR元件於輸入/輸出ESD防護電路之基本概念示意圖。

圖六為本發明應用P-STSCR元件於輸入/輸出ESD防護電路之示意圖。

圖七為本發明應用P-STSCR元件於輸入/輸出ESD防護電路之修飾型設計的示意圖。

圖八為本發明應用P-STSCR元件與N-STSCR元件於輸入/輸出ESD防護電路基本概念示意圖。

圖九為本發明應用P-STSCR元件與N-STSCR元件於輸入/輸出ESD防護電路之示意圖。

圖十為本發明應用P-STSCR元件與N-STSCR元件於輸入/輸出ESD防護電路之修飾型設計的示意圖。

圖十一為本發明應用P-STSCR元件與N-STSCR元件於輸入/輸出ESD防護電路之修飾型設計的示意圖。

圖十二為本發明應用 P-STSCR 元件與 N-STSCR 元件於輸入 / 輸出 ESD 防護電路之修飾型設計的示意圖。

圖十三為本發明應用 P-STSCR 元件與 N-STSCR 元件於輸入 / 輸出 ESD 防護電路之示意圖。

圖十四為本發明應用 P-STSCR 元件與 N-STSCR 元件於輸入 / 輸出 ESD 防護電路之示意圖。

圖十五為本發明第二實施例中應用堆疊 P-STSCR 元件與堆疊 N-STSCR 元件於 ESD 防護電路之基本概念示意圖。

圖十六為本發明第二實施例中應用 P-STSCR 元件，N-STSCR 元件，與堆疊二極體於輸入 / 輸出 ESD 防護電路之基本概念示意圖。

圖十七為本發明第二實施例應用堆疊二極體以及堆疊 STSCR 元件於輸入 / 輸出 ESD 防護電路之示意圖。

圖十八為本發明第三實施例應用堆疊二極體與 N-STSCR 元件為電源線間之 ESD 箝制電路之示意圖。

圖十九為本發明第三實施例應用堆疊二極體與 P-STSCR 元件為電源線間之 ESD 箝制電路之示意圖。

圖二十為本發明第三實施例應用堆疊 P-STSCR 元件於電源線間之 ESD 箝制電路之示意圖。

圖二十一為本發明第三實施例應用堆疊 N-STSCR 元件於電源線 ESD 箝制電路之示意圖。

圖二十二為本發明第三實施例應用堆疊 P-STSCR 元件與堆疊 N-STSCR 元件於電源線 ESD 箝制電路之示意圖。

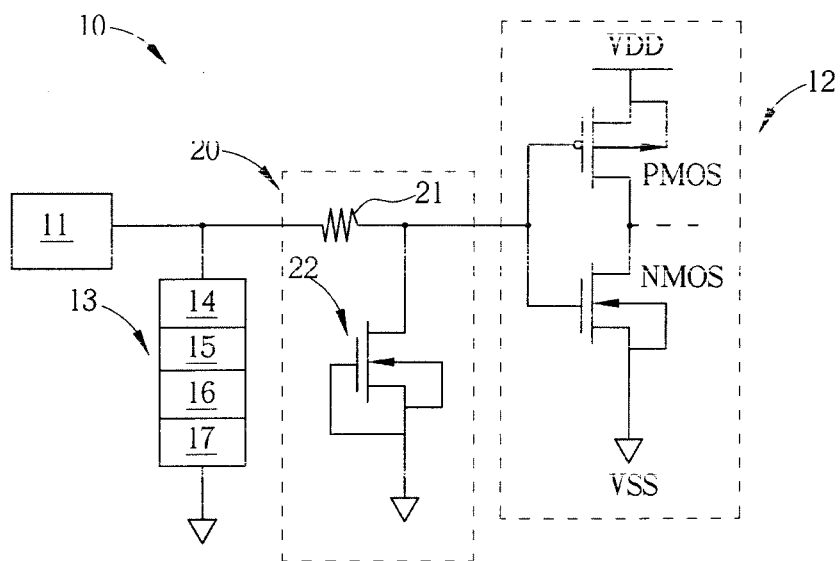
圖二十三為本發明第三實施例應用堆疊 P-STSCR 元件與堆疊 N-STSCR 元件與二極體之結合設計於電源線 ESD 箝制電路之示意圖。

圖二十四為本發明第三實施例應用雙觸發 SCR 元件(DT_SCR)於電源線 ESD 箝制電路之示意圖。

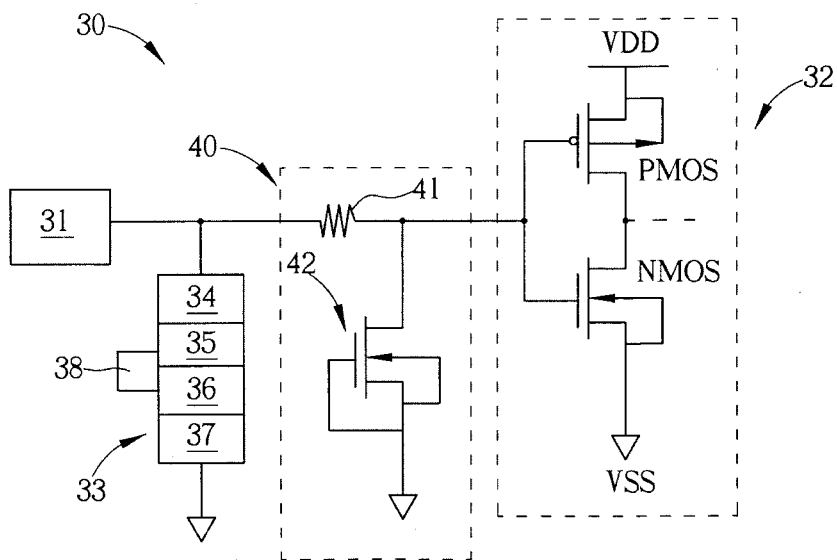
圖二十五為本發明第三實施例應用 DT_SCR 元件與二極體於電源線 ESD 箝制電路之示意圖。

圖二十六至圖三十為本發明中用來控制電源線間之堆疊結構元件的開啟或關閉的 ESD 偵測電路之示意圖。

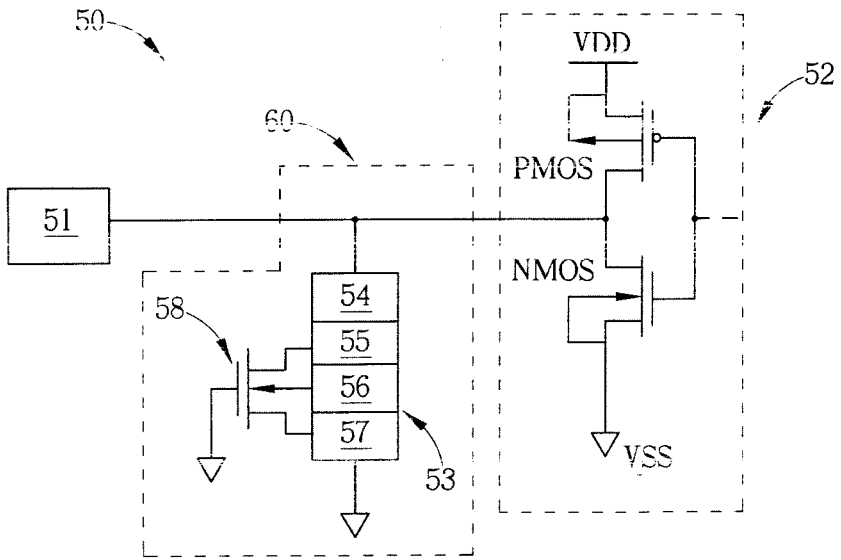
圖三十一至圖三十五為本發明應用在具有不同電源供應之電源線 ESD 箝制電路之示意圖。



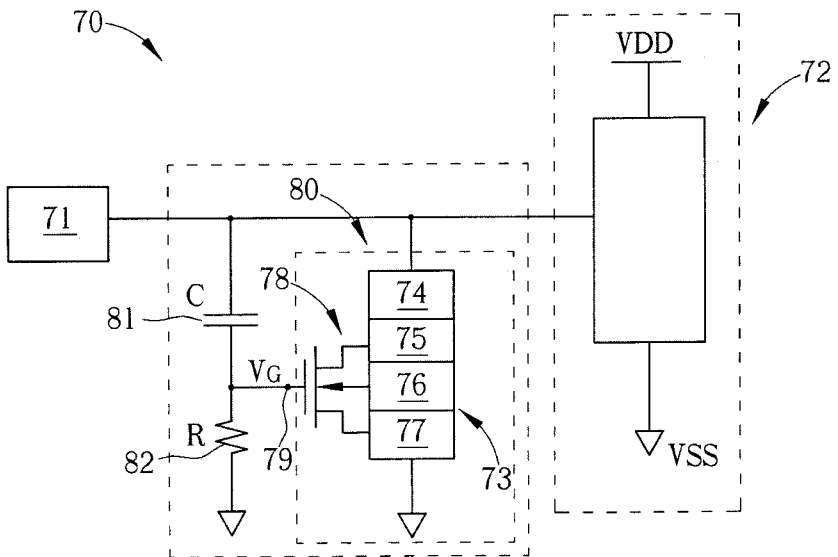
圖一



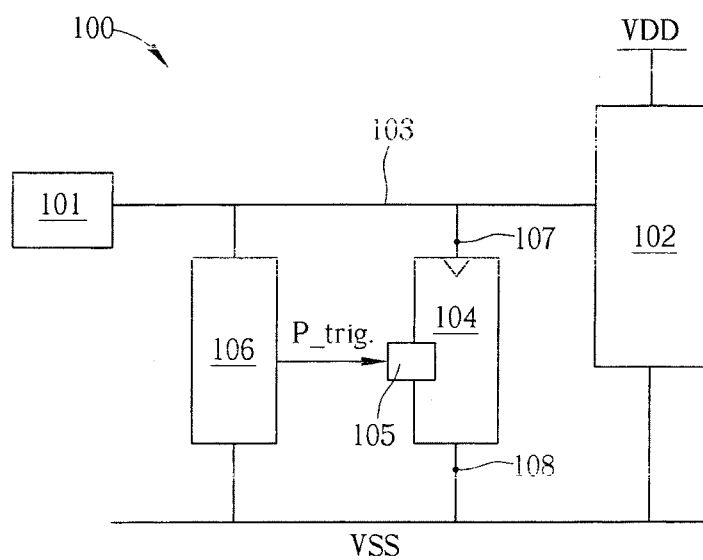
圖二



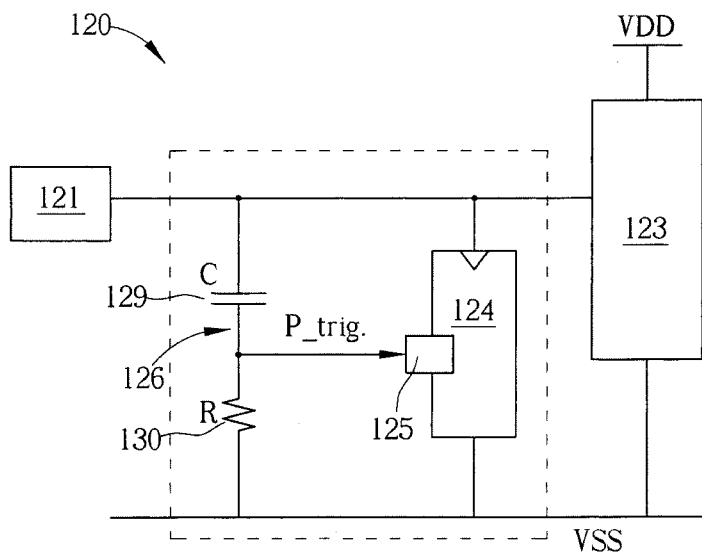
圖三



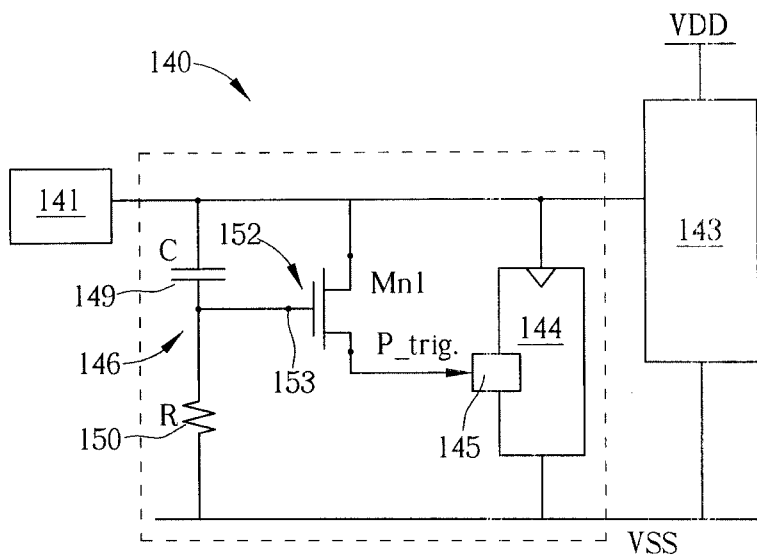
圖四



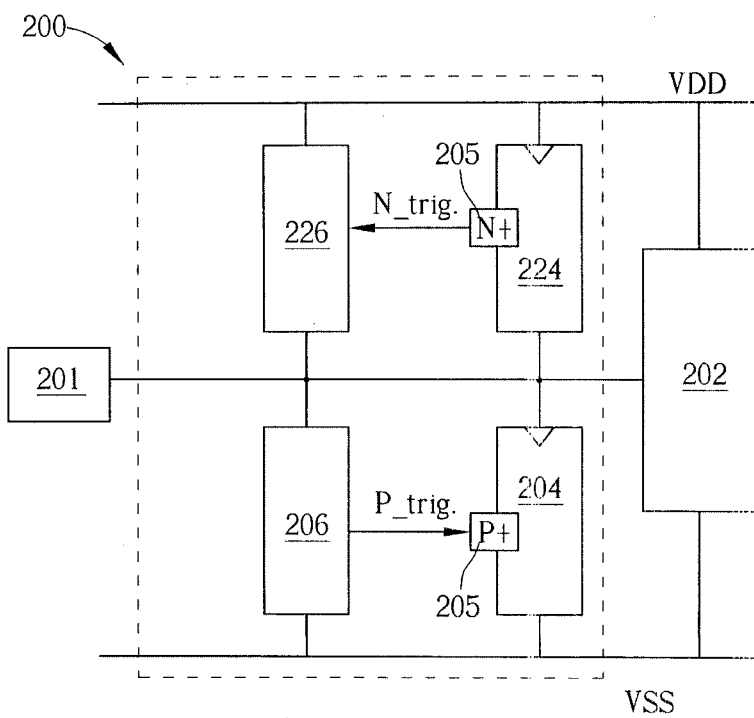
圖五



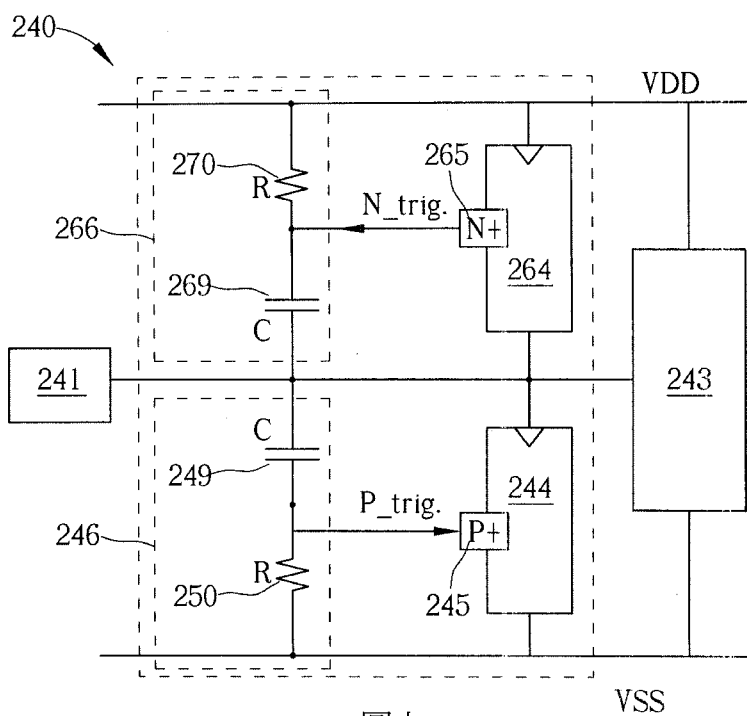
圖六



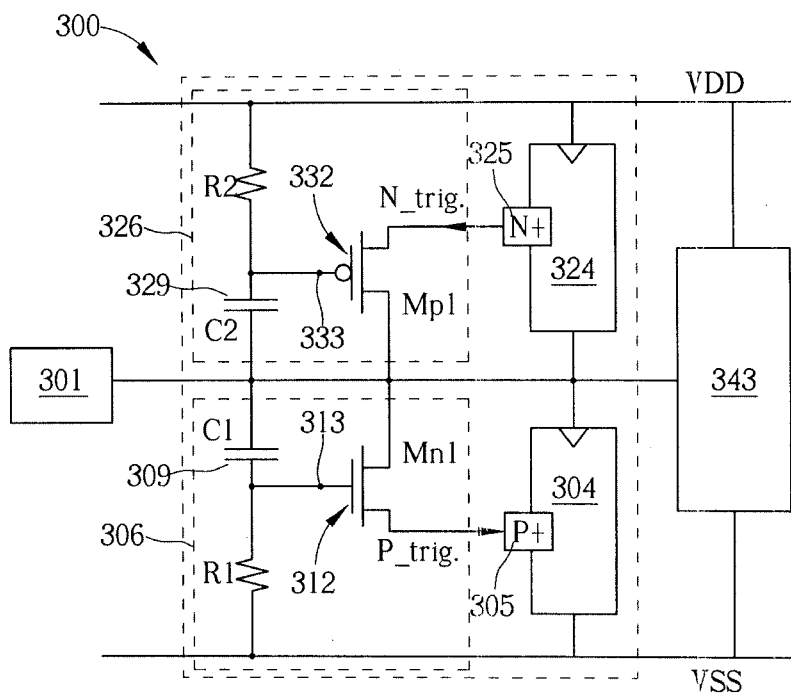
圖七



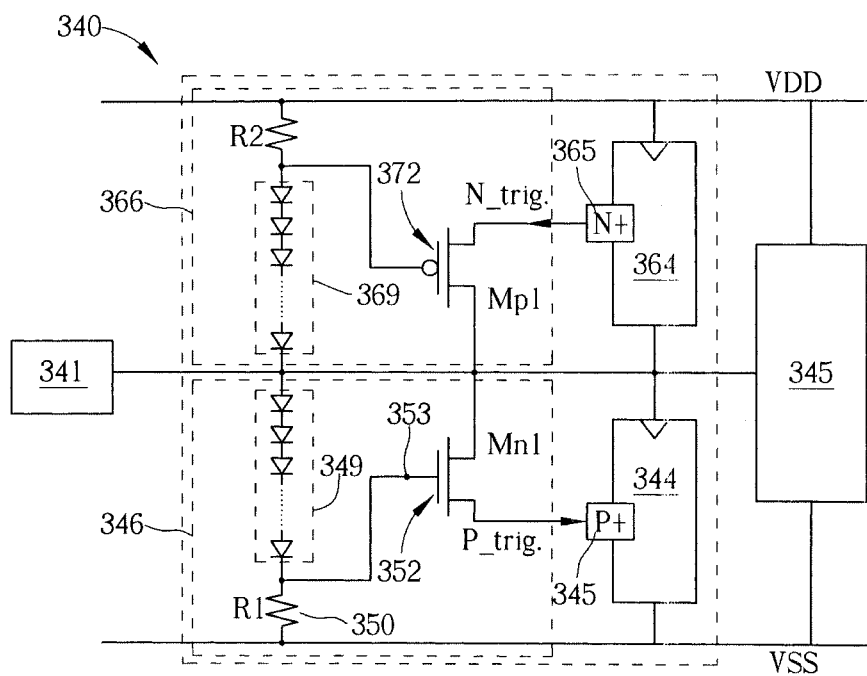
圖八



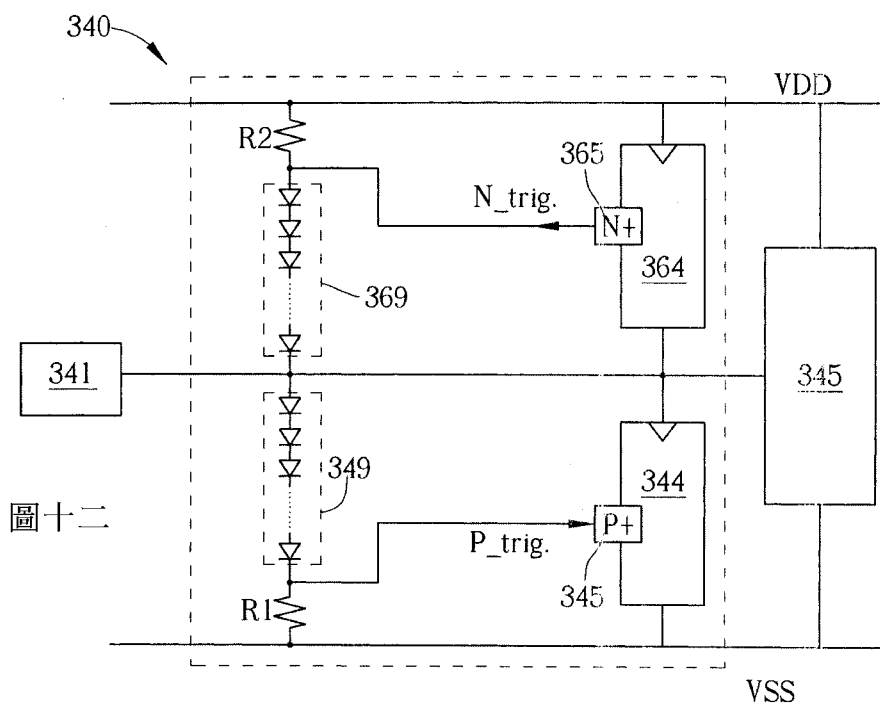
圖九



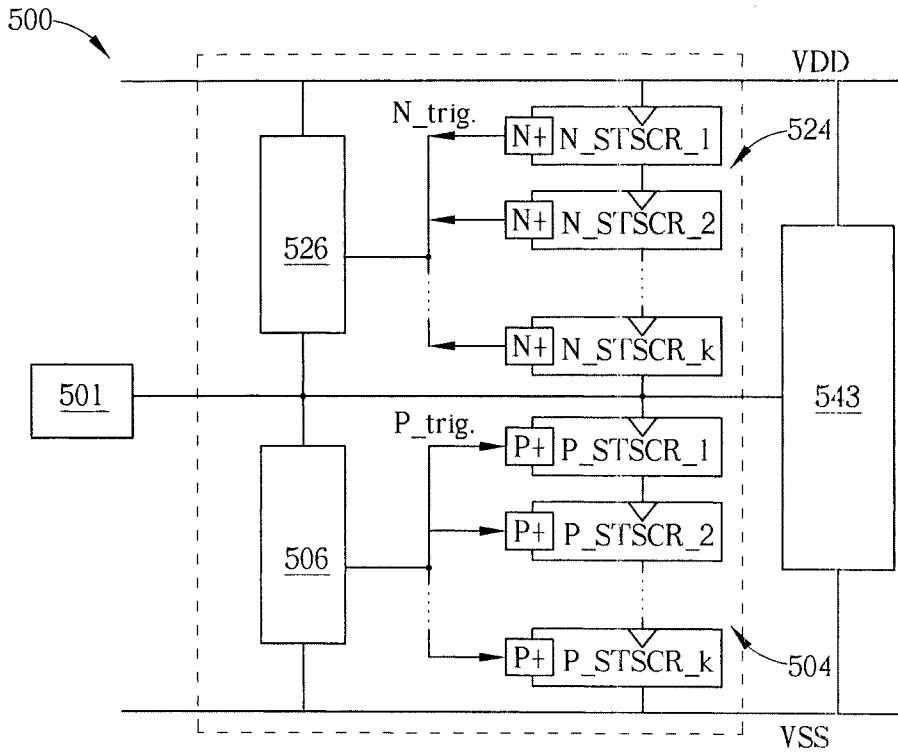
圖十



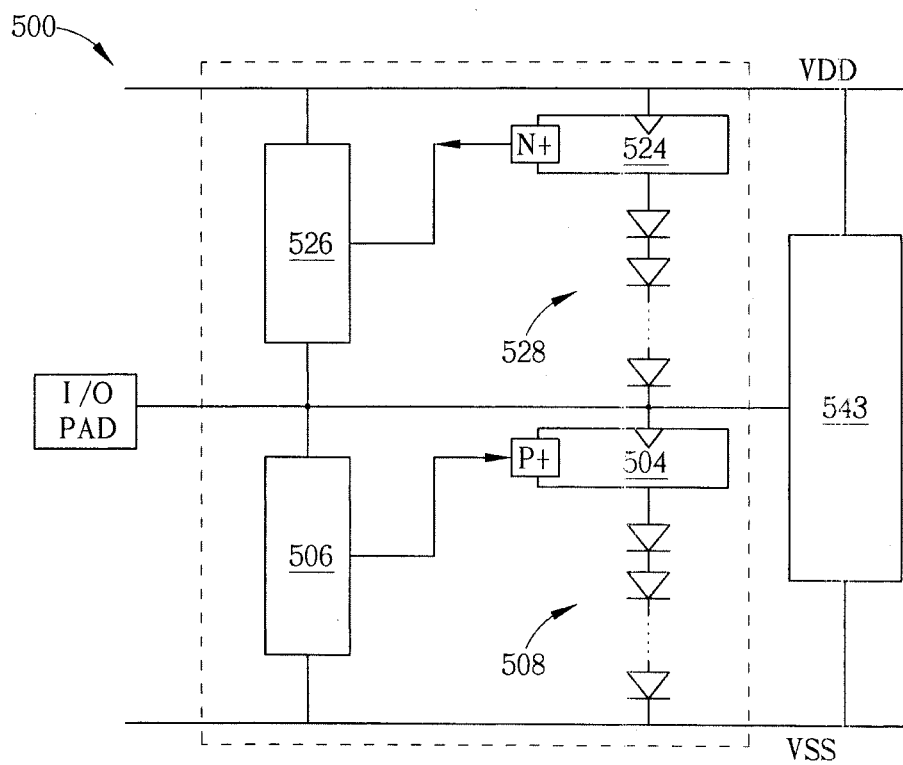
圖十一



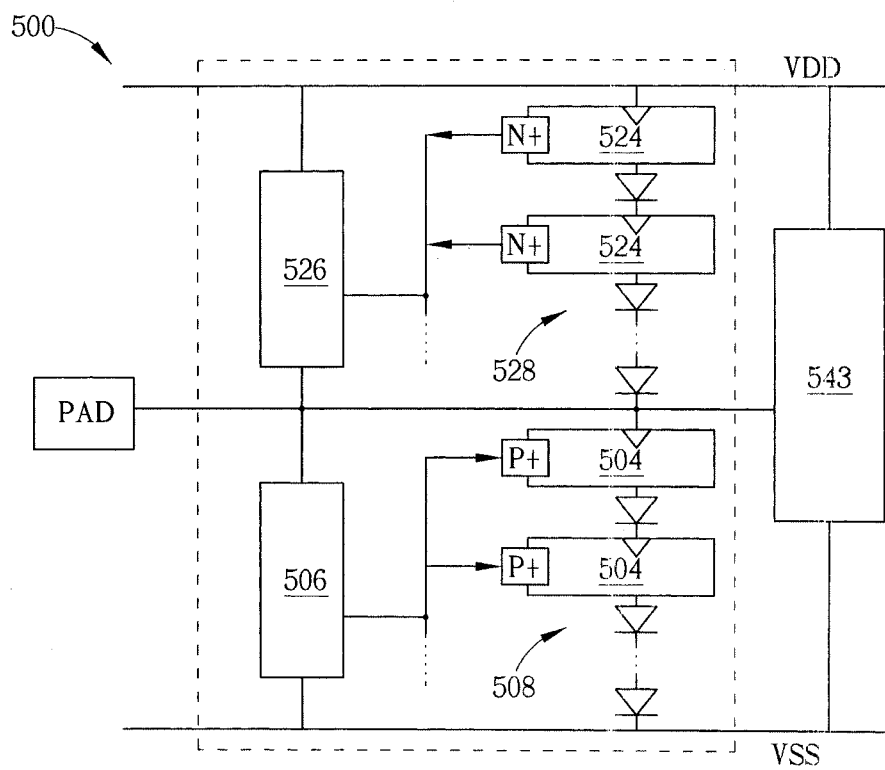
圖十二



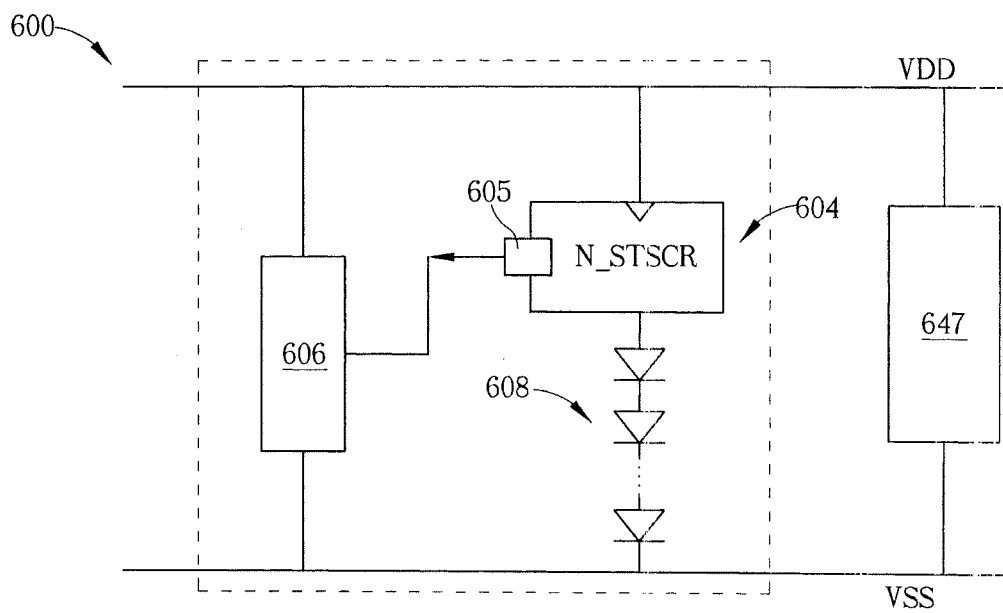
圖十五



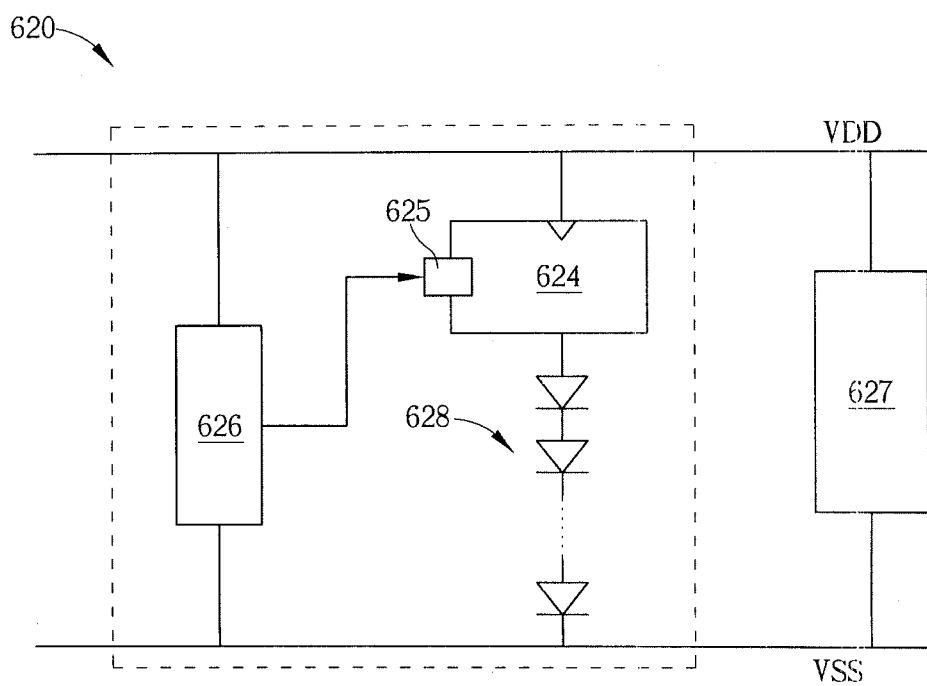
圖十六



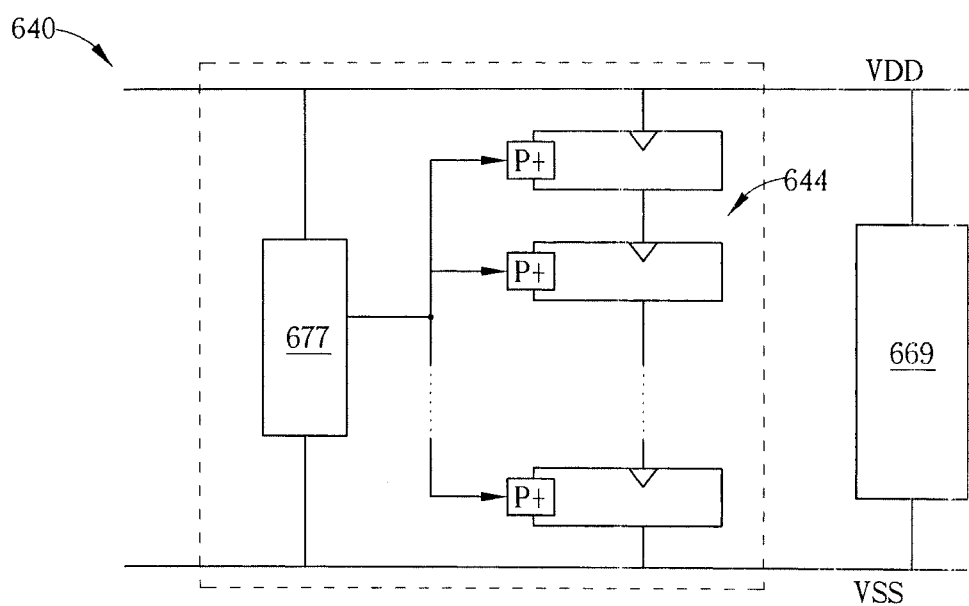
圖十七



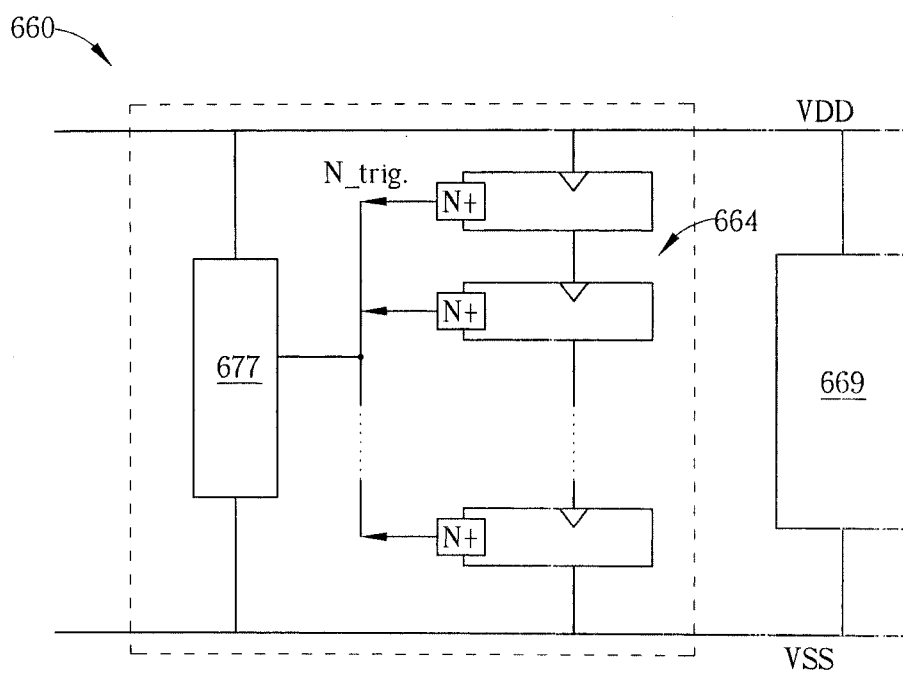
圖十八



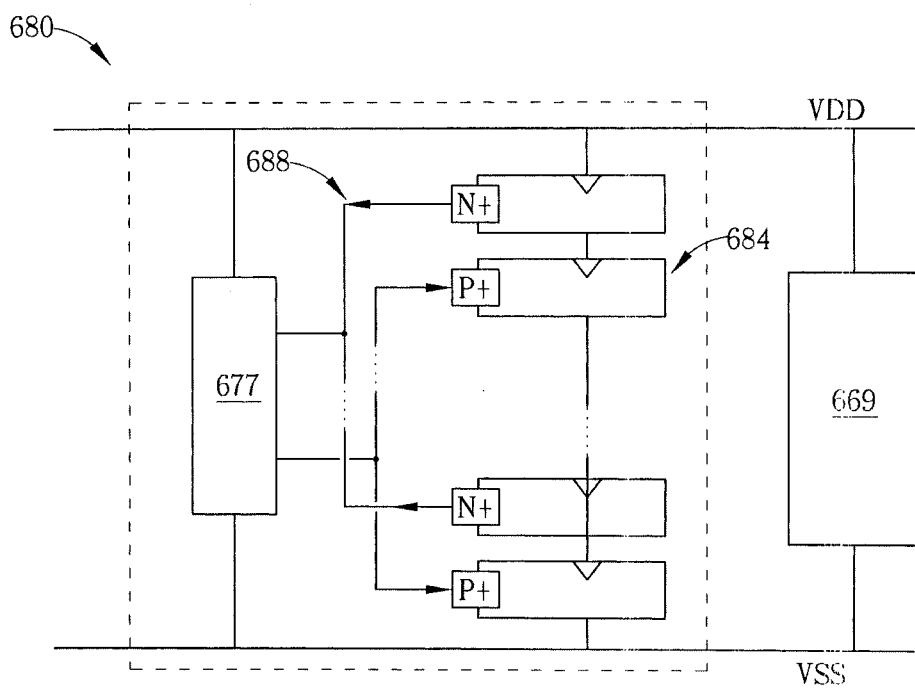
圖十九



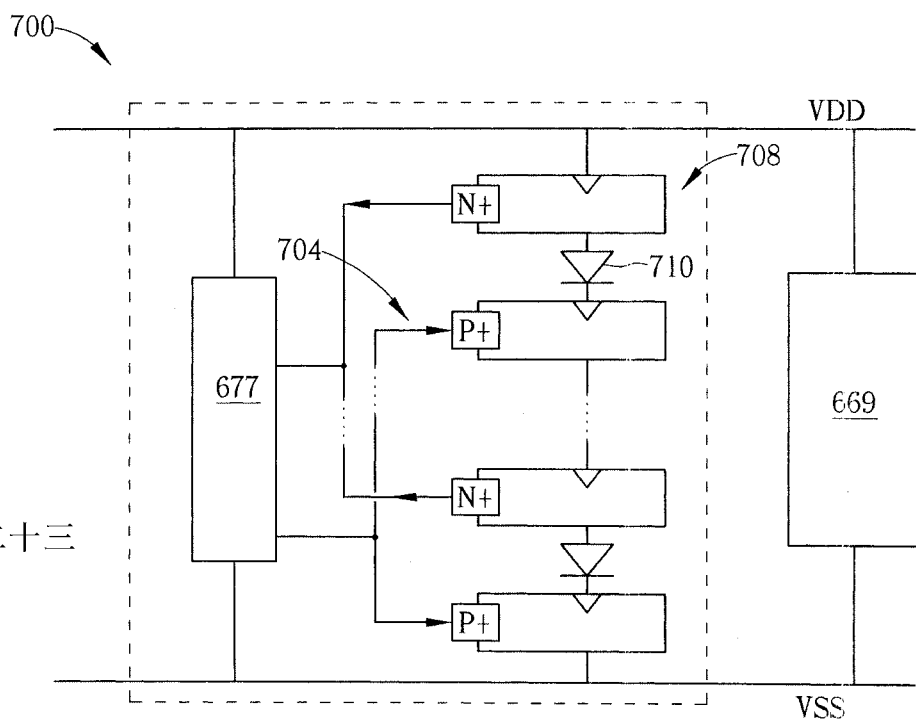
圖二十



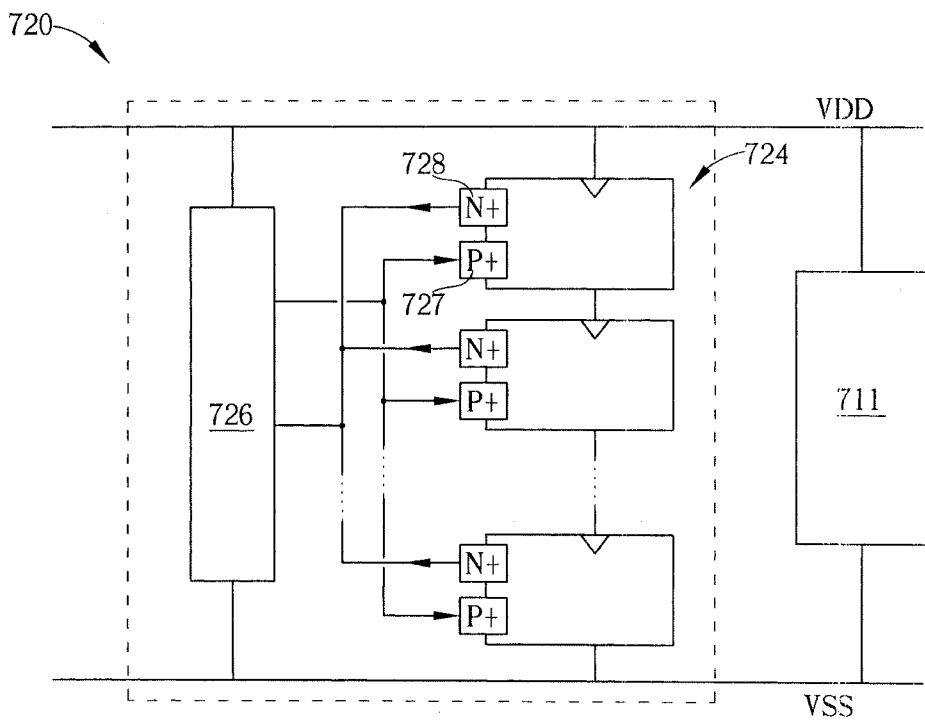
圖二十一



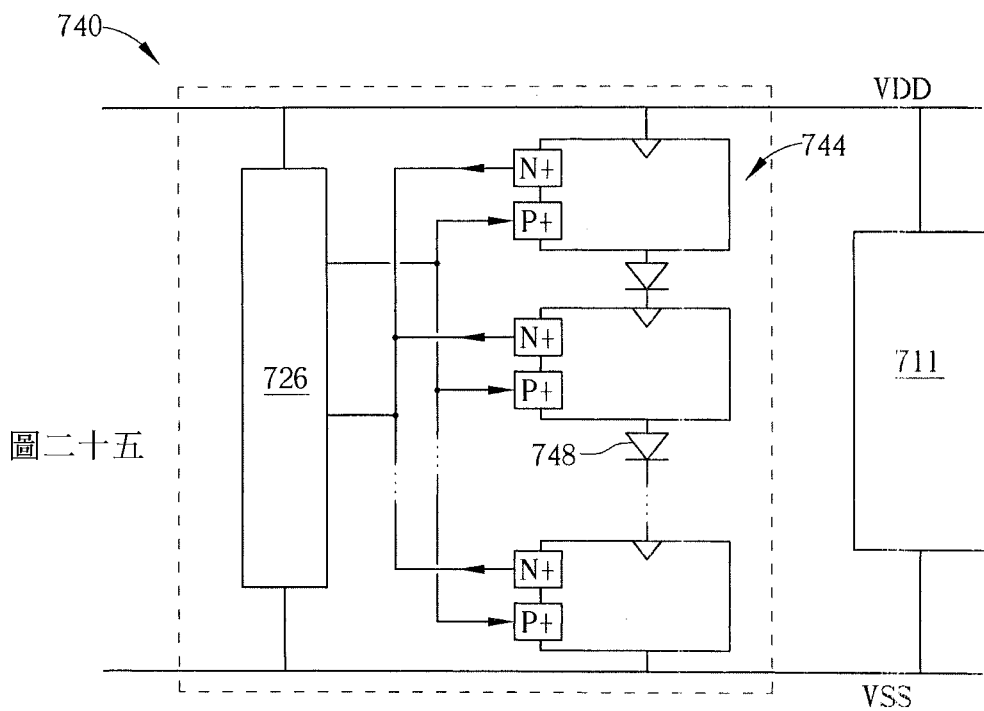
圖二十二



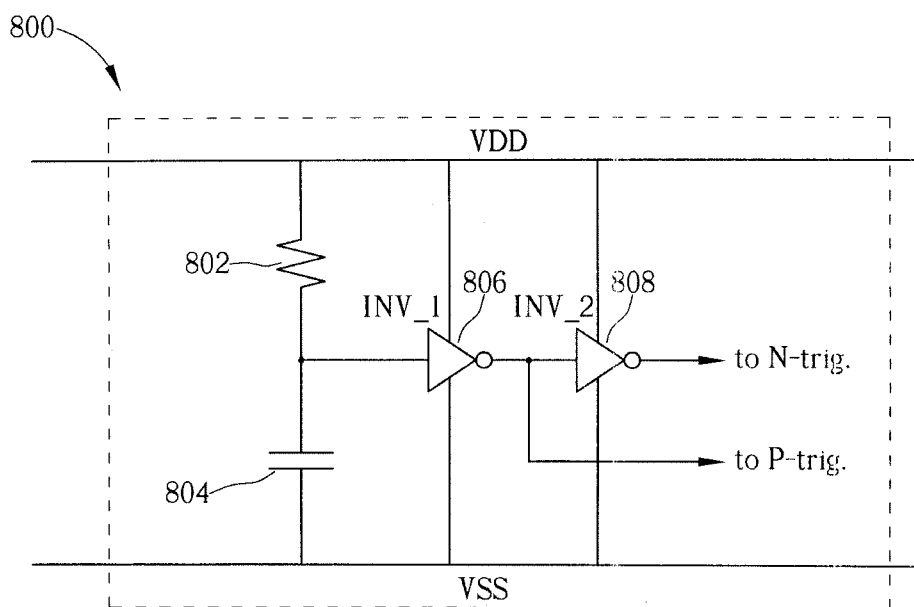
圖二十三



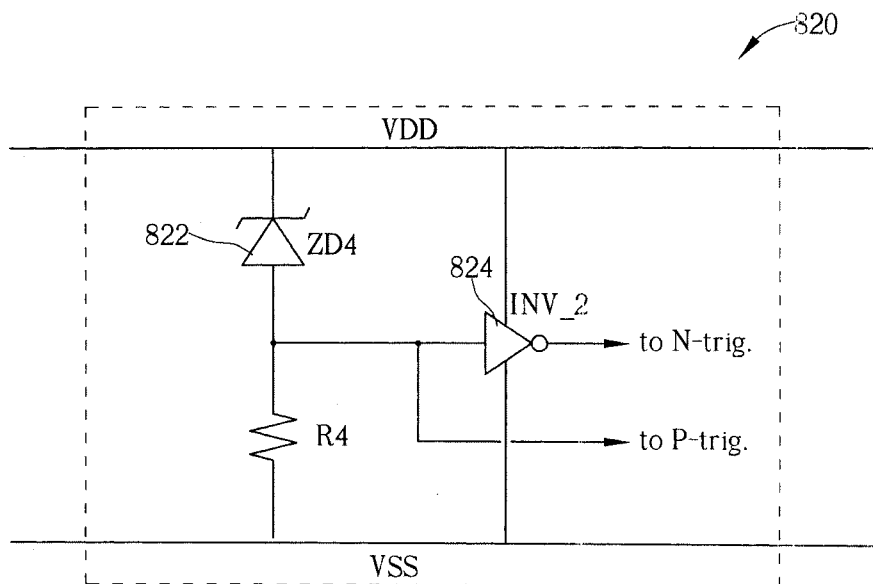
圖二十四



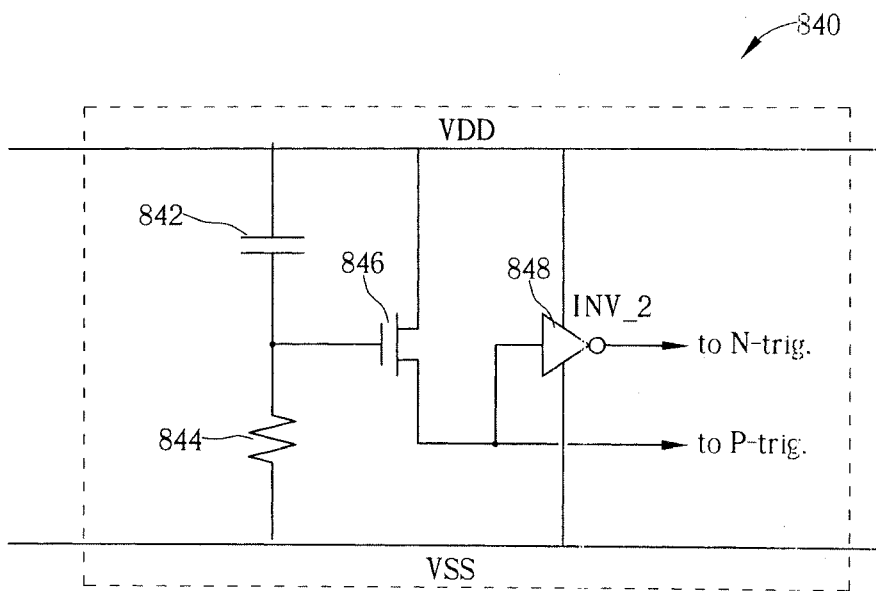
圖二十五



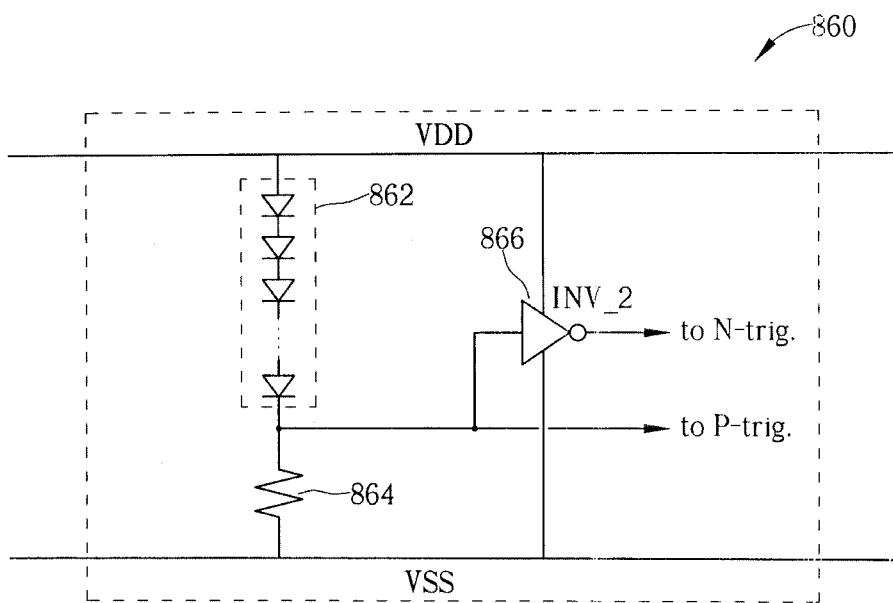
圖二十六



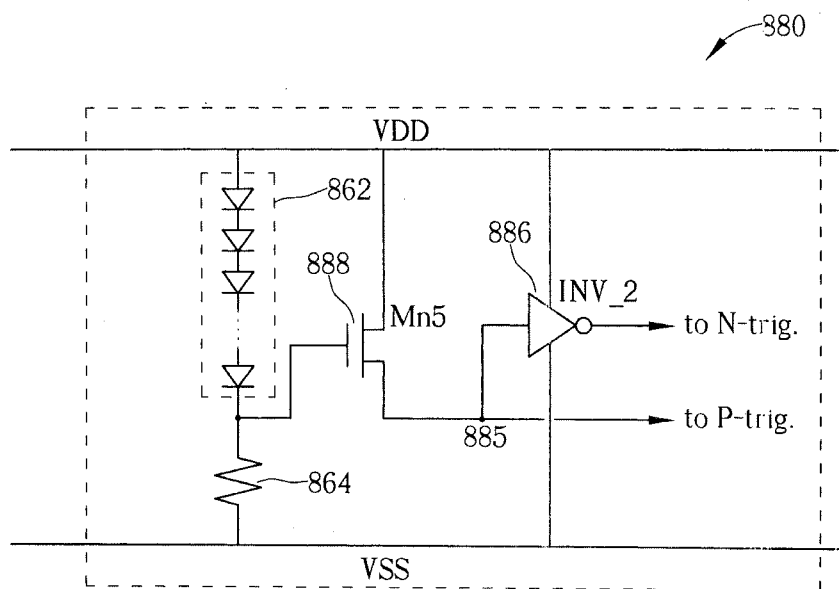
圖二十七



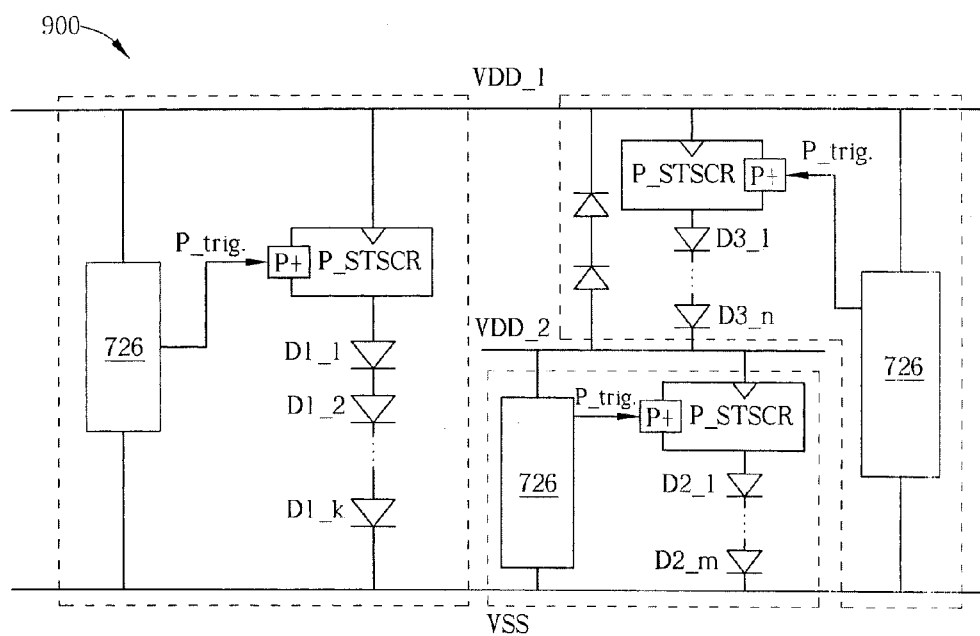
圖二十八



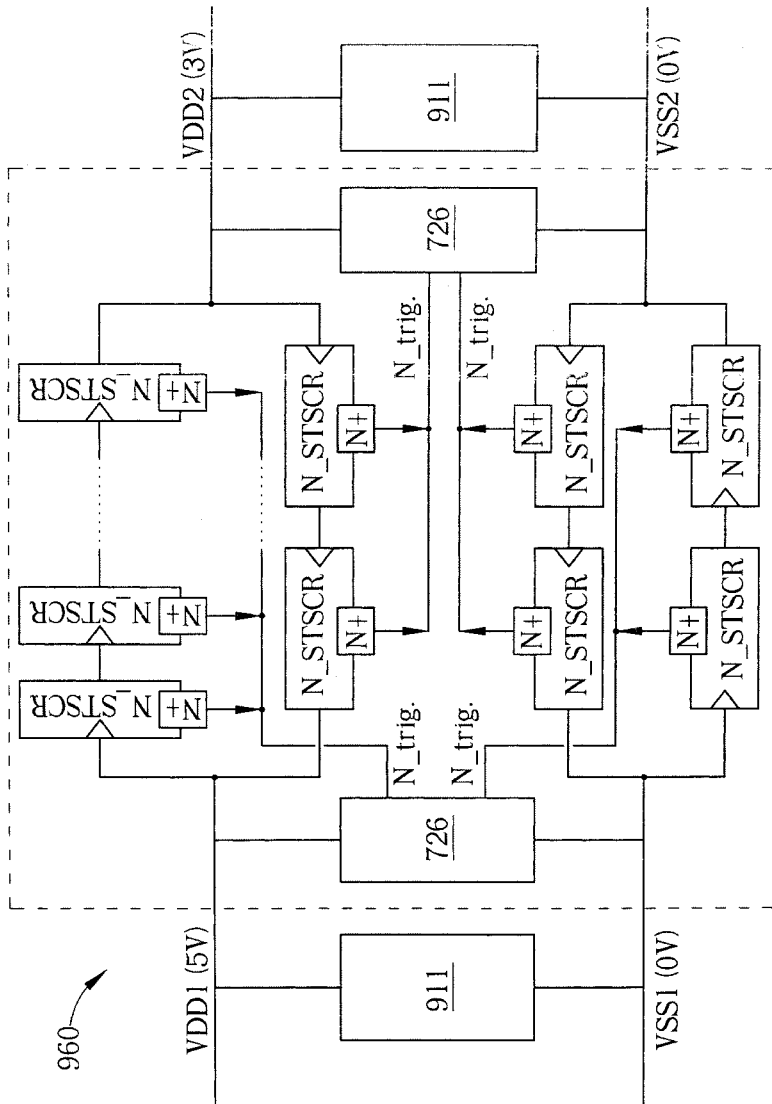
圖二十九



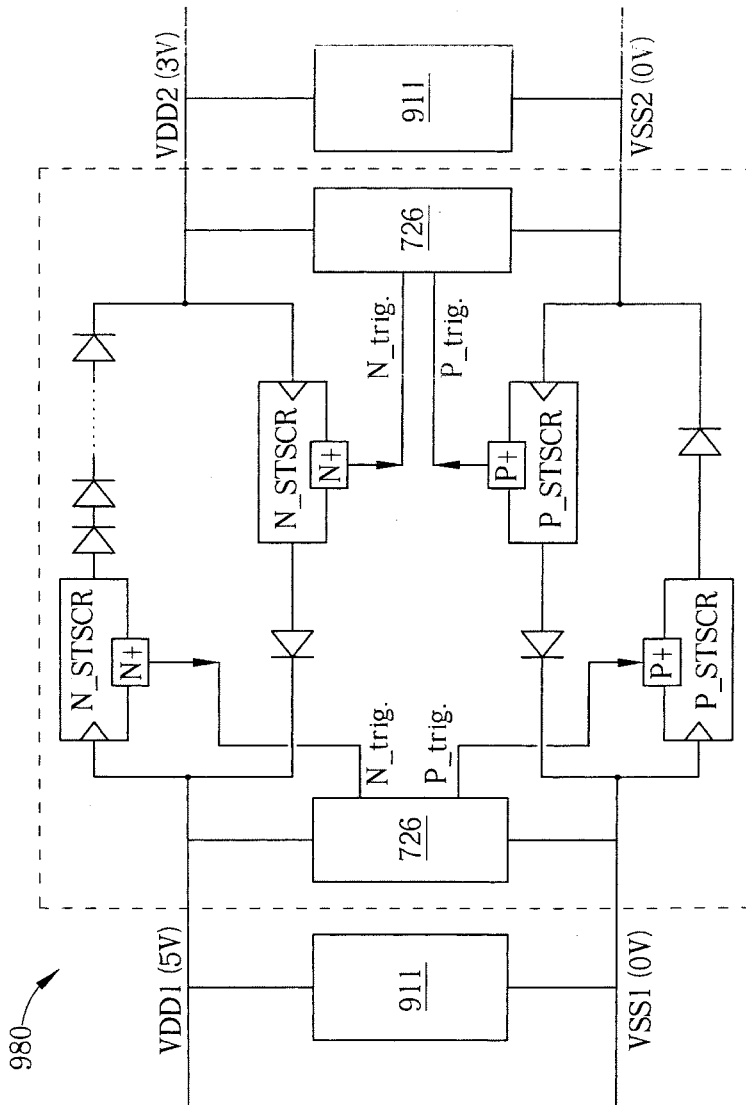
圖三十



圖三十一



圖三十四



圖三十五