中華民國專利公報 [19] [12]

[11]公告編號：510040
[44]中華民國 91年 (2002) 11月11日
發明 全17頁

[51] Int.Cl 07： H01L23/60

[54]名 稱： 利用基體觸發之高低壓輸出入電路之靜電放電防護電路

[21]申請案號： 090125932 [22]申請日期： 中華民國 90年 (2001) 10月19日

[72]發 明 人：
柯明道 新竹市高峰里寶山路二〇〇巷三號四樓之三
莊健暉 台北縣新店市安和路三段五十五巷六號二樓
[71]申 請 人：
台灣積體電路製造股份有限公司 新竹科學工業園區園區三路一二一號
[74]代 理 人： 洪澄文 先生

1

2

[57]申請專利範圍：

1.一種靜電放電(electrostatic discharge，ESD)防護電路，適用於一高低壓(mixed voltage)積體整合電路(integrated circuit，IC)，包含有：

至少一串接(cascode)電晶體對(transistor pair)，每一對包含有：

一第一NMOS(N-type metal oxide semiconductor)電晶體，設於一P型半導體層上，具有一閘極區、一汲極區以及一源極區，該汲極區耦合至該高低壓IC之一接合銲墊，該閘極區耦合至該高低壓IC之一低電源(low power supply)；以及

一第二NMOS電晶體，設於該P型半導體層上，具有一閘極區、一汲極區以及一源極區，該源極區耦合至該高低壓IC之一接地線(ground plane)；

其中該第一NMOS電晶體之源極區耦合至第二NMOS電晶體之汲極區，該第一NMOS電晶體之汲極區、該P型半導體層以及該第二NMOS電晶體之源極區分別構成一寄生之NPN雙極性接面電晶體(bipolar junction transistor，BJT)之一集極、一基極以及一射極；以及

一觸發電流產生電路，於一ESD事件時，用以提供一觸發電流與該基極，以觸發該寄生之NPN雙極性接面電晶體，並釋放ESD電流，於正常操作時，則關閉該NPN雙極性接面電晶體。

2.如申請專利範圍第1項之ESD防護電路，其中，該觸發電流產生電路包含有：

一電流產生器，具有一電流輸入端，於該ESD事件時，耦接至該接合銲墊，以及一電流輸出端，耦接至該寄生之NPN雙極性接面電晶體之基極；以及

一 ESD 偵測器，當偵測到該 ESD 事件時，用以開啟該電流產生器，以觸發該寄生之 NPN 雙極性接面電晶體。

3.如申請專利範圍第2項之ESD防護電路，其中，該電流產生器包含有：

一第三 NMOS 電晶體，具有一汲極，作為該電流輸入端，一汲極，以及一源極；以及

一第一 PMOS 電晶體，具有一源極，耦合至該第三 NMOS 電晶體之源極，一汲極，作為該電流輸出端，以及一閘極。

4.如申請專利範圍第2項之ESD防護電路，其中，該 ESD 偵測器包含有：

一電容，耦接於該接合銲墊與該第三NMOS 電晶體的閘極之間；

一限壓器，由該低電源順向串接至該第三NMOS 電晶體之閘極；

一第二 PMOS 電晶體，具有一閘極，耦合至該第一 PMOS 電晶體之閘極，一源極，耦合至該第三 NMOS 電晶體之閘極，以及一汲極；

一第一電阻，耦接於該低電源與該第一 PMOS 電晶體之閘極之間；以及

一第二電阻，耦接於該第二 PMOS 電晶體之汲極與該接地線之間。

5.如申請專利範圍第2項之ESD防護電路，其中，該 ESD 偵測器具有一偵測端，於該 ESD 事件時，耦合至該接合銲墊。

6.如申請專利範圍第5項之ESD防護電路，其中，該偵測端與該電流輸入端均直接耦合至該接合銲墊。

7.如申請專利範圍第5項之ESD防護電路，其中，該 ESD 防護電路另包含有一上拉(pull-up)PMOS 電晶體，串接於該低電源與該接合銲墊之間，

具有一浮動N型井(floating N-well)。

8.如申請專利範圍第7項之ESD防護電路，其中，該偵測端直接耦合至該接合銲墊，該電流輸入端直接耦合至該浮動 N 型井。

9.如申請專利範圍第7項之ESD防護電路，其中，該偵測端直接耦合至該浮動 N 型井，該電流輸入端直接耦合至該接合銲墊。

10.如申請專利範圍第 2 項之 ESD 防護電路，其中，該電流產生器包含有一第三 NMOS 電晶體與一第四 NMOS 電晶體，堆疊於該接合銲墊與該接地線之間；該 ESD 偵測器包含有：

一第一 RC 耦合電路，耦合於該接合銲墊與該低電源之間，具有一第一觸發端，耦接至該第三 NMOS 電晶體之閘極；以及

一第二 RC 耦合電路，耦合於該接合銲墊與該接地線之間，具有一第二觸發端，耦接至該第四 NMOS 電晶體之閘極。

11.如申請專利範圍第 1 項之 ESD 防護電路，其中，該 ESD 防護電路另包含有一電源線間箝制電路，耦接於該低電源以及該接地線之間，用以箝制該低電源與該接地線之間的跨壓。

圖式簡單說明：

第 1 圖為一種習知的高低壓輸出入埠之輸出埠電路；

第 2 圖為本發明之 ESD 防護電路的示意圖；

第3圖為第2圖中的串接NMOS電晶體對的元件剖面示意圖；

第 4 圖為本發明之 ESD 防護電路中寄生在堆疊式 NMOS 電晶體對中的 NPN BJT 之電壓電流圖；

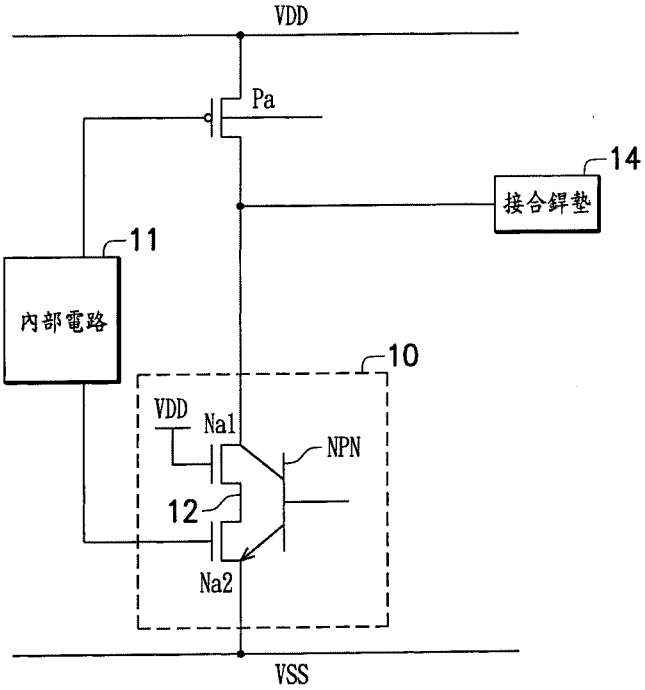
第 5 圖表示了一種，以 0.25 微米

之 CMOS(complementary MOS)製程製作的，堆疊式 NMOS 電晶體的人體放電模式(human body mode ， HBM)之 ESD 防護效能比較圖；

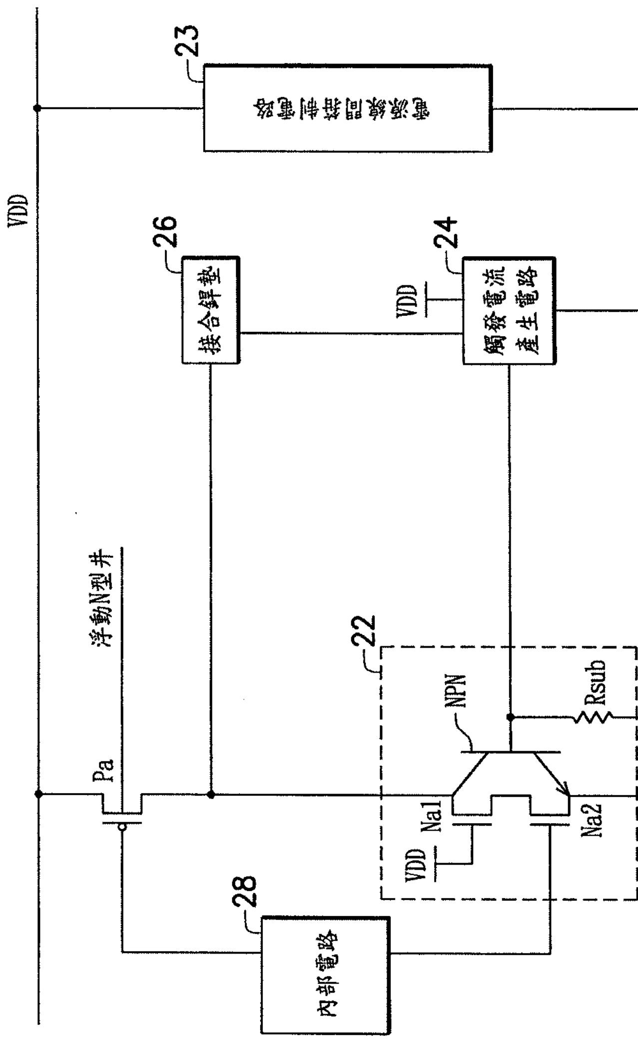
第 6 圖為運用基體觸發技術之 ESD 防護電路的一電路示意圖；

第7圖至第10圖為第6圖中之ESD 防護電路分別於四種 ESD 事件時的放電路徑示意圖；以及

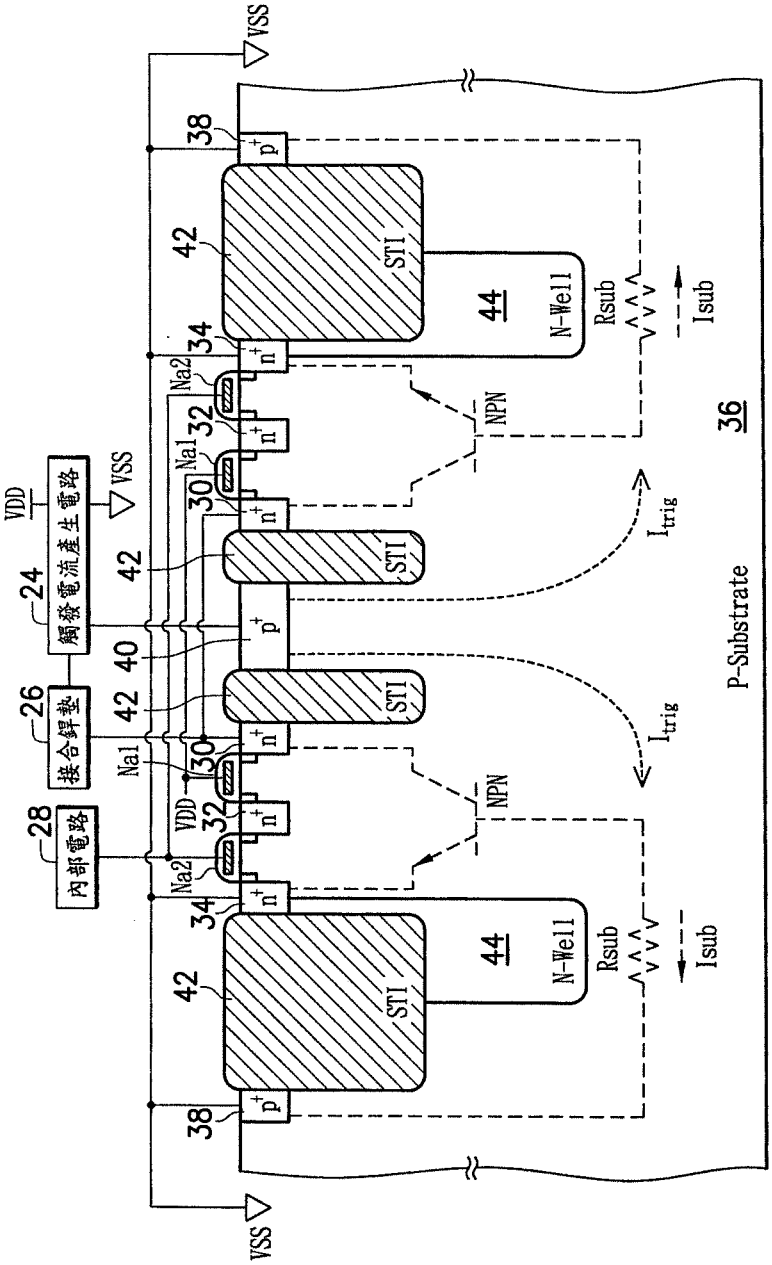
第11圖至第15圖為第二至第六實施例的電路示意圖。



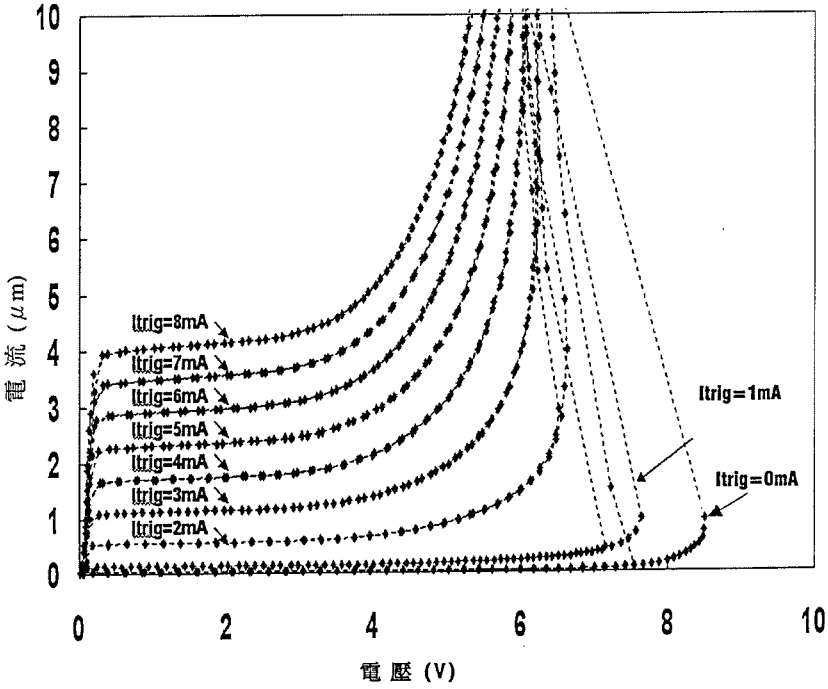
第 1 圖


VDD
VSS
23
電源線間箝制電路
26
接合銲墊
24
VDD
觸發電流產生電路
浮動N型井
Pa
22
NPN
Rsub
Na1
Na2
VDD
28
內部電路

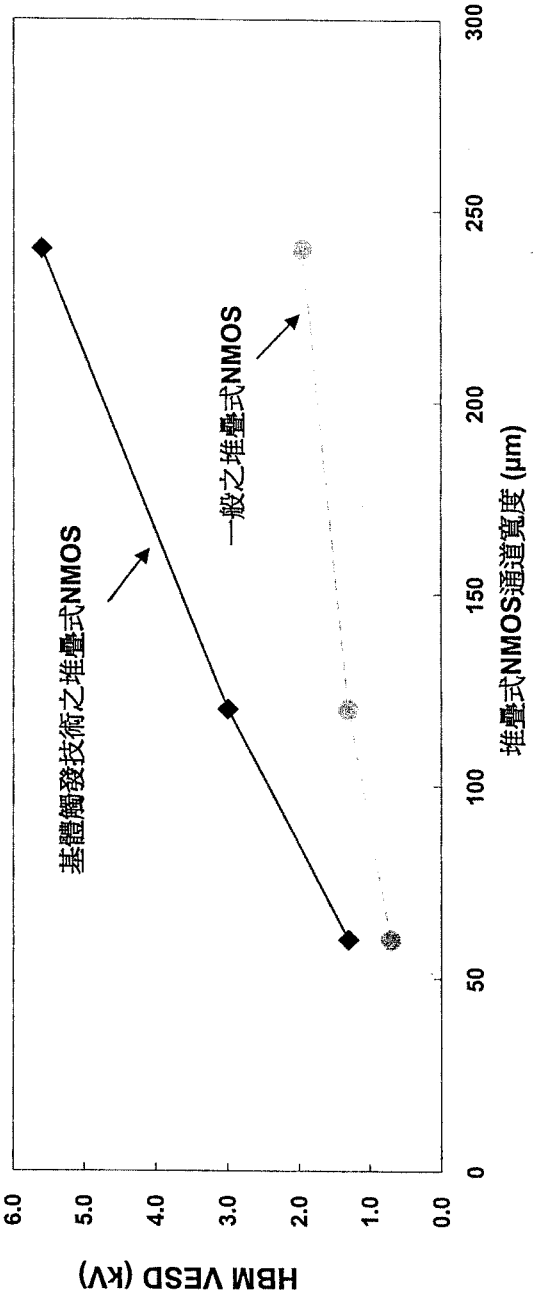
第 2 圖


VDD
VSS
24
觸發電流產生電路
26
接合銲墊
28
內部電路
Na1
Na2
VDD
30
32
34
38
40
42
44
STI
N-Well
Rsub
Isub
NPN
I_{trig}
P-Substrate
36

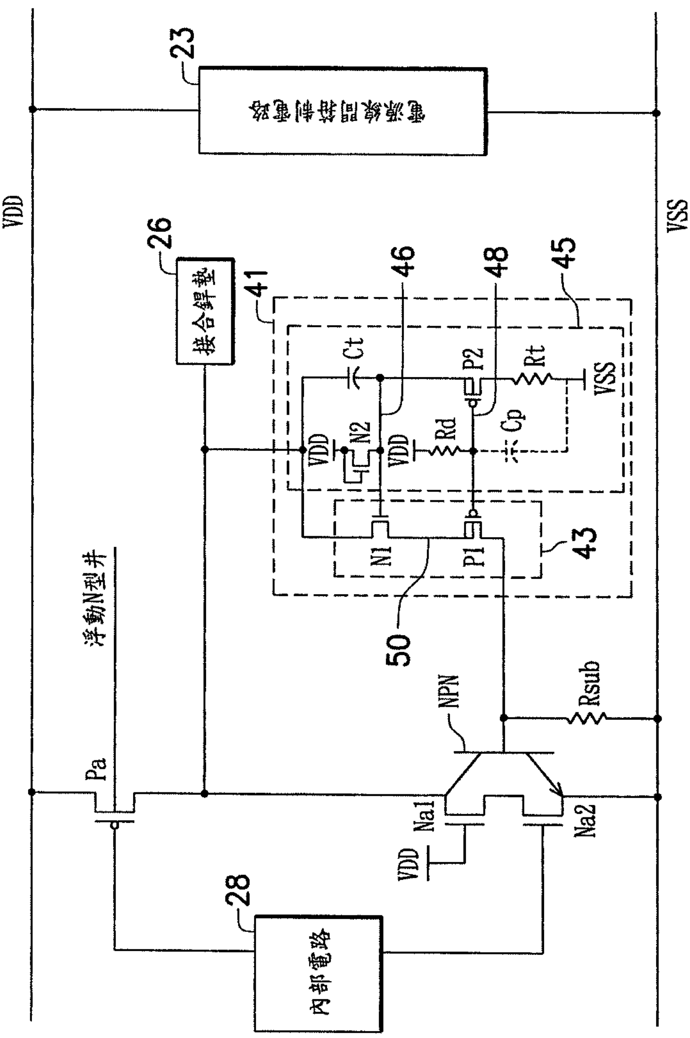
第 3 圖


10
9
8
7
6
5
4
3
2
1
0
電流 (μm)
Itrig=8mA
Itrig=7mA
Itrig=6mA
Itrig=5mA
Itrig=4mA
Itrig=3mA
Itrig=2mA
Itrig=1mA
Itrig=0mA
0
2
4
6
8
10
電壓 (V)

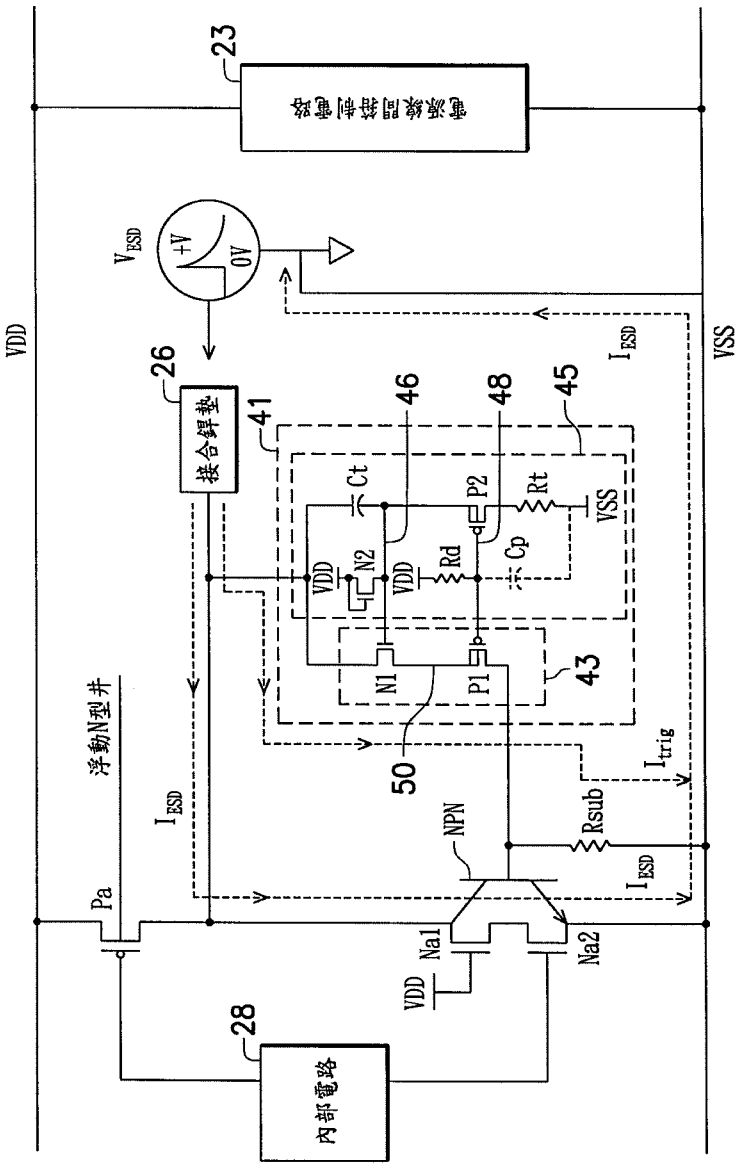
第 4 圖


HBM VESD (kV)
6.0
5.0
4.0
3.0
2.0
1.0
0.0
0
50
100
150
200
250
300
堆疊式NMOS通道寬度 (μm)
基體觸發技術之堆疊式NMOS
一般之堆疊式NMOS

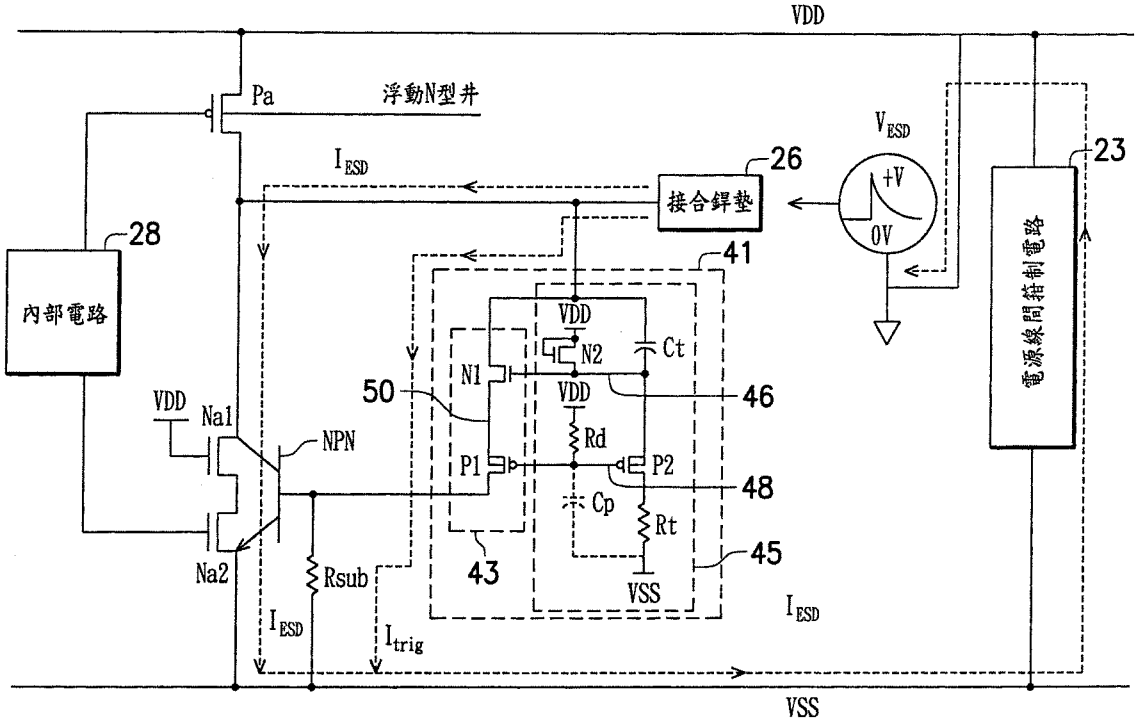
第 5 圖


VDD
VSS
23
電源線間控制電路
26
接合銲墊
41
46
48
45
Ct
P2
Rt
VSS
N2
VDD
Rd
Cp
N1
P1
43
50
浮動N型井
Pa
NPN
Rsub
Na1
Na2
VDD
28
內部電路

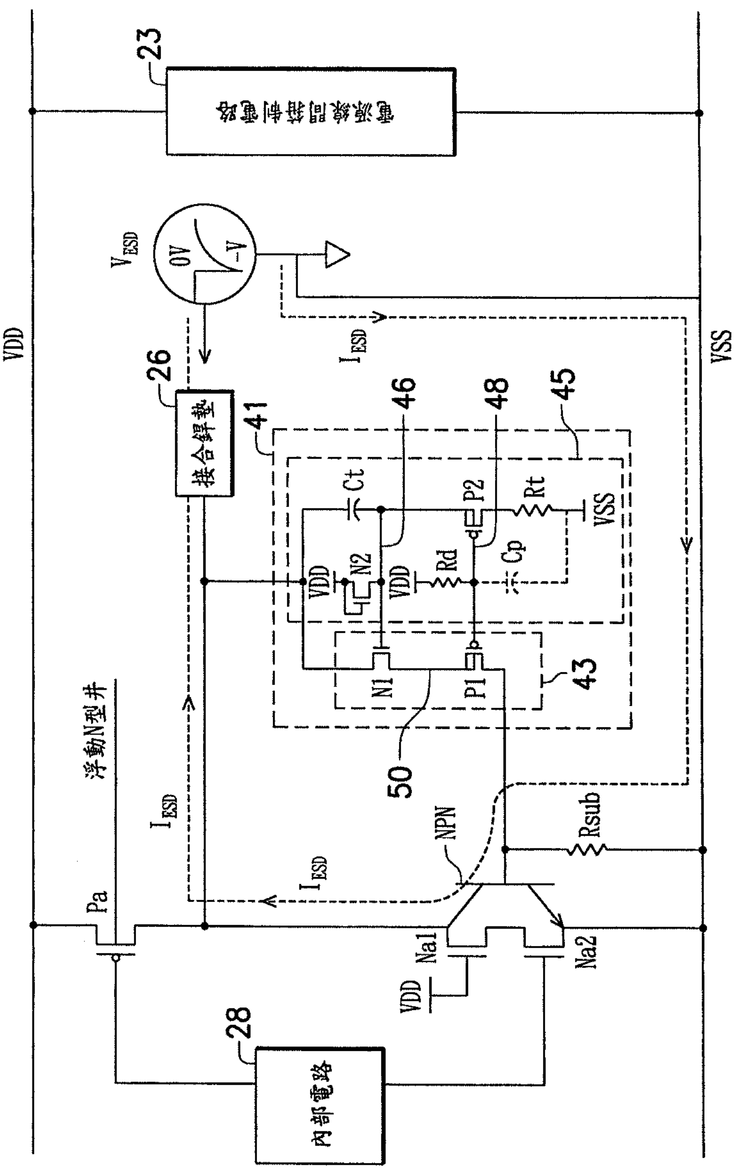
第 6 圖


VDD
VSS
23
電源線間鉗制電路
V_{ESD}
+V
0V
26
接合銲墊
41
45
46
48
Ct
P2
Rt
VSS
VDD
N2
VDD
Rd
Cp
N1
P1
43
50
I_{ESD}
I_{trig}
浮動N型井
Pa
NPN
Rsub
Na1
Na2
VDD
28
內部電路

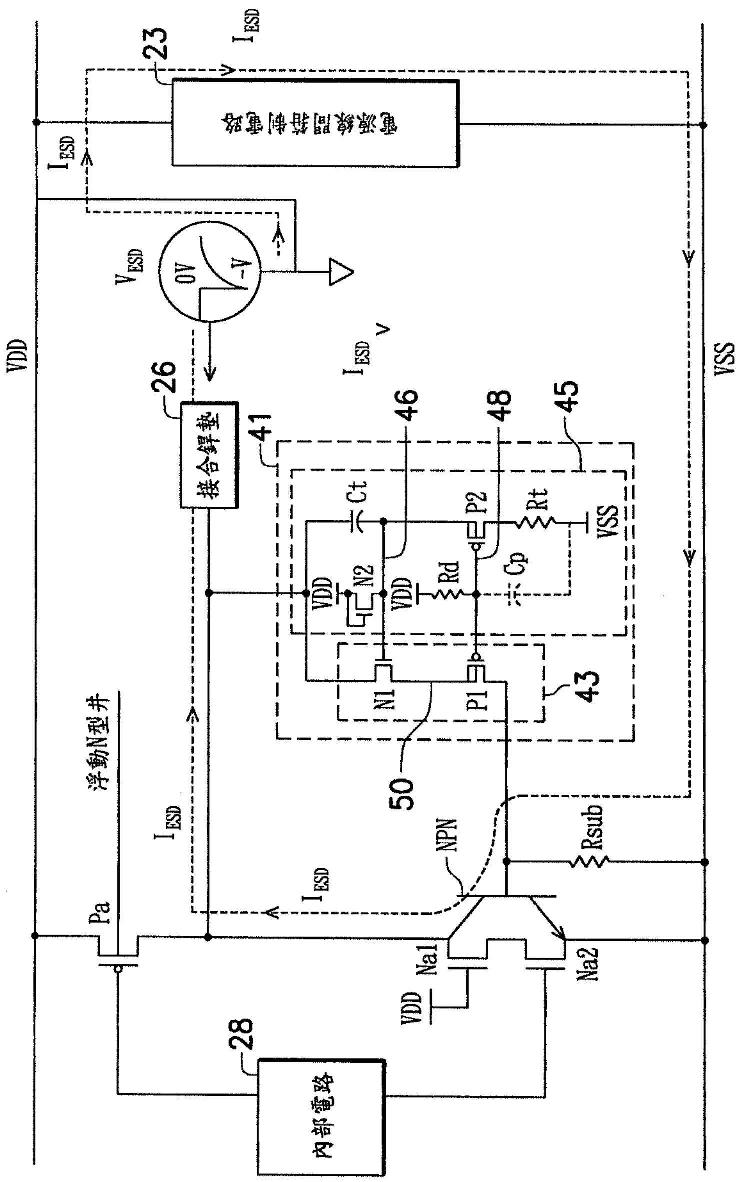
第 7 圖


VDD
Pa
浮動N型井
I_{ESD}
26
接合銲墊
V_{ESD}
+V
0V
23
電源線間箝制電路
28
內部電路
41
VDD
N2
Ct
N1
50
VDD
46
VDD
Na1
NPN
Rd
P1
P2
48
Cp
Rt
Na2
Rsub
43
45
VSS
I_{ESD}
I_{ESD}
I_{trig}
VSS

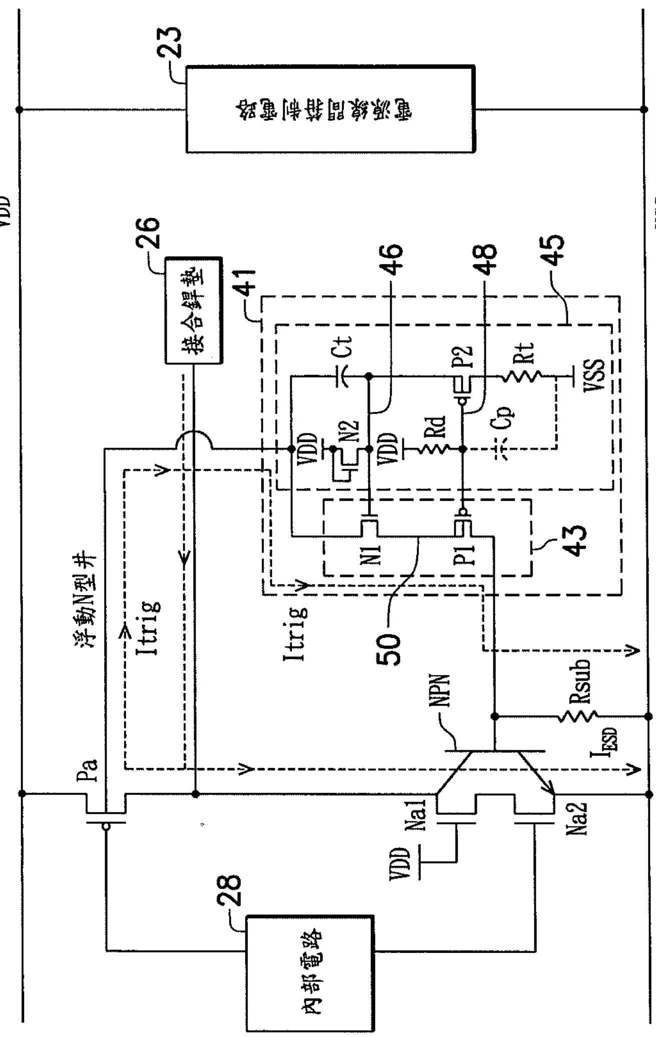
第 8 圖


VDD
VSS
23
電源線間箝制電路
VESD
0V
-V
IESD
26
接合銲墊
41
46
48
45
Ct
P2
Rt
VSS
N2
VDD
Rd
Cp
N1
P1
43
50
浮動N型井
NPN
Rsub
Pa
Na1
Na2
28
內部電路

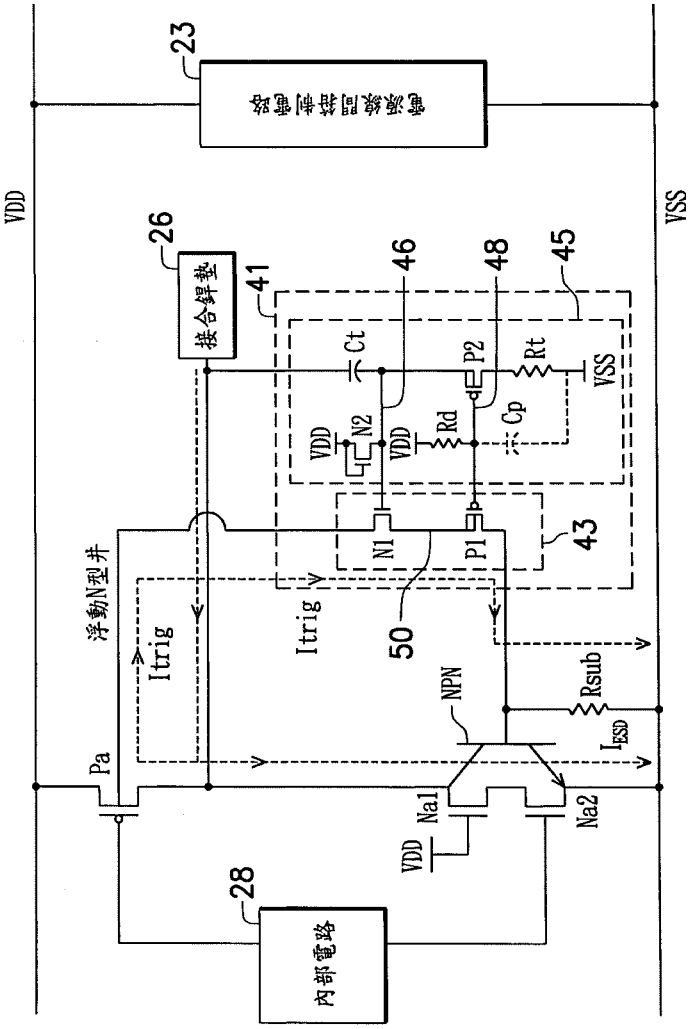
第 9 圖


VDD
VSS
23
電源線間箝制電路
I_ESD
V_ESD
0V
-V
26
接合銲墊
41
45
43
46
48
50
Ct
Rt
Rd
Cp
VDD
VSS
N1
N2
P1
P2
浮動N型井
Pa
NPN
Rsub
Na1
Na2
28
內部電路

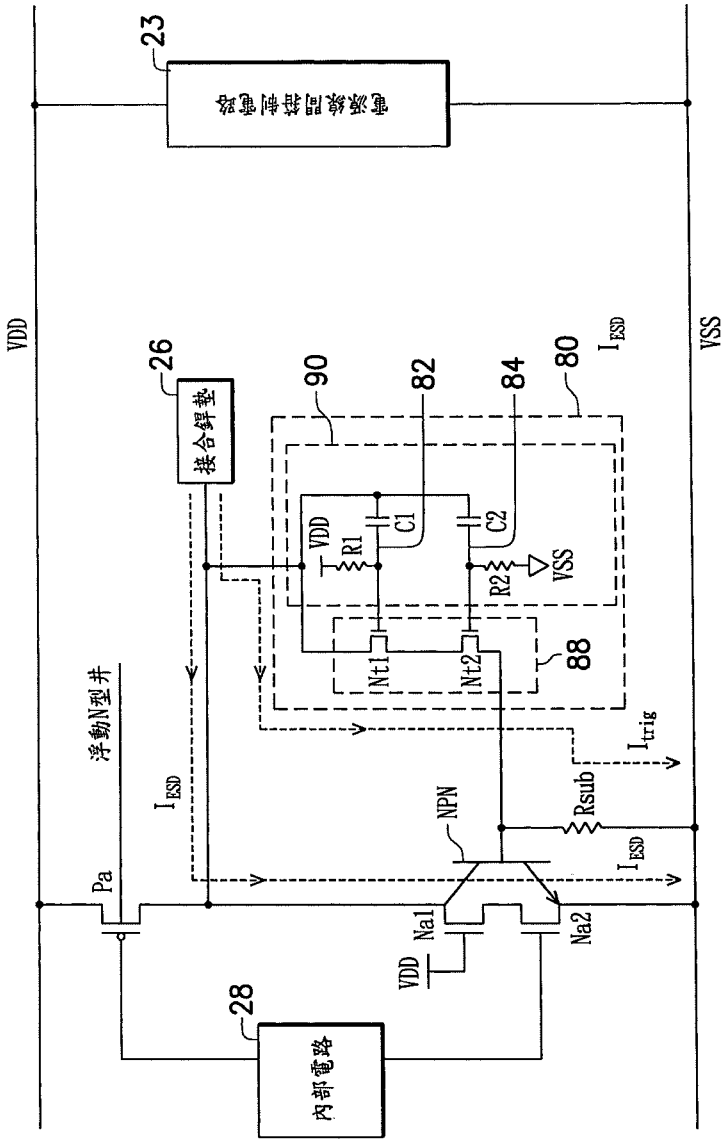
第 10 圖


VDD
VSS
23
電源線間箝制電路
26
接合銲墊
41
46
48
45
Ct
P2
Rt
VSS
VDD
N2
VDD
Rd
Cp
N1
P1
43
50
浮動N型井
Itrig
Itrig
NPN
Rsub
I_ESD
Pa
Na1
Na2
VDD
28
內部電路

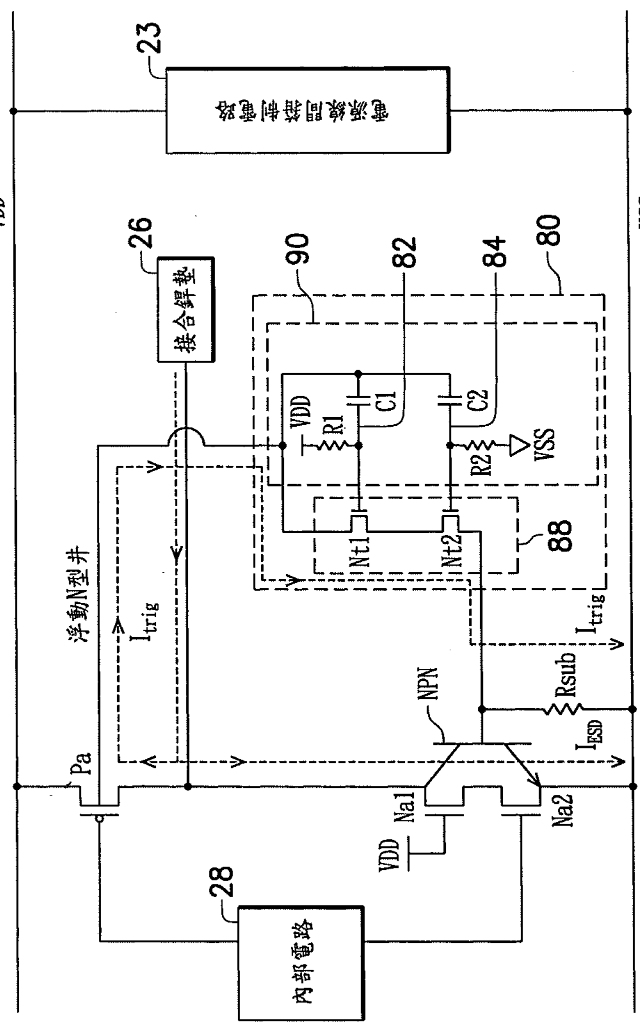
第 11 圖


VDD
VSS
23
電源線間鉗制電路
26
接合銲墊
41
46
48
45
Ct
P2
Rt
VSS
VDD
N2
VDD
Rd
Cp
N1
P1
43
50
Itrig
Itrig
浮動N型井
Pa
NPN
Rsub
I_{ESD}
Na1
Na2
VDD
28
內部電路

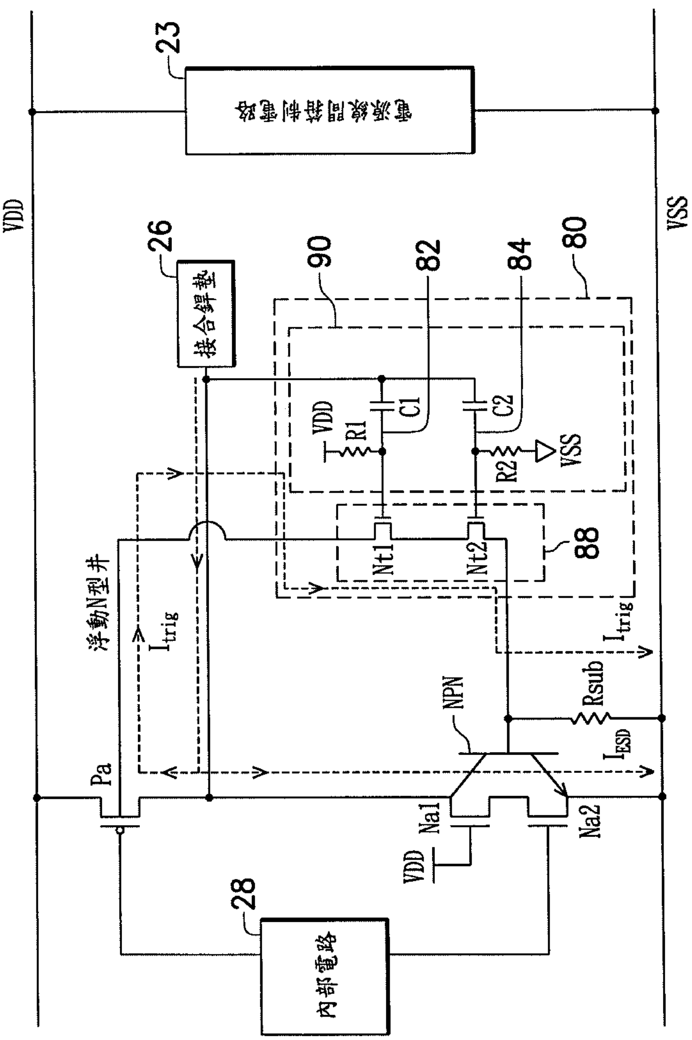
第12圖


VDD
VSS
23
電源電壓偵測電路
26
接合銲墊
90
82
84
80
I_{ESD}
VDD
R1
C1
C2
R2
VSS
Nt1
Nt2
88
浮動N型井
I_{ESD}
I_{trig}
Rsub
NPN
I_{ESD}
Pa
Na1
Na2
VDD
28
內部電路

第 13 圖


23
電源線間箝制電路
VDD
VSS
26
接合銲墊
90
82
84
80
VDD
R1
C1
C2
R2
VSS
Nt1
Nt2
88
浮動N型井
I_{trig}
I_{trig}
NPN
Rsub
I_{ESD}
Pa
Na1
Na2
VDD
28
內部電路

第14圖



VDD
VSS
23
電源線間箝制電路
26
接合銲墊
90
82
84
80
VDD
R1
C1
C2
R2
VSS
88
Nt1
Nt2
浮動N型井
Itrig
Itrig
Pa
NPN
Rsub
IESD
Na1
Na2
VDD
28
內部電路

第 15 圖