

中華民國專利公報 [19] [12]

[11]公告編號：510042

[44]中華民國 91 年 (2002) 11 月 11 日

發明

全 7 頁

[51] Int.Cl⁰⁷： H01L27/04

[54]名稱：具有低接面電容的輸出／輸入驅動電路及其半導體結構

[21]申請案號： 088107281

[22]申請日期：中華民國 88 年 (1999) 05 月 05 日

[72]發明人：

林耿立

新竹縣竹東鎮中興路二段六五八巷十弄一號六樓之一

柯明道

新竹市寶山路二〇〇巷三號四樓之三

[71]申請人：

世界先進積體電路股份有限公司

新竹科學工業園區新竹縣園區三路一二三號

[74]代理人： 洪澄文 先生

1

2

[57]申請專利範圍：

1.一種降低接面電容的半導體結構，包括：

一 MOS 電晶體，形成於一半導體基底上，該 MOS 電晶體具有一閘極及形成於該閘極兩側的源極／汲極區；以及

一淡摻雜區，極性與該源極／汲極區相同，形成於該 MOS 電晶體之汲極區且深度大於該源極／汲極區。

2.如申請專利範圍第 1 項所述降低接面電容的半導體結構，其中 MOS 電晶體，該半導體基底係 P 型矽基底，且該源極／汲極區及該淡摻雜區係 N 型。

3.如申請專利範圍第 1 項所述降低接面電容的半導體結構，其中 MOS 電晶體，該半導體基底係 N 型矽基底，且該源極／汲極區及該淡摻雜區係 P 型。

4.一種降低接面電容的半導體結構，包

括：

一 MOS 電晶體，形成於一井區，該 MOS 電晶體具有一閘極及形成於該閘極兩側的源極／汲極區；以及

一淡摻雜區，極性與該源極／汲極區相同，形成於該 MOS 電晶體之汲極區且深度介於該源極／汲極區及該井區之間。

5.如申請專利範圍第 4 項所述降低接面電容的半導體結構，更包括一深摻雜區，極性與該井區相同，形成於該淡摻雜區底部。

6.如申請專利範圍第 4 項所述降低接面電容的半導體結構，其中，該井區及係 N 型，且該源極／汲極區及該淡摻雜區係 P 型。

7.如申請專利範圍第 4 項所述降低接面電容的半導體結構，其中，該井區係 P 型，且該源極／汲極區及該淡摻雜區係 N 型。

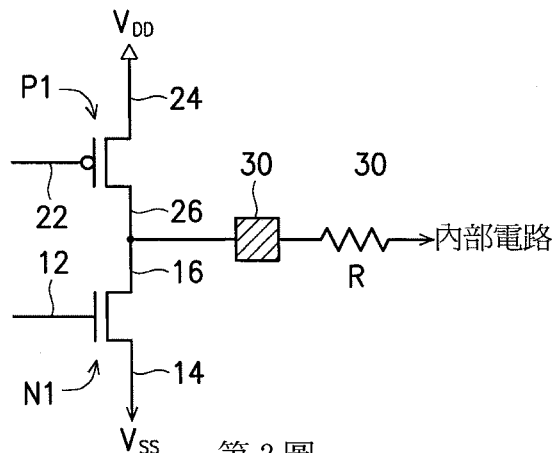
- 8.如申請專利範圍第5項所述降低界面電容的半導體結構，其中，該井區及係N型，且該源極/汲極區及該淡摻雜區係P型。
- 9.如申請專利範圍第5項所述降低界面電容的半導體結構，其中，該井區及係P型，且該源極/汲極區及該淡摻雜區係N型。
- 10.一種降低界面電容的半導體電路，包括：
 - 一半導體基底；
 - 一井區，形成於該半導體基底之既定位置；
 - 一第一電晶體，形成於該半導體基底上；
 - 一第二電晶體，形成於該井區上；
 - 一第一淡摻雜區，形成於鄰近該第二電晶體之該第一電晶體的第一汲極區內，其極性分與連接的第一源極/汲極區相同且深度大於連接的第一源極/汲極區；
 - 一第二淡摻雜區，形成於鄰近該第一電晶體之該第二電晶體的第二汲極區內，其極性分與連接的第二源極/汲極區相同且深度介於連接的第二源極/汲極區及該井區之間；以及

一輸入/輸出端，分別跨接相鄰之該第一電晶體之第一汲極區及該第二電晶體之第二汲極區。

- 11.如申請專利範圍第10項所述降低界面電容的半導體電路，更包括第一深摻雜區，形成於該井區中的第二淡摻雜區底部。

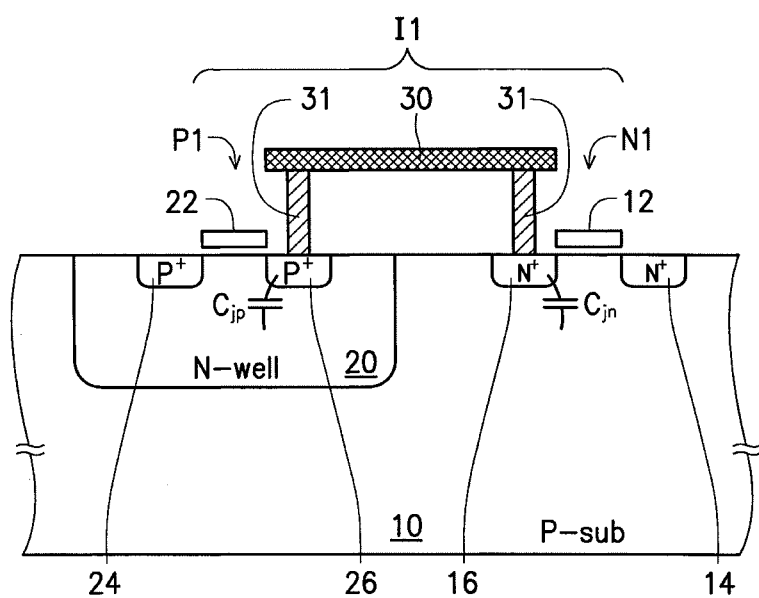
圖式簡單說明：

- 第1圖係習知互補式輸出驅動級電路實施於半導體基底的剖面示意圖；
- 第2圖係第1圖互補式輸出驅動級電路的等效電路圖；
- 第3A圖係本發明NMOS電晶體實施於P型矽基底的剖面示意圖；
- 第3B圖係本發明PMOS電晶體實施於N型矽基底的剖面示意圖；
- 第4A圖係本發明NMOS電晶體實施於P型井區的剖面示意圖；
- 第4B圖係本發明PMOS電晶體實施於N型井區的剖面示意圖；
- 第5圖係本發明電路實施於P型半導體基底的剖面示意圖；以及
- 第6圖係本發明電路實施於N型半導體基底的剖面示意圖。



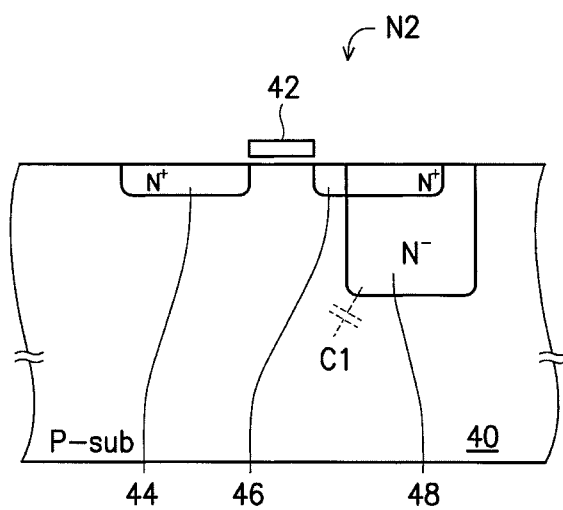
第 2 圖

(3)

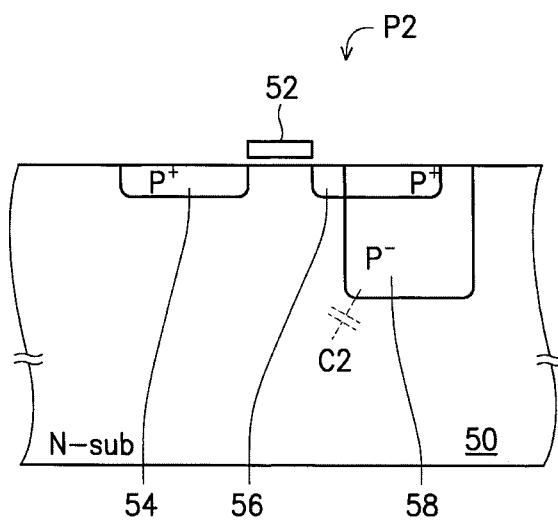


第 1 圖

(4)

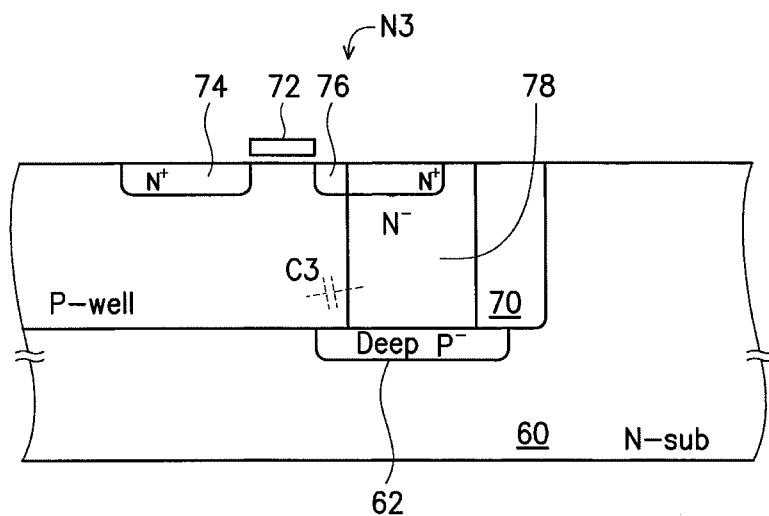


第 3A 圖

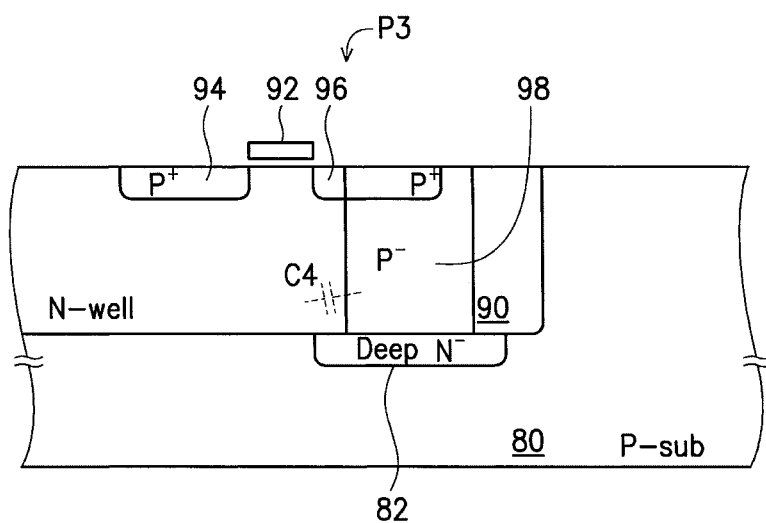


第 3B 圖

(5)



第 4A 圖



第 4B 圖

