

中華民國專利公報 [19] [12]

[11]公告編號：511269

[44]中華民國 91 年 (2002) 11 月 21 日

發明

全 25 頁

[51] Int.Cl⁰⁷ : H01L23/60

[54]名 稱：具有深井區結構之矽控整流器元件及其在靜電放電防護電路上之應用

[21]申請案號：090105019

[22]申請日期：中華民國 90 年 (2001) 03 月 05 日

[72]發明人：

柯明道

張恆祥

王文泰

新竹市東區寶山路二〇〇巷三號四樓之三

台北縣汐止市大同路二段三三七號

台北市信義區基隆路一段三五〇之二十一號二樓

[71]申請人：

台灣積體電路製造股份有限公司

新竹科學工業園區園區三路一二一號

[74]代理人：洪澄文 先生

1

2

[57]申請專利範圍：

1.一種靜電放電防護元件，設於一耦合至一相對低電壓源之 P 型基底 (substrate) 上，包含有：

一側向矽控整流器 (silicon controlled rectifier, SCR)，其包含有：

一 p 型層，作為該 SCR 之一陽極；

一 N 型層，作為該 SCR 之一陰極；

一第一 N 型井，設於該 p 型層與該 N 型層之間，鄰接至該 p 型層；以及

一第一 P 型井，鄰接至該 N 型層與該第一 N 型井；以及

一深 N 型井，設於該第一 P 型井與該 P 型基底之間，用以隔絕該第一 P 型井至該 P 型基底之電連接。

2.如專利申請範圍第 1 項之 ESD 防護元件，其中，該 N 型層係以一設於該第一 P 型井中的一第一 N 型摻雜區所構成。

3.如專利申請範圍第 1 項之 ESD 防護元件，其中，該第一 P 型井係耦合至該

陰極。

4.如專利申請範圍第 1 項之 ESD 防護元件，其中，該深 N 型井係與一定偏壓 (fix-biased) N 型井相連接，耦合至一相對高電源。

5.如專利申請範圍第 4 項之 ESD 防護元件，其中，該定偏壓 N 型井、該深 N 型井與該第一 N 型井係電性隔絕了該第一 P 型井與該 P 型基底。

10. 6.如專利申請範圍第 4 項之 ESD 防護元件，其中，該定偏壓 N 型井、該深 N 型井與該第一 N 型井係電性隔絕了該 P 型層與該 P 型基底。

15. 7.如專利申請範圍第 4 項之 ESD 防護元件，其中，該定偏壓之 N 型井係環繞該側向 SCR。

20. 8.如專利申請範圍第 1 項之 ESD 防護元件，其中，該側向 SCR 係為一 N 型 SCR (n-type silicon controlled rectifier, NSCR)。

- 9.如專利申請範圍第1項之ESD防護元件，其中，該側向SCR係為一P型SCR(n-type silicon controlled rectifier、PSCR)。
- 10.如專利申請範圍第1項之ESD防護元件，其中，該N型層包含有一第二N型井，該深N型井記含有分開之一第一深N型井與一第二深N型井，分別接觸(butt)該第一N型井與該第二N型井。
- 11.如專利申請範圍第1項之ESD防護元件，其中，該p型層係設於該第一N型井中。
- 12.一種靜電放電防護電路，耦合於一第一接合墊與一第二接合墊之間，包含有：
 - 一ESD防護元件，具有一陽極以及一陰極，設於一耦合至一相對低電壓源的P型基底上，包含有：
 - 一側向SCR，其包含有：
 - 一p型層，作為該SCR之陽極；
 - 一N型層，作為該SCR之陰極；
 - 一第一N型井，設於該p型層與該N型層之間，鄰接至該p型層；以及
 - 一第一P型井，鄰接至該N型層與該第一N型井；以及
 - 一深N型井，設於該第一P型井與該P型基底之間，用以隔絕該第一P型井至該P型基底之電連接；
 - 其中，於一ESD事件時，該陽極與該陰極係分別耦合至該第一接合墊與該第二接合墊。
- 13.如專利申請範圍第12項之ESD防護電路，其中，該ESD防護電路另包含有一二極體，耦合於一第一接合墊與一第二接合墊之間，且順向的與該側向SCR串連。
- 14.如專利申請範圍第12項之ESD防護電路，其中，該側向SCR係為一NSCR，該ESD防護電路另包含有一

- ESD偵測電路，當一ESD事件發生時，用以提供一啟動電壓予該NSCR之一控制閘極，以觸發該NSCR。
- 15.如專利申請範圍第12項之ESD防護電路，其中，該側向SCR係為一PSCR，該ESD防護電路另包含有一ESD偵測電路，當一ESD事件發生時，用以提供一啟動電壓予該PSCR之一控制閘極，以觸發該PSCR。
10. 16.如專利申請範圍第14或15項之ESD防護電路，其中，該ESD偵測電路包含有一RC電路，用以偵測試ESD事件之發生。
- 17.如專利申請範圍第12項之ESD防護電路，其中，該第一接合墊係作為一相對高電壓源之一電源輸入，該第二接合墊係作為該相對低電壓源之一電源輸入。
- 18.如專利申請範圍第12項之ESD防護電路，其中，該第一接合墊係作為一相對高電壓源之一電源輸入，該第二接合墊係作為一輸出入接合墊。
- 19.如專利申請範圍第12項之ESD防護電路，其中，該第一接合墊係作為一輸出入接合墊，該第二接合墊係作為該相對低電壓源之一電源輸入。
- 20.如專利申請範圍第12項之ESD防護電路，其中，該第一接合墊係作為一第一電壓源之一電源輸入，該第二接合墊係作為一第二電壓源之一電源輸入。
- 21.如專利申請範圍第11項之ESD防護電路，其中，該ESD防護電路另包含有一反向ESD防護元件，該反向ESD防護元件具有一陽極耦合至該第二接合墊，以及一陰極耦合至該第一接合墊。
- 22.如專利申請範圍第12項之ESD防護

電路，其中，該 ESD 防護電路包含有複數個順向串聯之側向 SCR，耦合於該第一接合墊與該第二接合墊之間。

23.如專利申請範圍第22項之ESD防護電路，其中，該等側向 SCR 具有複數相對應之持守電壓，該等持守電壓的總和大於該第一接合墊與該第二接合墊之間的一最大正常跨壓。

24.如專利申請範圍第23項之ESD防護電路，其中，該第一接合墊與該第二接合墊均為電源線，該最大正常跨壓係為該二電源線之一電壓差。

圖式簡單說明：

第1(a)圖為傳統的以一LSCR為主要ESD防護元件的ESD防護電路圖；

第1(b)圖為第1(a)圖中的LSCR之剖面示意圖；

第1(c)圖為第1(b)圖的IV曲線圖；

第2(a)圖為一般的使用LVTSCR作為ESD防護元件的電路圖；

第2(b)圖為第2(a)圖中的LVTSCR之剖面示意圖；

第2(c)圖為第2(b)圖中的LVTSCR之IV曲線圖；

第3(a)圖與第3(b)圖為兩個本發明的NSCR之剖面示意圖以及其代表符號圖；

第4(a)圖與第4(b)圖為兩個本發明的PSCR之剖面示意圖以及其代表符號圖；

第5圖為本發明之另一種NSCR的剖面圖；

第6圖為本發明之另一種PSCR的剖面圖；

第7圖為應用本發明之NSCR的一種VDD與VSS之間的ESD箝制電路；

第8圖為第7圖的一種實施例；

第9圖為應用本發明之PSCR的一種VDD與VSS之間的ESD箝制電路；

第10圖為第9圖的一種實施例；

第11圖為在SCR串列中，混合使用本發明之NSCR與PSCR的一種實施例示意圖；

第12圖與第13圖為兩個運用本發明之NSCR與二極體串接之VDD與VSS間的ESD箝制電路；

第14圖與第15圖為兩個運用本發明之PSCR與二極體串接之VDD與VSS間的ESD箝制電路；

第16圖為本發明之NSCR與PNSCR應用於一輸入埠的示意圖；

第17圖為第16圖的一種實施例；

第18圖為本發明之NSCR與PNSCR應用於一輸出埠的示意圖；

第19圖為第18圖的一種實施例；

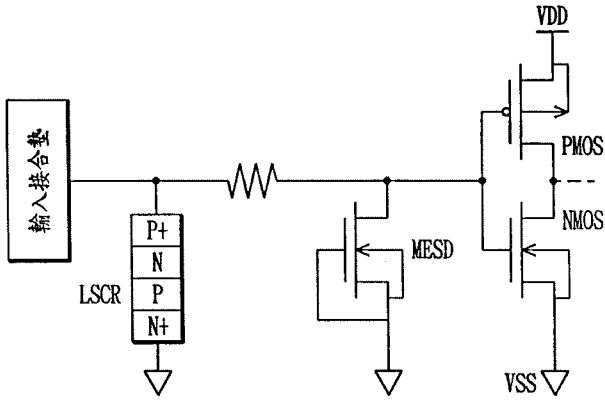
第20圖為本發明之NSCR與PSCR應用於一輸入埠的示意圖；

第21圖為為本發明之NSCR與PSCR應用於輸出埠的示意圖；

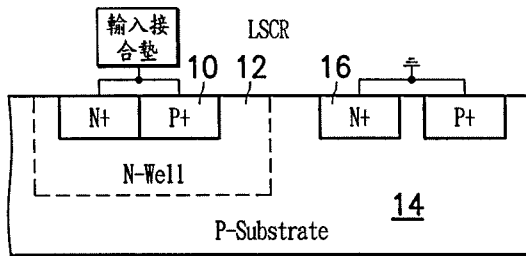
第22圖為一種運用本發明之NSCR(或PSCR)於分離之VDD(或VSS)間的ESD防護電路示意圖；以及

第23圖為另一種運用本發明之NSCR(或PSCR)於分離之VDD(或VSS)間的ESD防護電路示意圖。

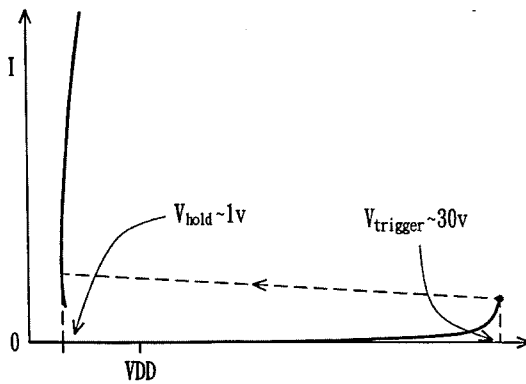
(4)



第 1a 圖

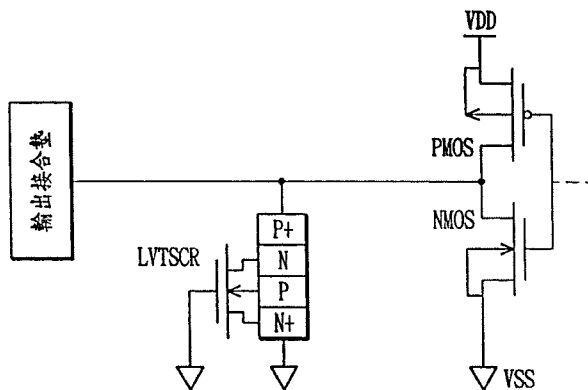


第 1b 圖

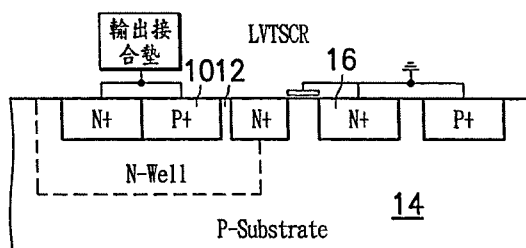


第 1c 圖

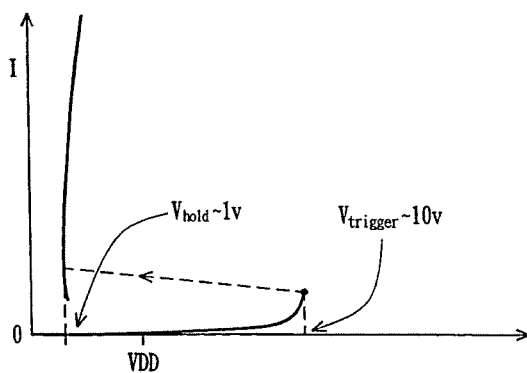
(5)



第 2a 圖

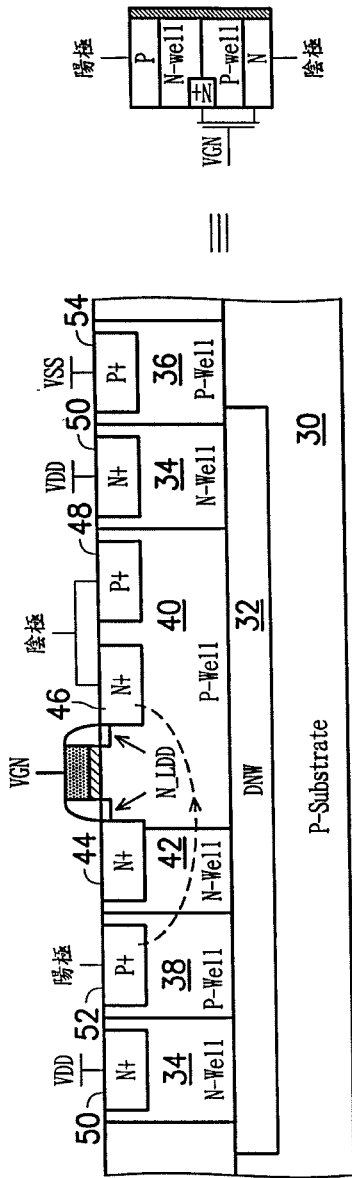


第 2b 圖

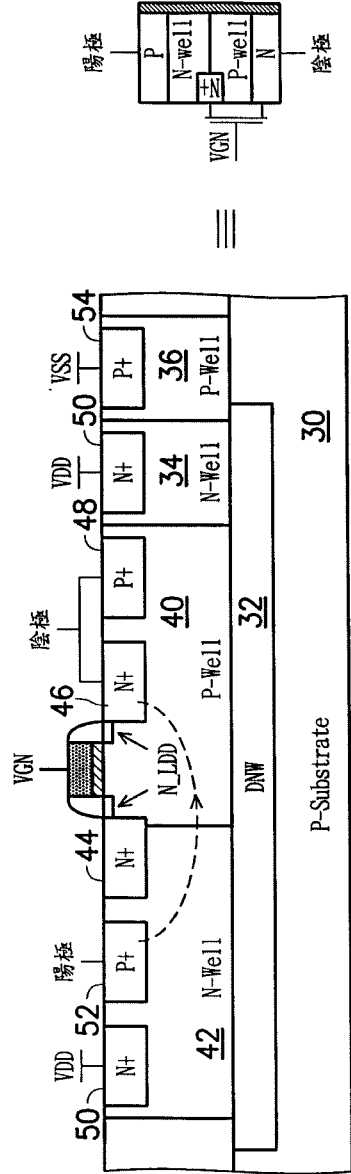


第 2c 圖

(6)

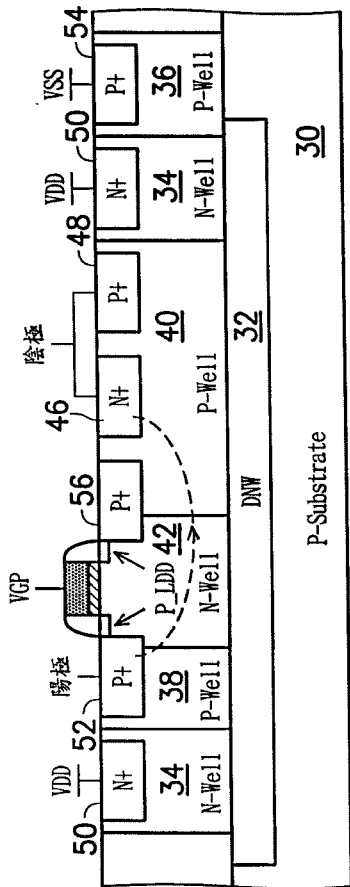


第 3a 圖

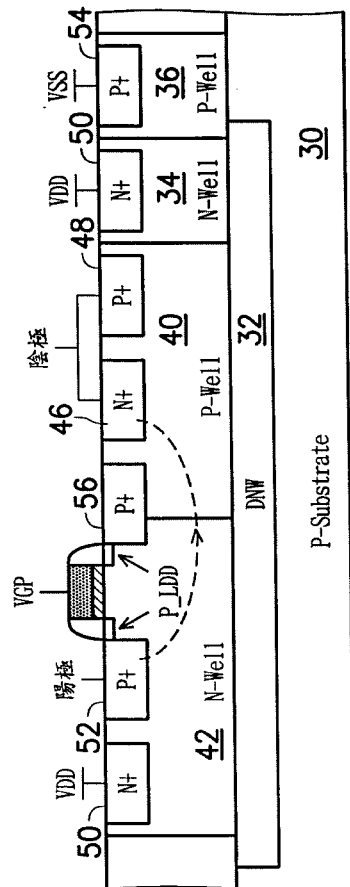


第 3b 圖

(7)

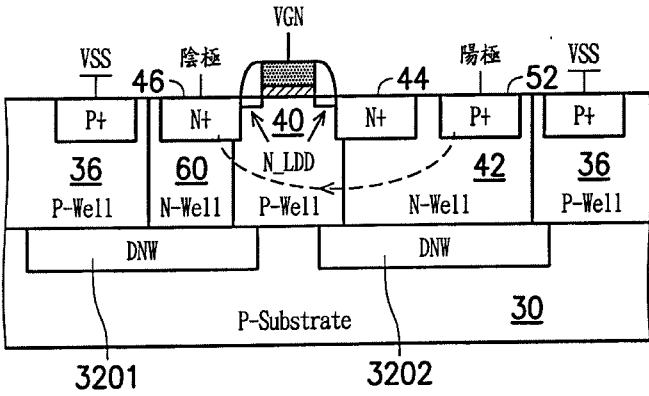


第 4a 圖

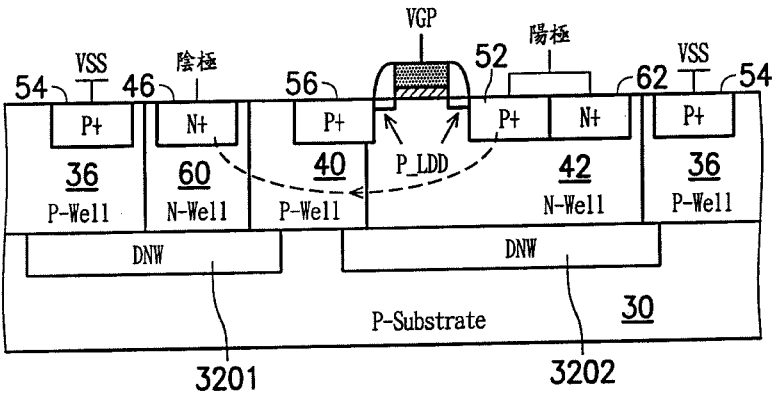


第 4b 圖

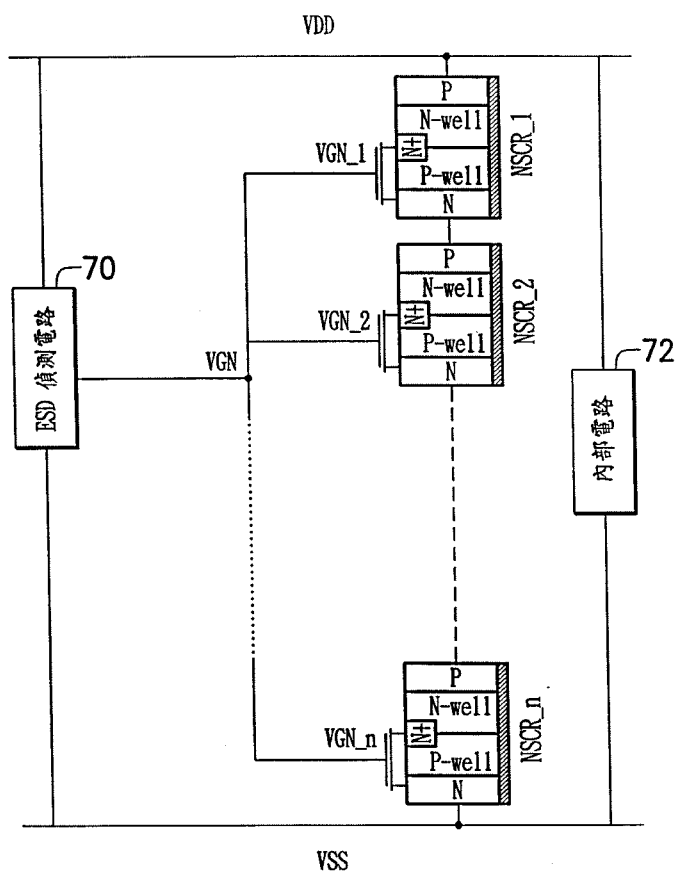
(8)



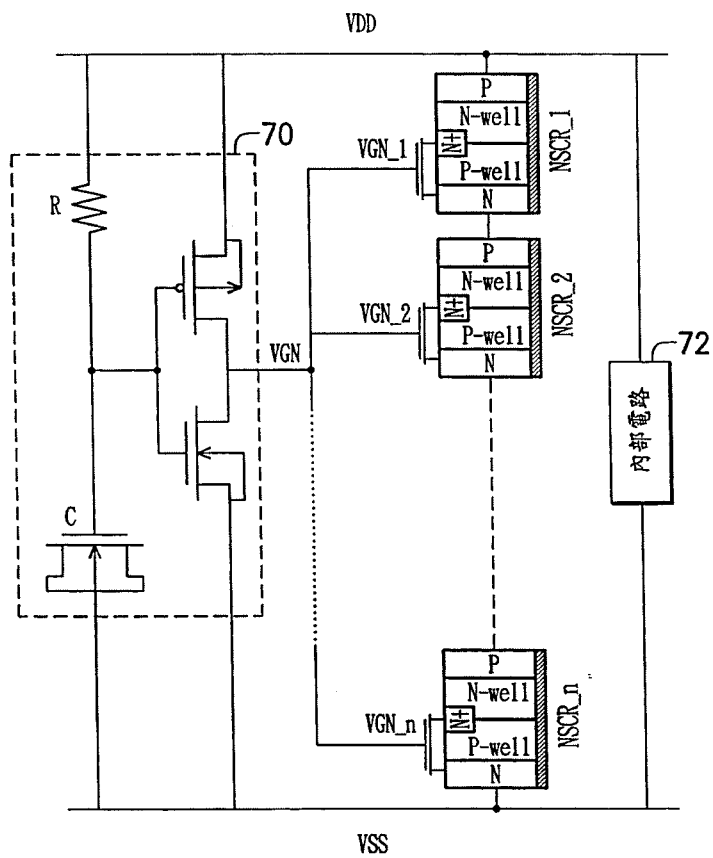
第 5 圖



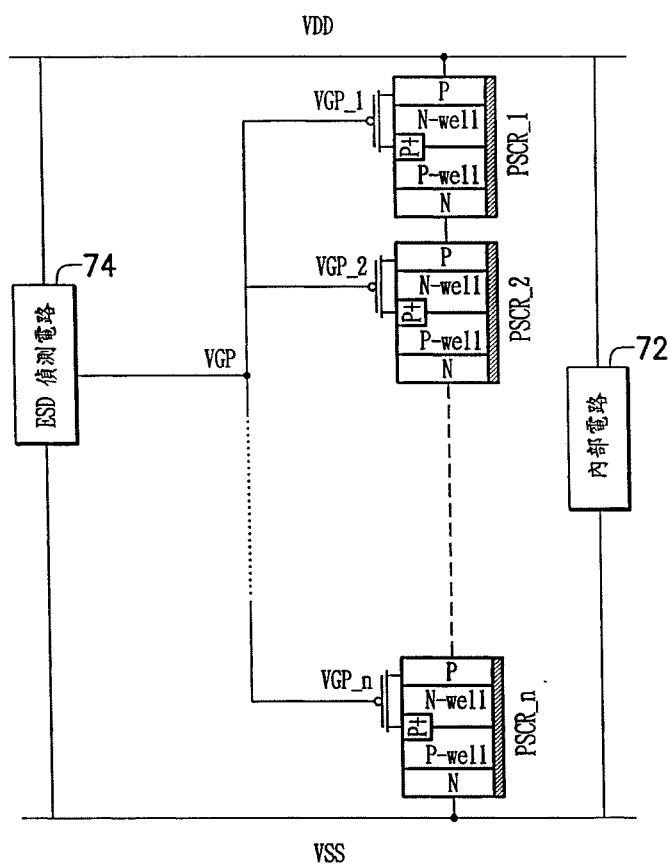
第 6 圖



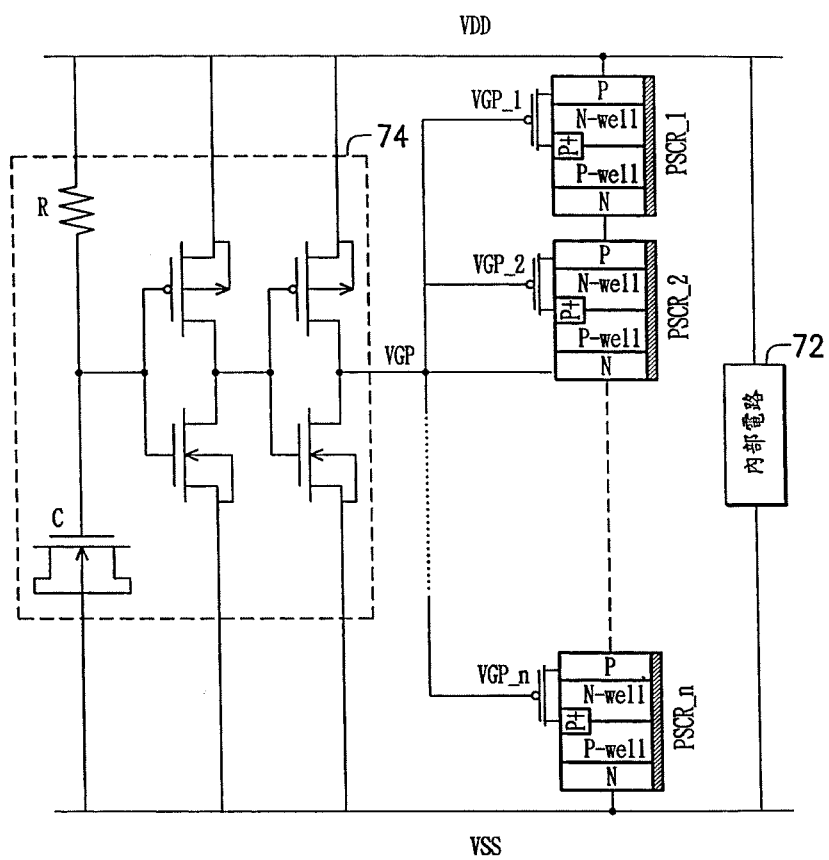
第 7 圖



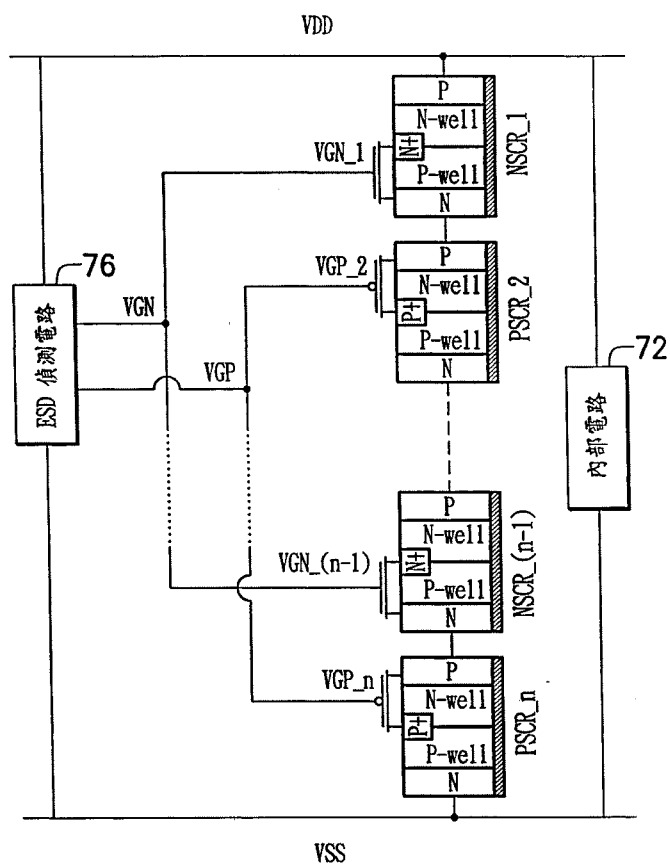
第 8 圖



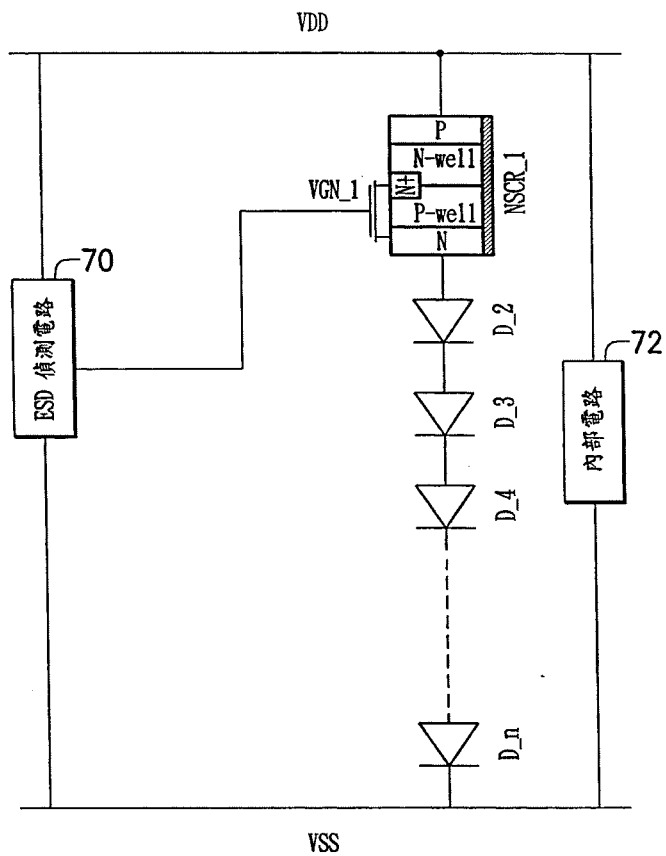
第 9 圖



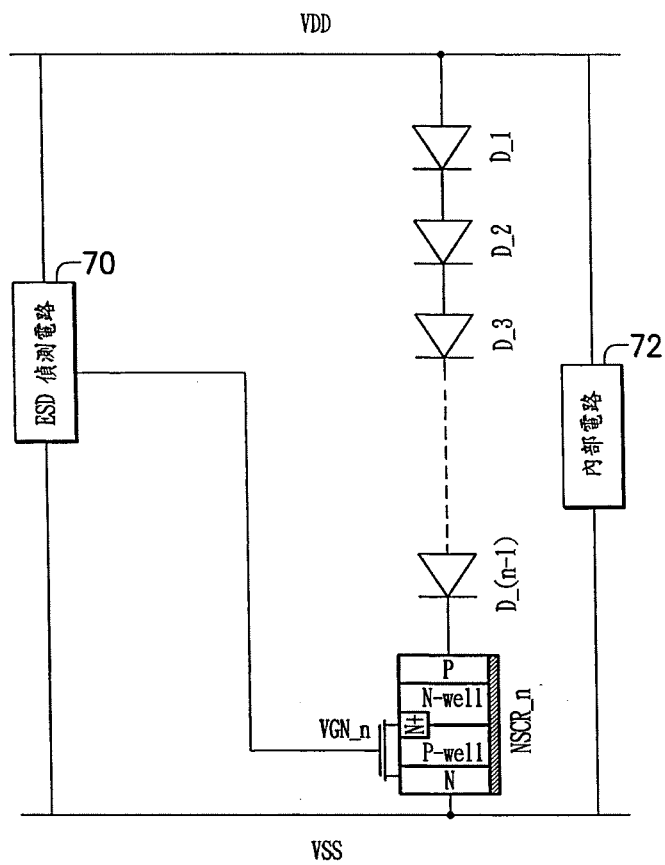
第 10 圖



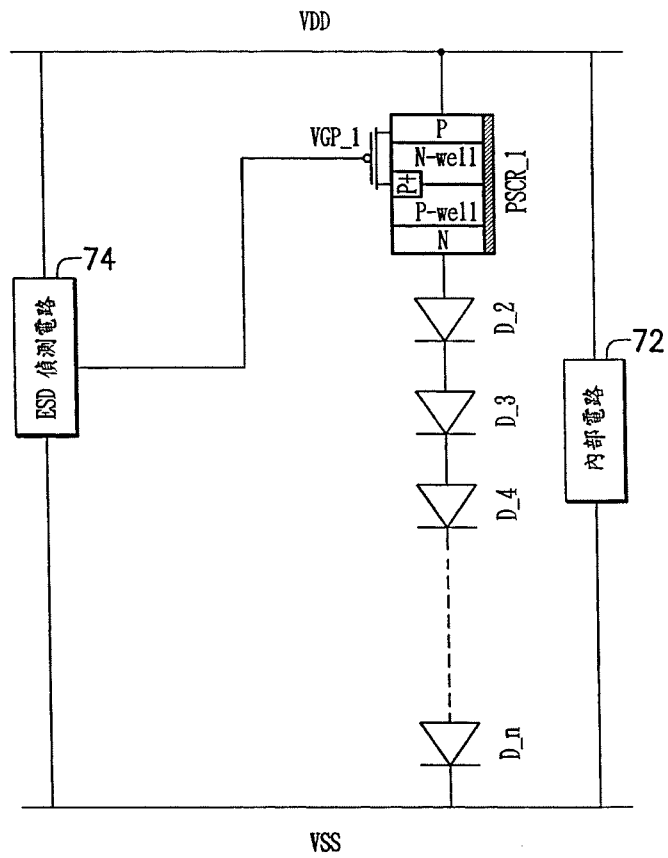
第 11 圖



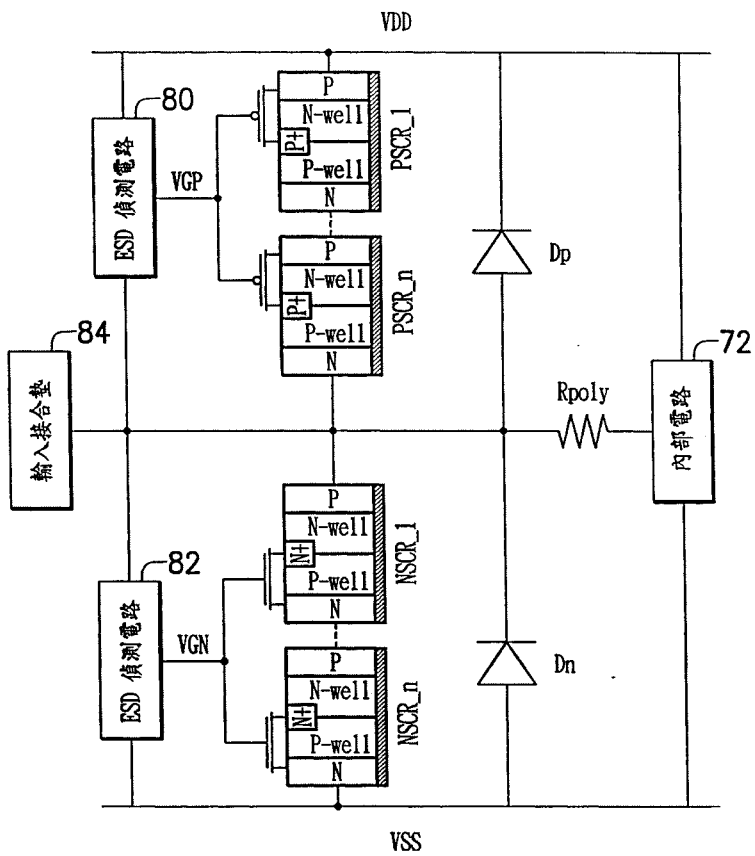
第 12 圖



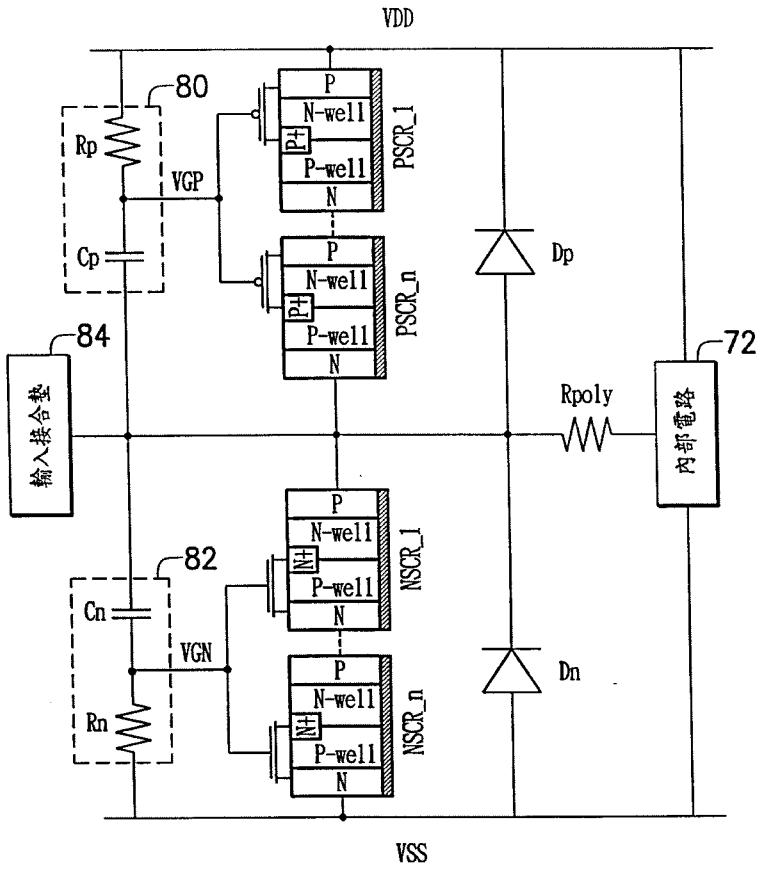
第 13 圖



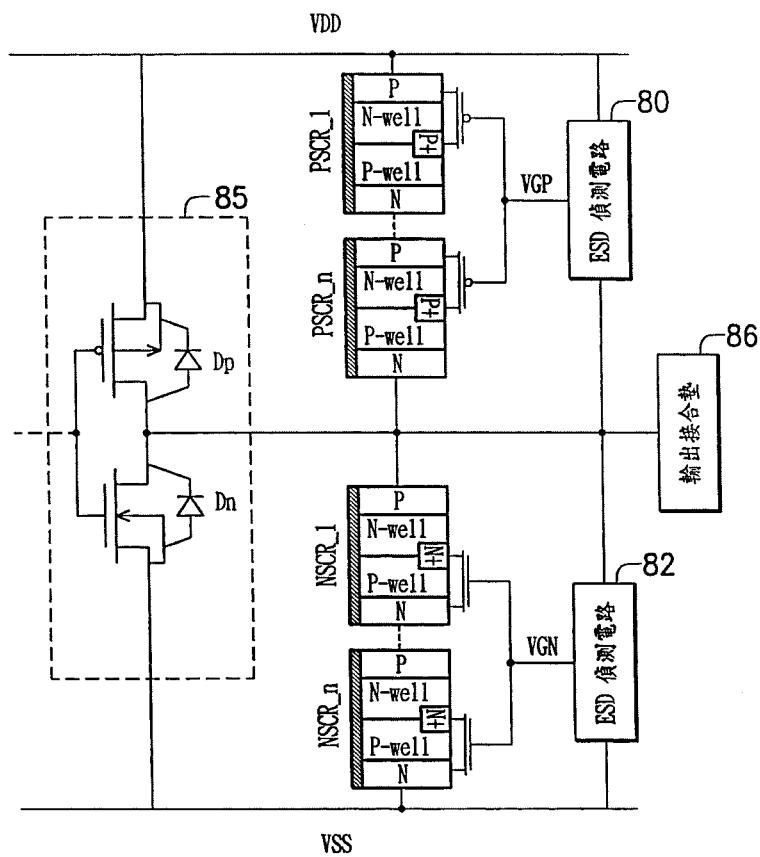
第 14 圖



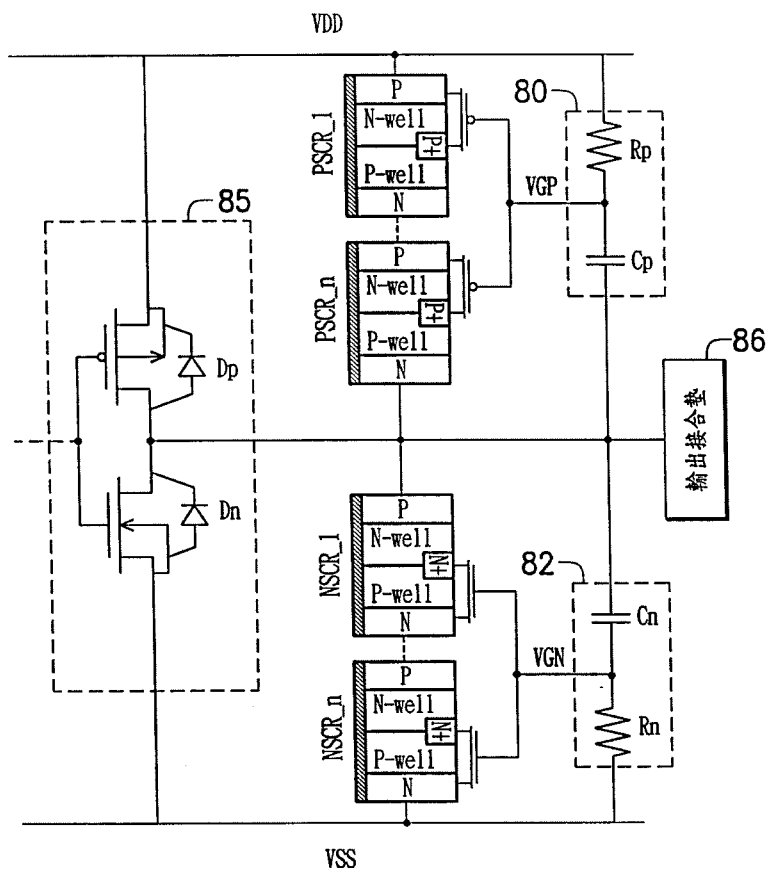
第 16 圖



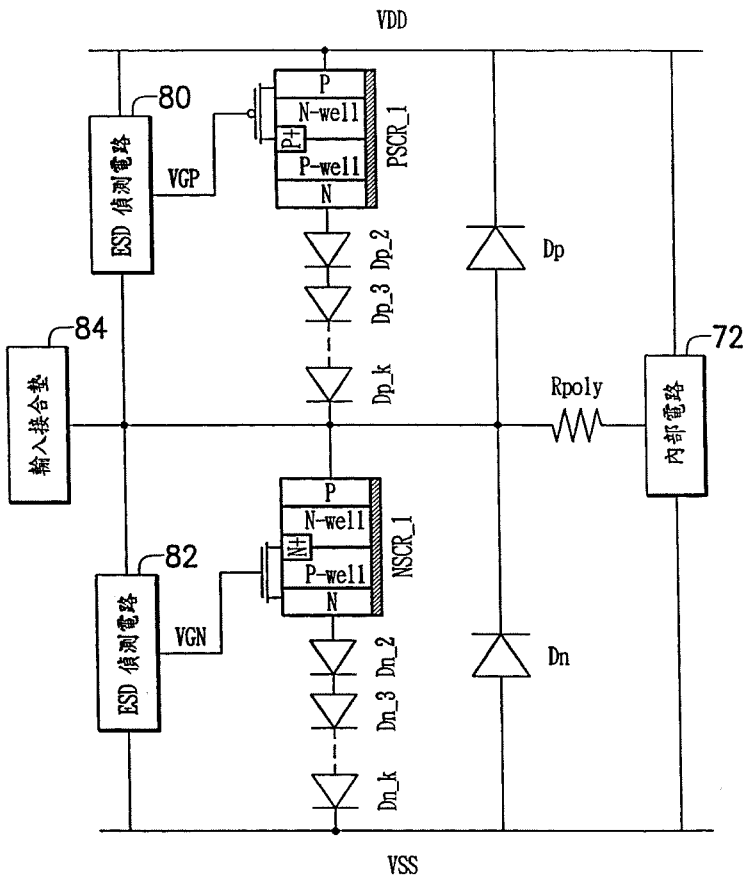
第 17 圖



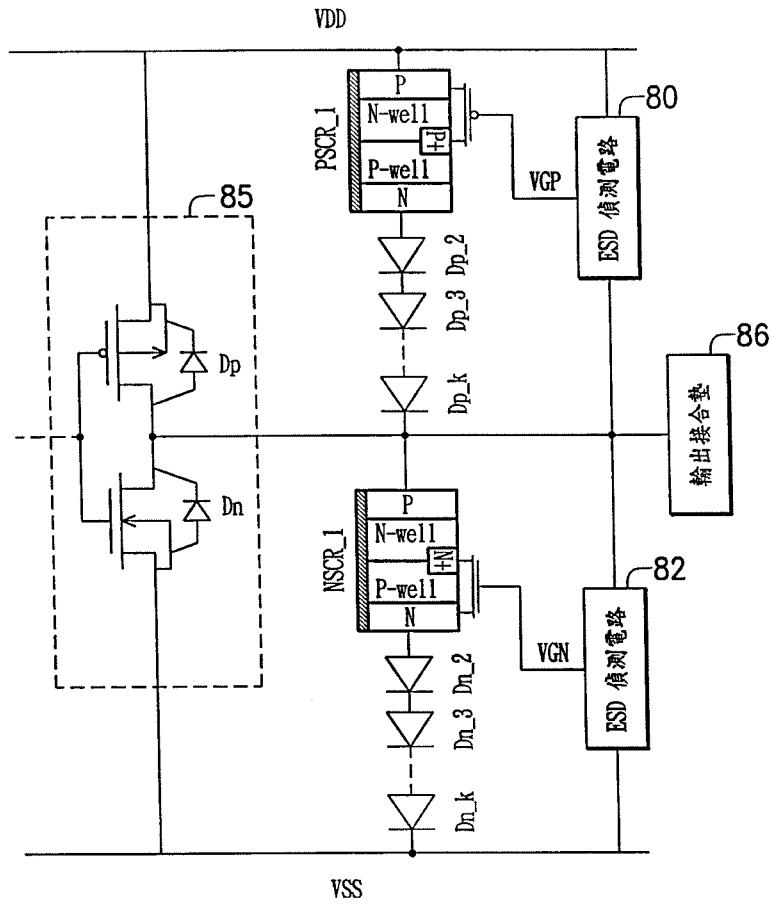
第 18 圖



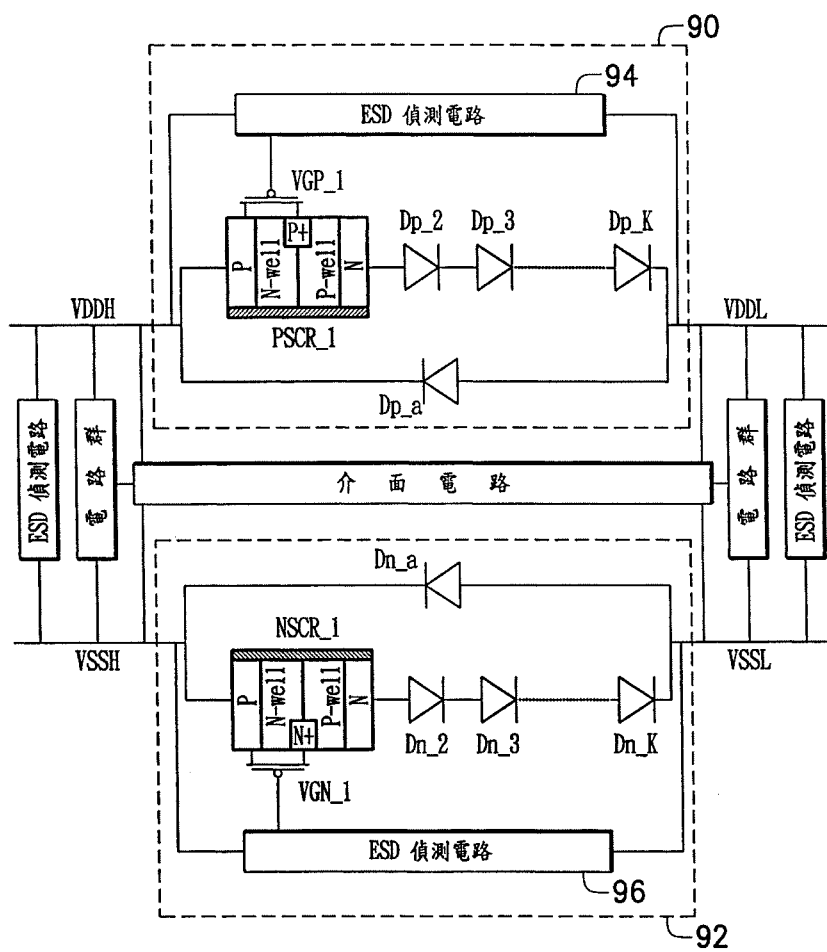
第 19 圖



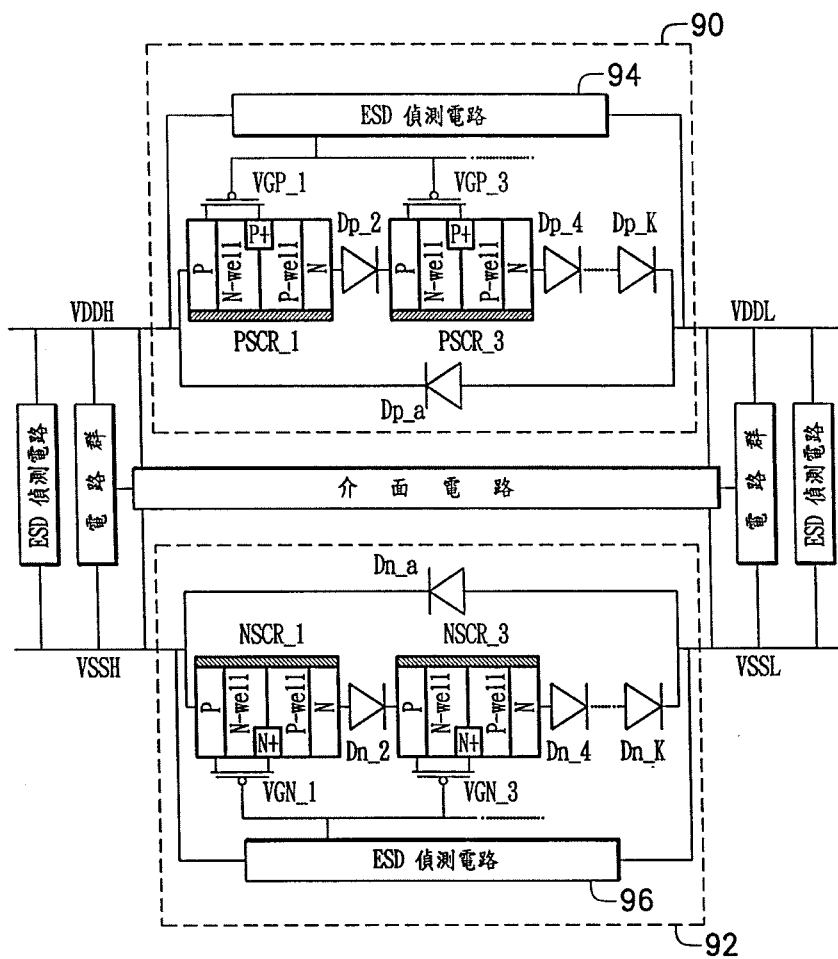
第 20 圖



第 21 圖



第 22 圖



第 23 圖

