

中華民國專利公報 [19] [12]

[11]公告編號：511270

[44]中華民國 91 年 (2002) 11 月 21 日

發明

全 26 頁

[51] Int.Cl⁰⁷ : H01L23/60

[54]名 稱：具有高靜電放電防護能力之二極體結構及其靜電放電防護電路設計

[21]申請案號：090125800

[22]申請日期：中華民國 90 年 (2001) 10 月 18 日

[72]發 明 人：

柯明道

莊哲豪

林耿立

新竹市東區寶山路二〇〇巷三號四樓之三

新竹市西大路七八〇巷六弄五號

新竹縣竹東鎮中興路二段六五八巷十弄一號六樓之一

[71]申 請 人：

世界先進積體電路股份有限公司

新竹科學工業園區新竹縣園區三路一二三號

[74]代 理 人：洪澄文 先生

1

2

[57]申請專利範圍：

1.一種混成二極體(hybrid diode)，包含有：

一第一半導體層；

一閘結構，設於該第一半導體層上，由一第二半導體層堆疊於一絕緣層上所構成；

一第一 N 型摻雜區，形成於鄰近該閘結構之該第一半導體層之表面；

一第二 N 型摻雜區，形成於該第二半導體層，該第一以及第二 N 型摻雜區同屬於一 N 型佈值區；

一第一 P 型摻雜區，形成於鄰近該閘結構之該第一半導體層之表面；

一第二 P 型摻雜區，形成於該第二半導體層，該第一以及第二 P 型摻雜區同屬於一 P 型佈值區；以及

一連接線路(inter-connection)；

其中，該第一 N 型摻雜區與該第一 P 型摻雜區係分別為一第一二極體之一陰極以及一陽極；

該第二 N 型摻雜區與該第二 P 型摻雜區係分別為一第二二極體之一陰極以及一陽極；以及

該連接線路並聯或串聯該第一與該第二二極體而形成該混成二極體。

2.如申請專利範圍第 1 項之混成二極體，其中，該第一半導體層係為一 N 型井。

3.如申請專利範圍第 2 項之混成二極體，其中，該 N 型井係位於一 P 型基體(substrate)上。

4.如申請專利範圍第 1 項之混成二極體，其中，該第一半導體層係為一 P 型井。

5.如申請專利範圍第 1 項之混成二極體，其中，該絕緣層係為一閘氧化層。

6.如申請專利範圍第 1 項之混成二極體，其中，該絕緣層係為一場氧化層。

- 7.如申請專利範圍第1項之混成二極體，其中，該閘結構係環繞該第一P型摻雜區。
- 8.如申請專利範圍第1項之混成二極體，其中，該閘結構係環繞該第一N型摻雜區。
- 9.一種靜電放電(electrostatic discharge, ESD)防護電路，適用於一積體整合電路(integrated circuit)，包含有：
 - 至少一混成二極體(hybrid diode)，包含有：
 - 一第一半導體層；
 - 一閘結構，設於該第一半導體層上，由一第二半導體層設於一絕緣層上所構成；
 - 一第一N型摻雜區，形成於鄰近該閘結構之該第一半導體層之表面；
 - 一第二N型摻雜區，形成於該第二半導體層，該第一以及第二N型摻雜區同屬於一N型佈值區；
 - 一第一P型摻雜區，形成於鄰近該閘結構之該第一半導體層之表面；
 - 一第二P型摻雜區，形成於該第二半導體層，該第一以及第二P型摻雜區同屬於一P型佈值區；以及
 - 一連接線路；
 - 其中，該第一N型摻雜區與該第一P型摻雜區係分別為一第一二極體之一陰極以及一陽極；
 - 該第二N型摻雜區與該第二P型摻雜區係分別為一第二二極體之一陰極以及一陽極；以及
 - 該連接線路並聯或串聯該第一與該第二二極體，以形成該混成二極體；
 - 其中，該混成二極體之一陽極耦合至一第一接合鉚墊，該混成二極體之一陰極耦合至一第二接合鉚墊。
- 10.如申請專利範圍第9項之ESD防護電路，其中，該第一接合鉚墊與該

- 第二接合鉚墊其中之一係為一電源線(power plate)，另一係為一輸出入接合鉚墊。
- 11.如申請專利範圍第9項之ESD防護電路，其中，該第一接合鉚墊與該第二接合鉚墊係為該IC之二電源線(power plate)。
- 12.如申請專利範圍第11項之ESD防護電路，其中，於一正常電源供應狀態時，該二電源線係被供電並逆向偏壓該混成二極體。
- 13.如申請專利範圍第11項之ESD防護電路，其中，於一正常電源供應狀態時，該二電源線係被供電並順向偏壓該混成二極體。
- 14.如申請專利範圍第13項之ESD防護電路，其中，該ESD防護電路包含有複數個相串聯之混成二極體，具有一主陽極以及一主陰極，分別耦合至該二電源線。
- 15.如申請專利範圍第11項之ESD防護電路，其中，於一正常電源供應狀態時，該二電源線係接受相同的電壓。
- 16.如申請專利範圍第15項之ESD防護電路，其中，該ESD防護電路包含有複數個相串聯之混成二極體，具有一主陽極以及一主陰極，分別耦合至該二電源線。
- 17.如申請專利範圍第15項之ESD防護電路，其中，該二電源線係分別為一第一電源線以及一第二電源線，該IC另包含有一第三電源線，於一正常電源供應狀態時，係接受與該第一電源線不相同的電壓，該ESD防護電路另包含有一電源線間箝制電路，耦接於該第一電源線以及該第三電源線之間，用以箝制該第一電源線以及該第三電源線之間的跨壓。

18.一種ESD防護系統，適用於一積體整合電路(IC)，包含有：

- 一相對高電壓ESD匯流線(bus)；
- 一相對低電壓ESD匯流線(bus)；
- 一匯流線間箝制電路，耦接於該相對高電壓ESD匯流線以及該相對低電壓ESD匯流線之間；
- 一高電壓ESD連結電路，耦接於該相對高電壓ESD匯流線與一高電壓源線之間；
- 一低電壓ESD連結電路，耦接於該相對低電壓ESD匯流線與一低電壓源線之間；以及
- 一混成二極體，設於該高電壓ESD連結電路與該低電壓ESD連結電路其中之一內，包含有：
 - 一第一半導體層；
 - 一閘結構，設於該第一半導體層上，由一第二半導體層設於一絕緣層上所構成；
 - 一第一N型摻雜區，形成於鄰近該閘結構之該第一半導體層之表面；
 - 一第二N型摻雜區，形成於該第二半導體層，該第一以及第二N型摻雜區同屬於一N型佈值區；
 - 一第一P型摻雜區，形成於鄰近該閘結構之該第一半導體層之表面；
 - 一第二P型摻雜區，形成於該第二半導體層，該第一以及第二P型摻雜區同屬於一P型佈值區；以及
 - 一連接線路(inter-connection)；

其中，該第一N型摻雜區與該第一P型摻雜區係分別為一第一二極體之一陰極以及一陽極；該第二N型摻雜區與該第二P型摻雜區係分別為一第二二極體之一陰極以及一陽極；以及該連接線路並聯或串聯該第一與該第二二極體，以形成該混成二極體。

19.如申請專利範圍第18項之ESD防護系統，其中，該ESD防護系統包含有：

- 複數高電壓ESD連結電路，分別耦接於該相對高電壓ESD匯流線與複數高電壓源線之間；以及
- 複數低電壓ESD連結電路，分別耦接於該相對低電壓ESD匯流線與複數低電壓源線之間；

其中，該混成二極體係設於該等高電壓ESD連結電路與該等低電壓ESD連結電路其中之一內。

圖式簡單說明：

- 第1圖為帶有淺溝隔離技術之CMOS製程所產生的傳統P型二極體；
- 第2圖為帶有淺溝隔離技術之CMOS製程所產生的傳統N型二極體；
- 第3圖為IBM所提供之改良式P型二極體；
- 第4圖為IBM所提供之改良式N型二極體；
- 第5(a)~5(c)圖為本發明之P型混成二極體中的絕緣層以閘氧化層實施之元件剖面圖，以及其相對應之元件符號；
- 第6(a)~6(c)圖為本發明之P型混成二極體中的絕緣層以場氧化層實施之元件剖面圖，以及其相對應之元件符號；
- 第7圖為一種本發明之P型混成二極體的佈局圖；
- 第8(a)~8(c)圖為本發明之N型混成二極體中的絕緣層以閘氧化層實施之元件剖面圖；
- 第9(a)~9(c)圖為本發明之N型混成二極體中的絕緣層以場氧化層實施之元件剖面圖；
- 第10圖為一種本發明之N型混成

二極體的佈局圖；

第11(a)~11(d)圖為四個運用本發明之混成二極體的輸出入埠 ESD 防護電路示意圖；

第12(a)~12(c)圖為三個以本發明之 N 型混成二極體實施的電源線間箝制電路；

第13(a)~13(c)圖為三個以本發明之 P 型混成二極體實施的電源線間箝制電路；

第14(a)~14(c)圖為三個以本發明之 N 型混成二極體實施的電源線間箝制電路；

第15(a)~15(c)圖為三個以本發明

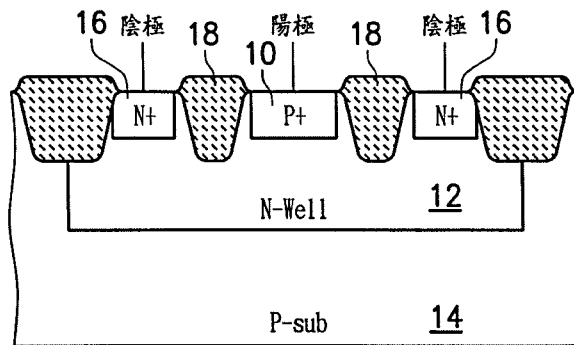
之 P 型混成二極體實施的電源線間箝制電路；

第16(a)~16(c)圖係為以本發明之 N 型以及 P 型混成二極體實施的三種整體 IC 之 ESD 防護系統；

第17(a)~17(c)圖係為以本發明之 P 型混成二極體實施的三種整體 IC 之 ESD 防護系統；

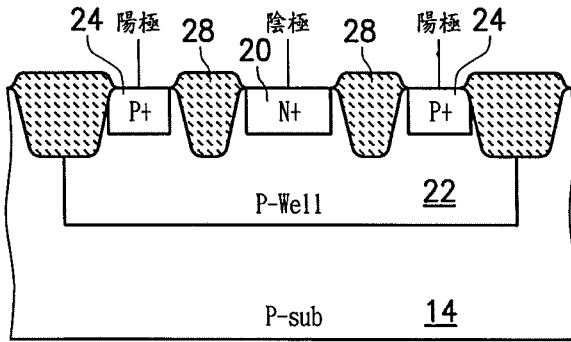
10. 第18(a)~18(c)圖係為以本發明之 N 型以及 P 型混成二極體實施的三種整體 IC 之 ESD 防護系統；以及

第19(a)~19(c)圖係為以本發明之 P 型混成二極體實施的三種整體 IC 之 ESD 防護系統。

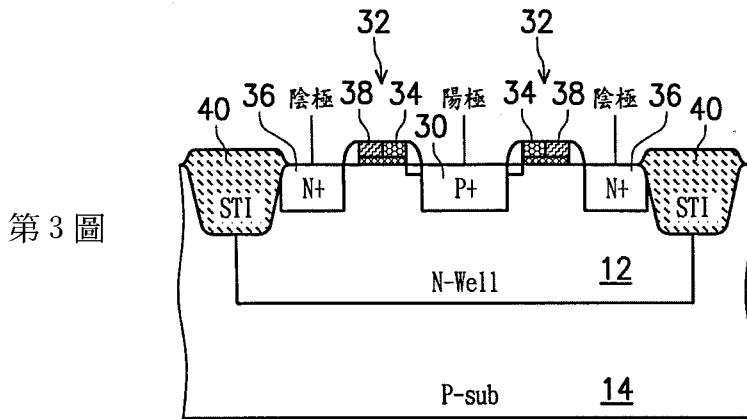


第 1 圖

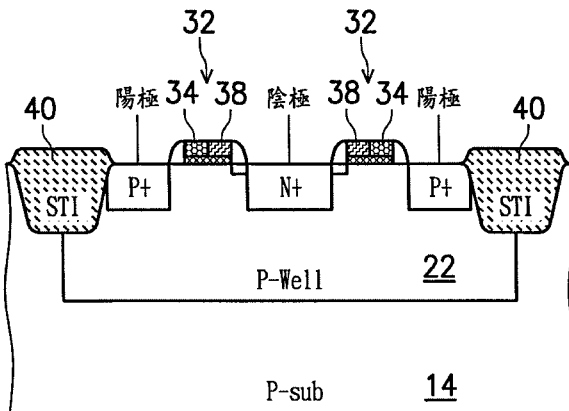
(5)



第 2 圖



第 3 圖

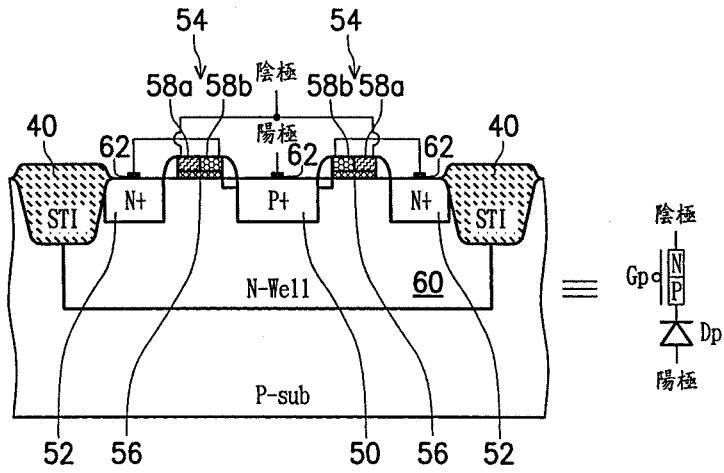


第 4 圖

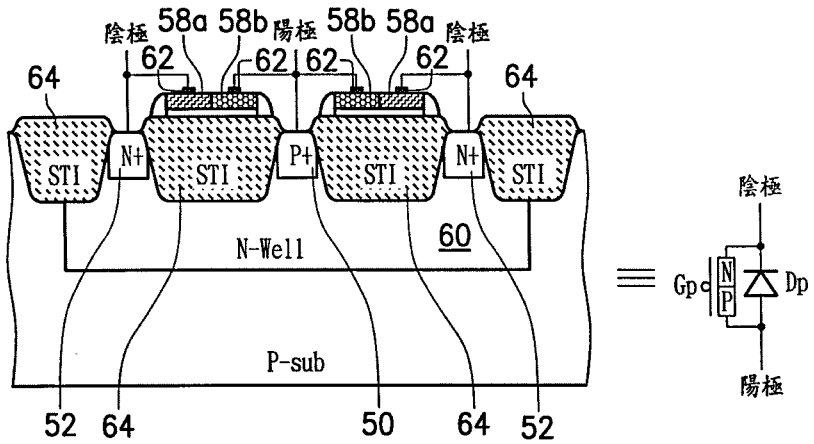
Figure 1 is a cross-sectional view of a semiconductor device. The device is built on a P-substrate (P-sub) and includes an N-Well. The N-Well contains several doped regions: N+ regions (labeled 62) and a P+ region (labeled 62). The N+ regions are separated by STI (Shallow Trench Isolation) regions. The P+ region is also separated by STI regions. The device includes a series of electrodes: 54, 58a, 58b, 54, 58a, 62, 58b, 54, 58a, 62, 58b, 54, 58a, 62, 58b, 54. The electrodes 54, 58a, 58b, and 62 are connected to the N+ and P+ regions. A schematic symbol on the right indicates a diode structure with a P+ region (Gp) and an N+ region (Dp), with the P+ region labeled as the anode (陽極) and the N+ region labeled as the cathode (陰極).

— 5064 —

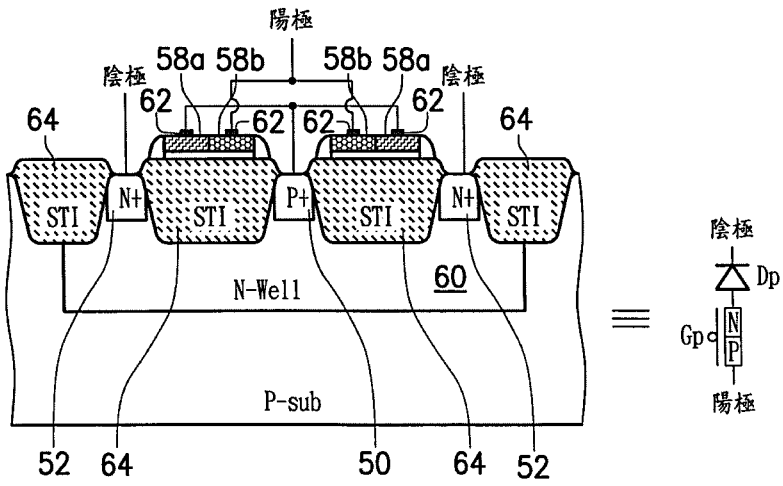
(7)



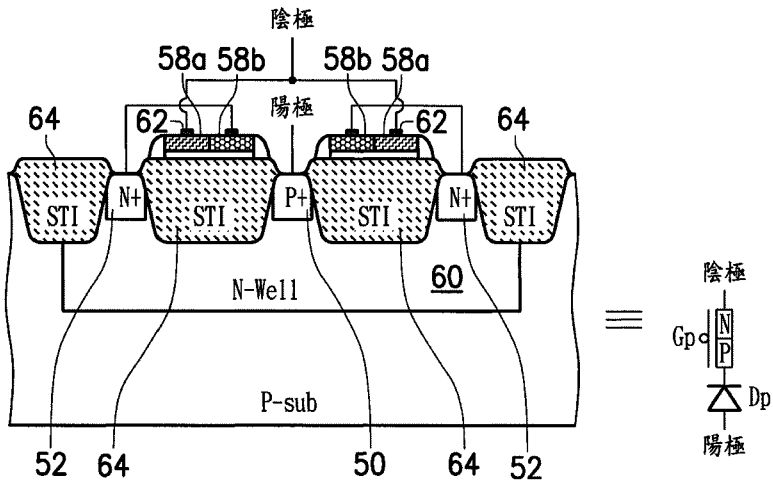
第 5c 圖



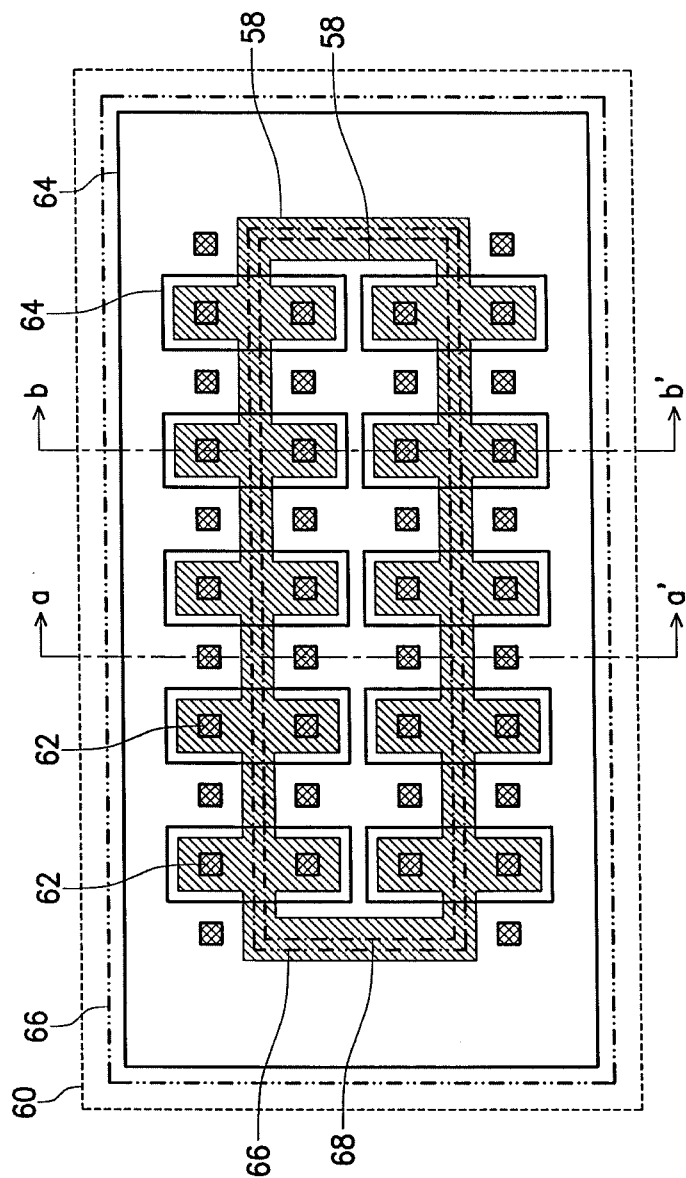
第 6a 圖



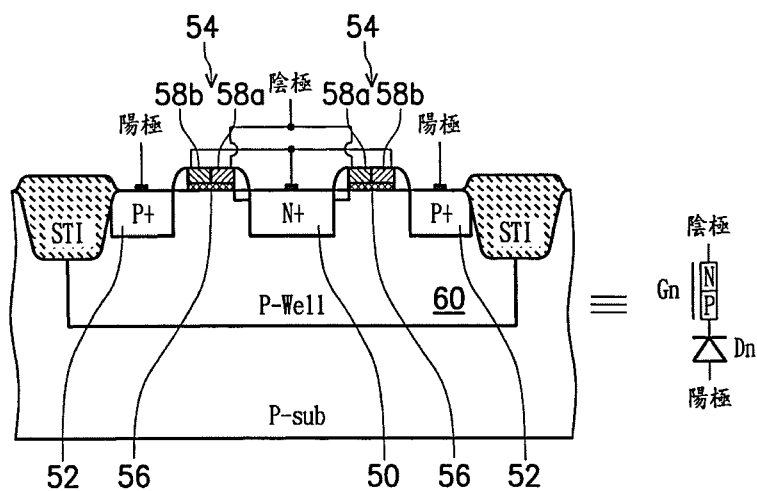
第 6b 圖



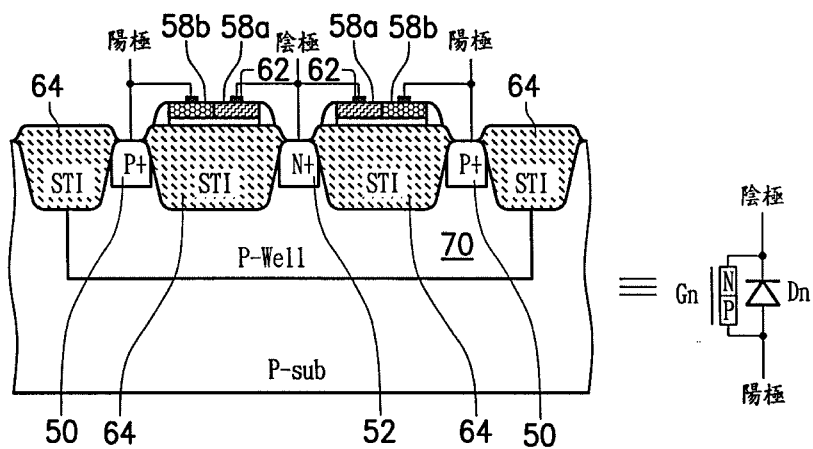
第 6c 圖



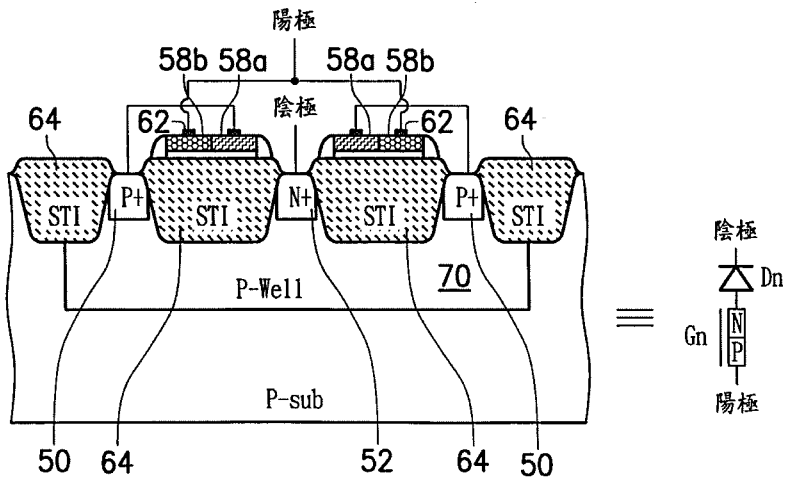
第7圖



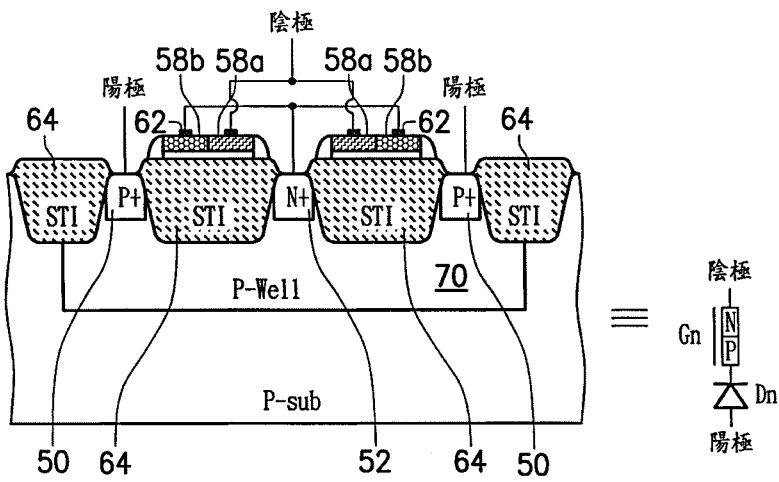
第 8c 圖



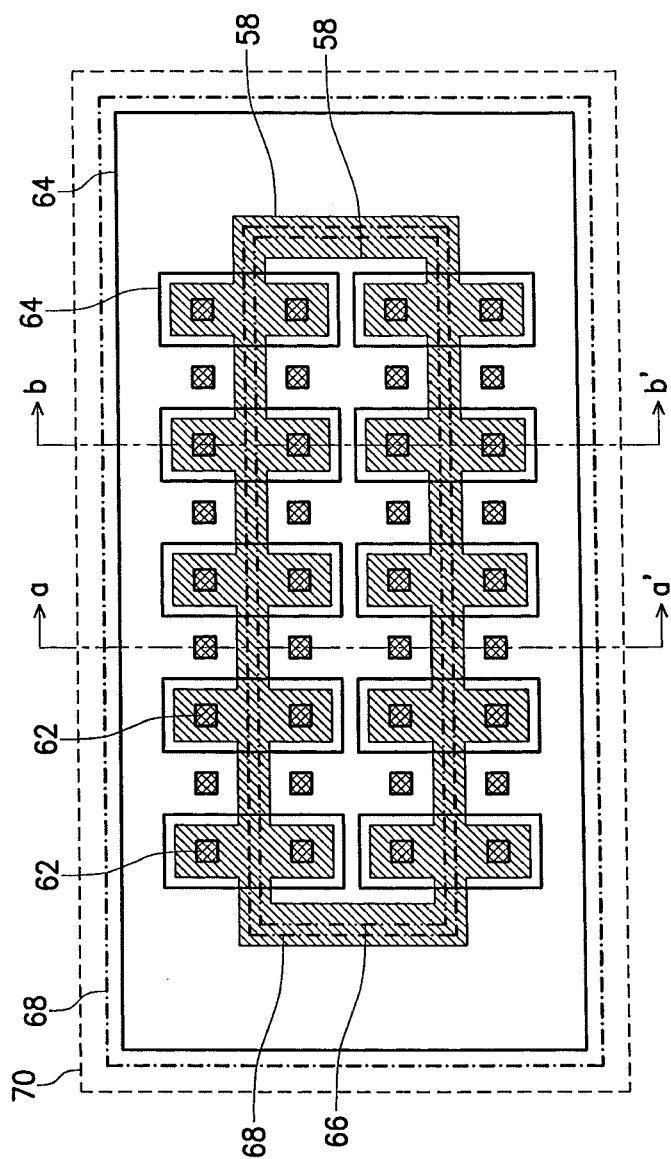
第 9a 圖



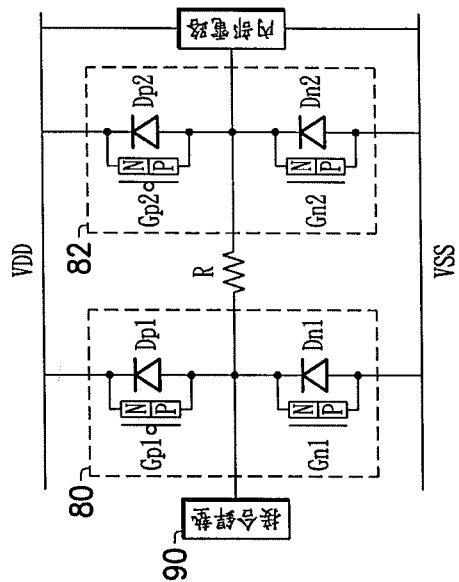
第 9b 圖



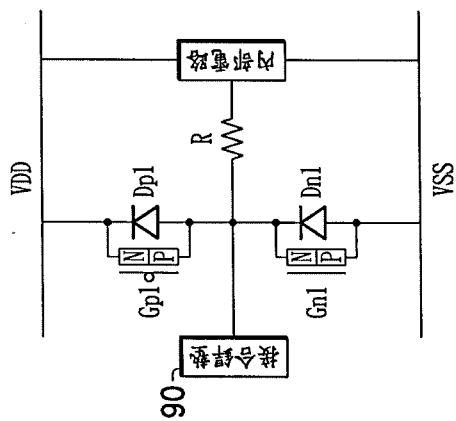
第 9c 圖



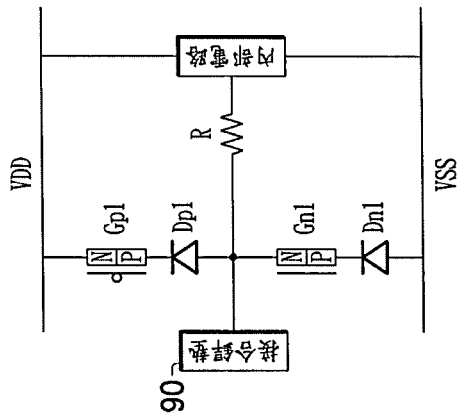
第10圖



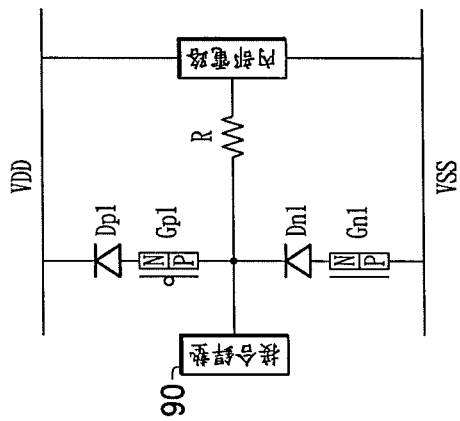
第 11b 圖



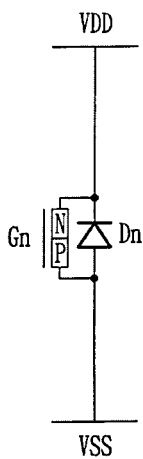
第 11a 圖



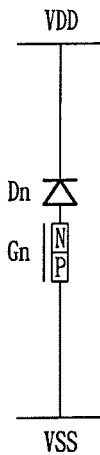
第 11d 圖



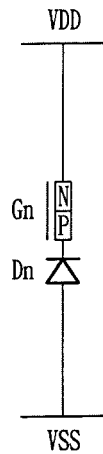
第 11c 圖



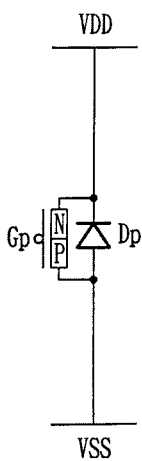
第 12a 圖



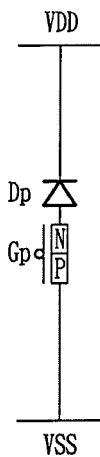
第 12b 圖



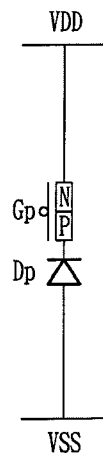
第 12c 圖



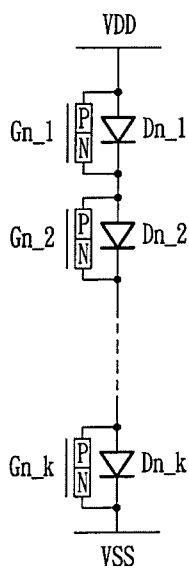
第 13a 圖



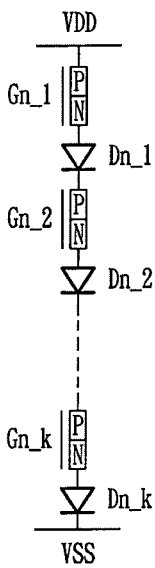
第 13b 圖



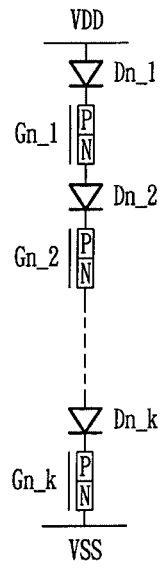
第 13c 圖



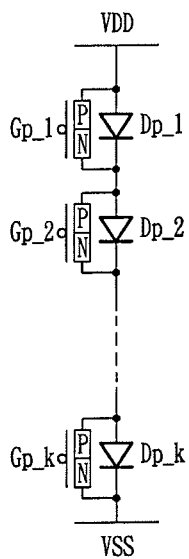
第 14a 圖



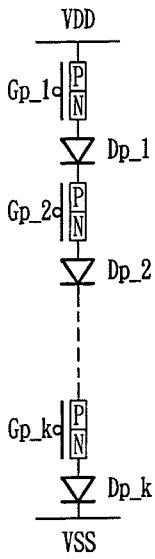
第 14b 圖



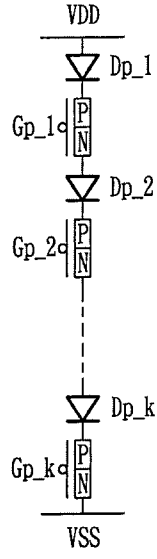
第 14c 圖



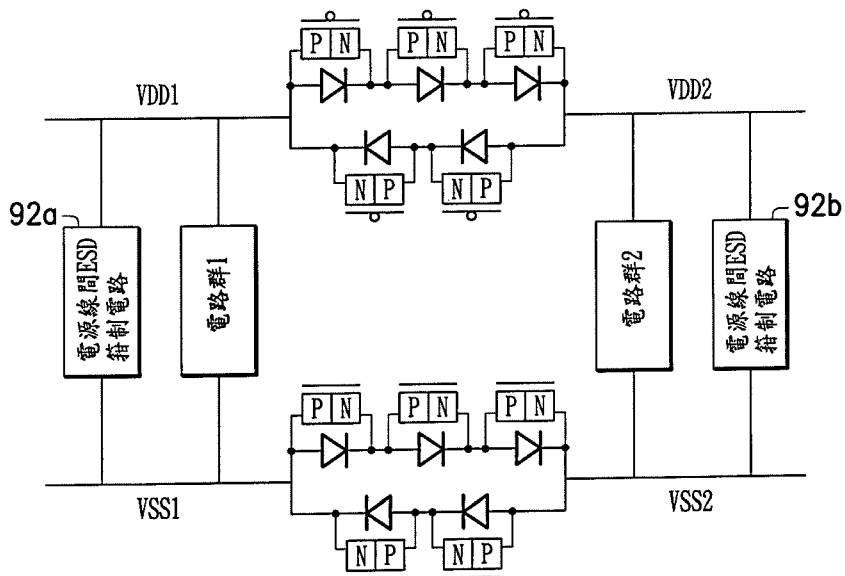
第 15a 圖



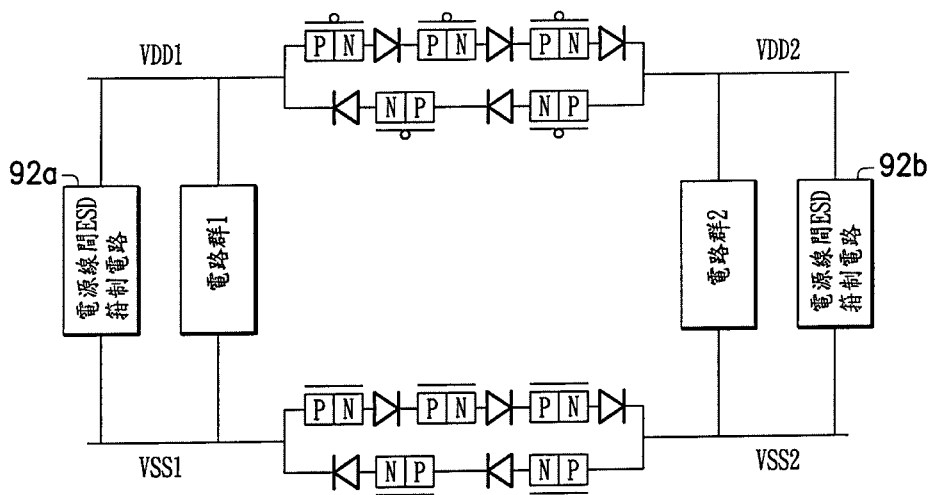
第 15b 圖



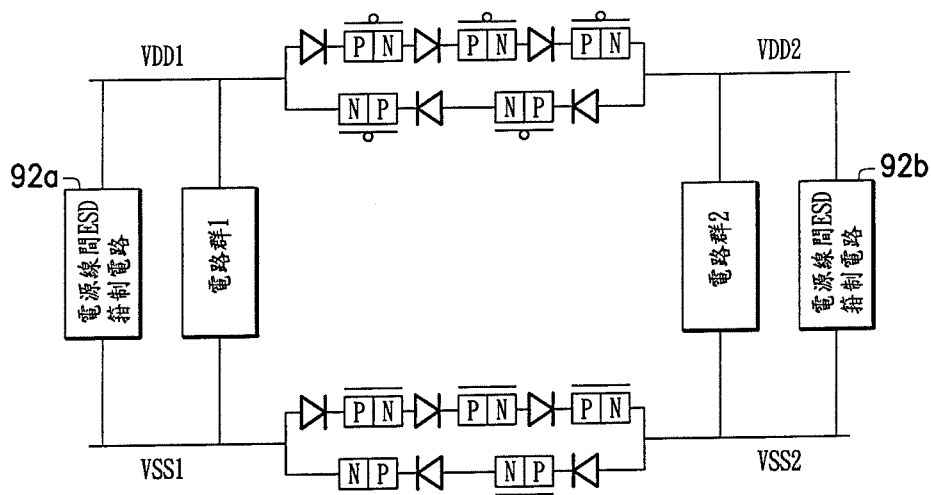
第 15c 圖



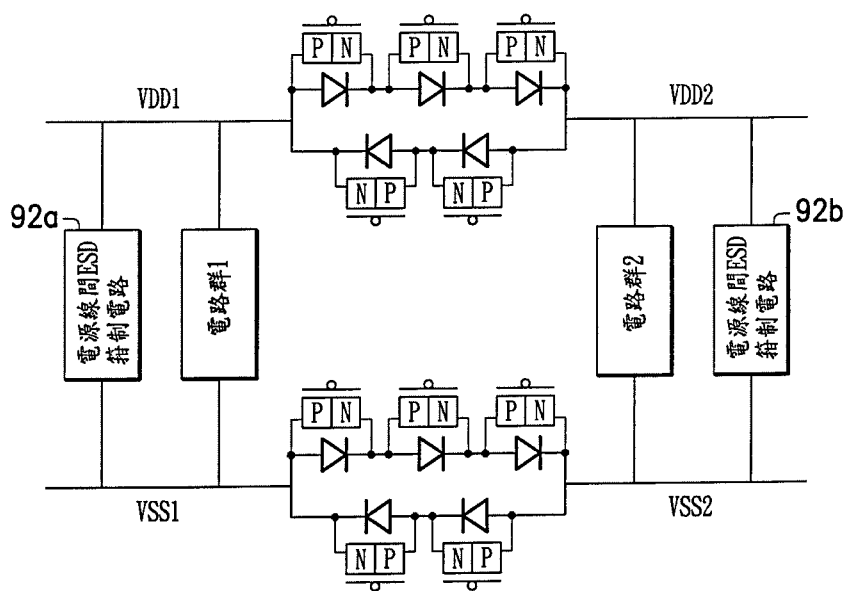
第 16a 圖



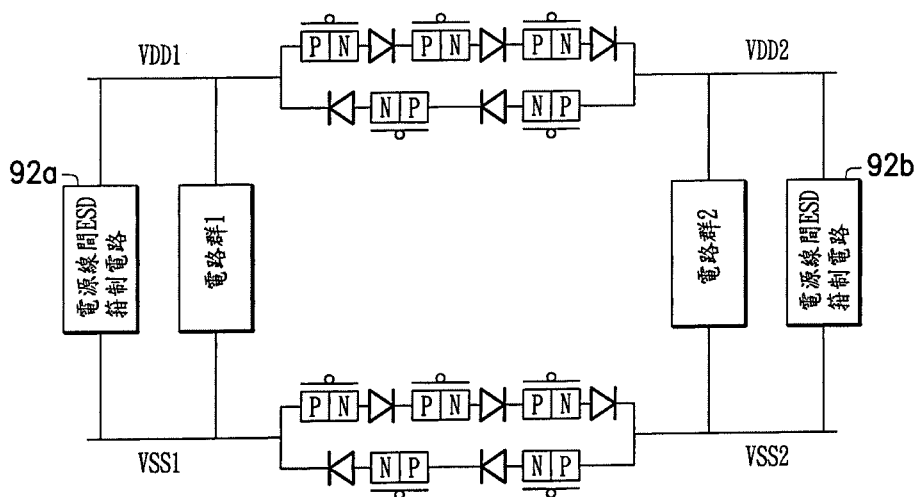
第 16b 圖



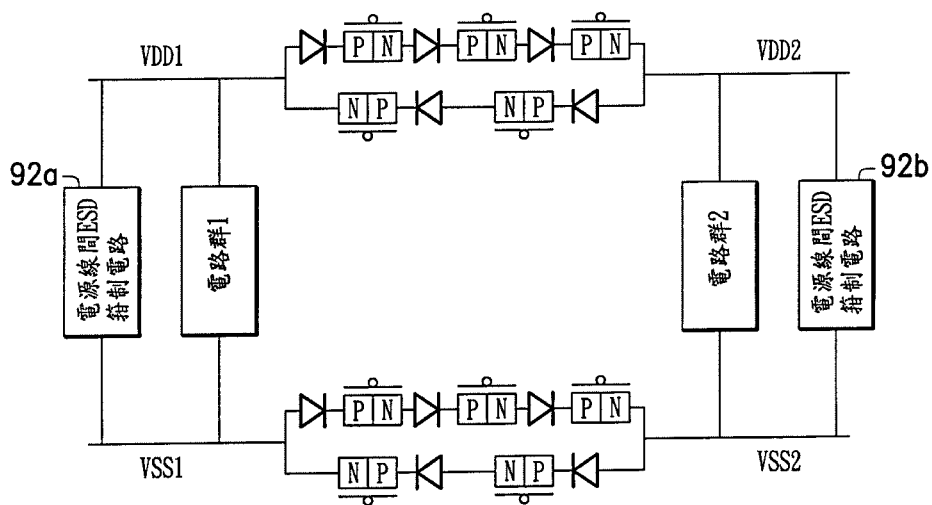
第 16c 圖



第 17a 圖



第 17b 圖



第 17c 圖

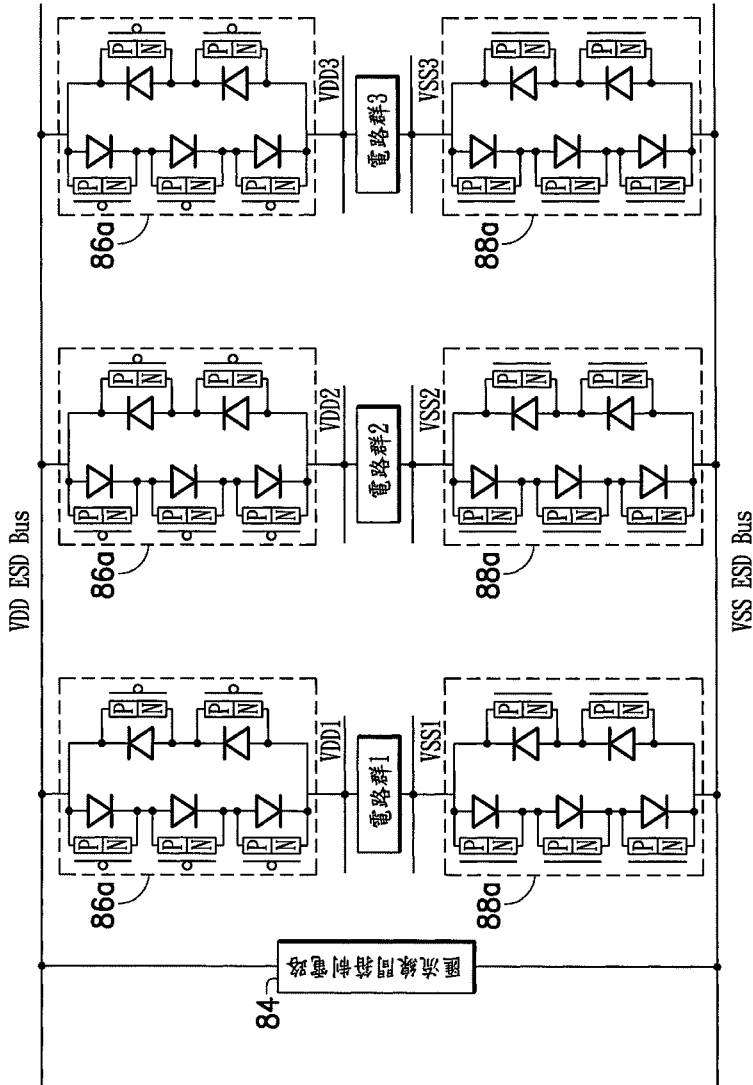
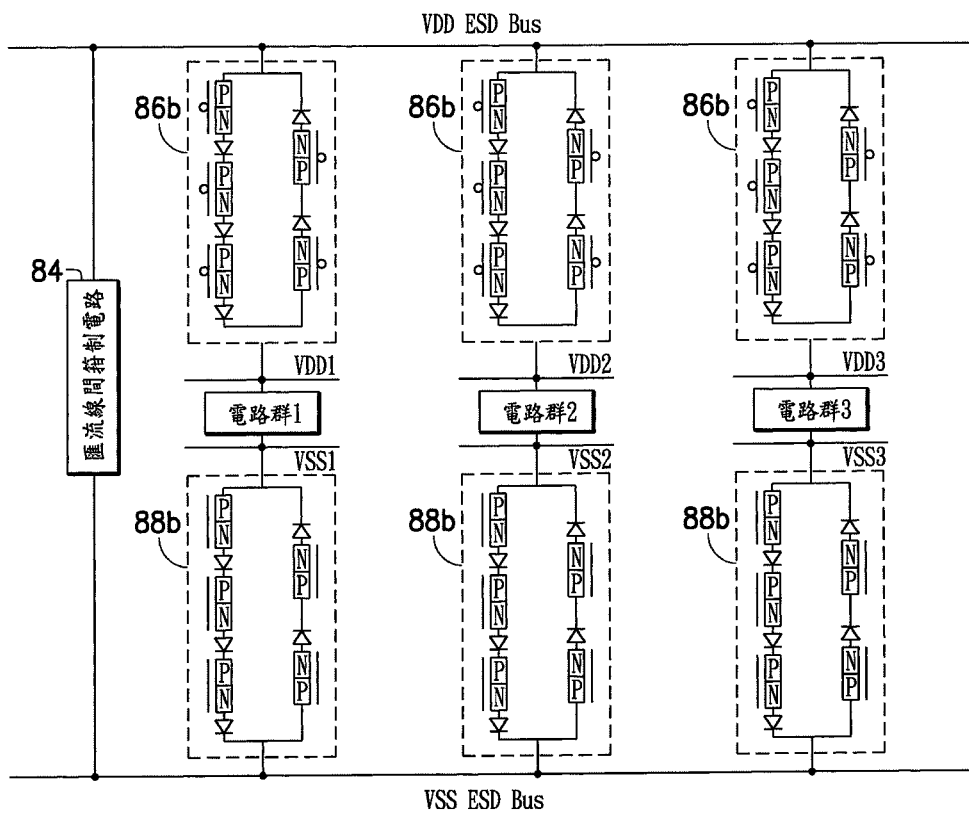
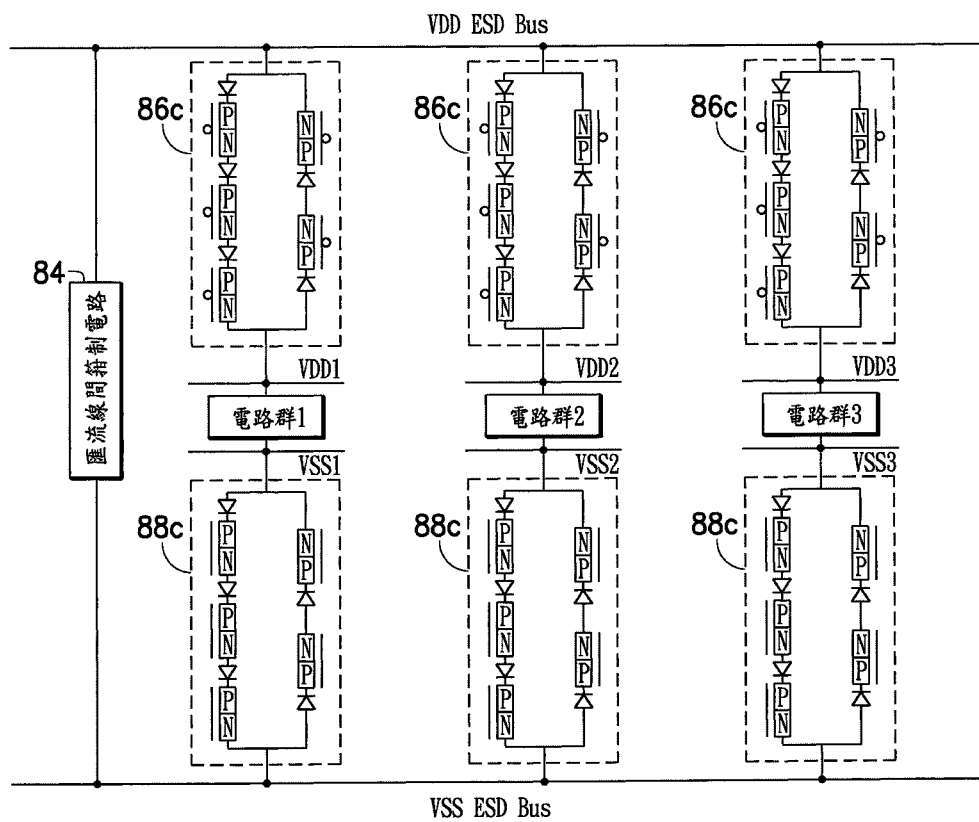


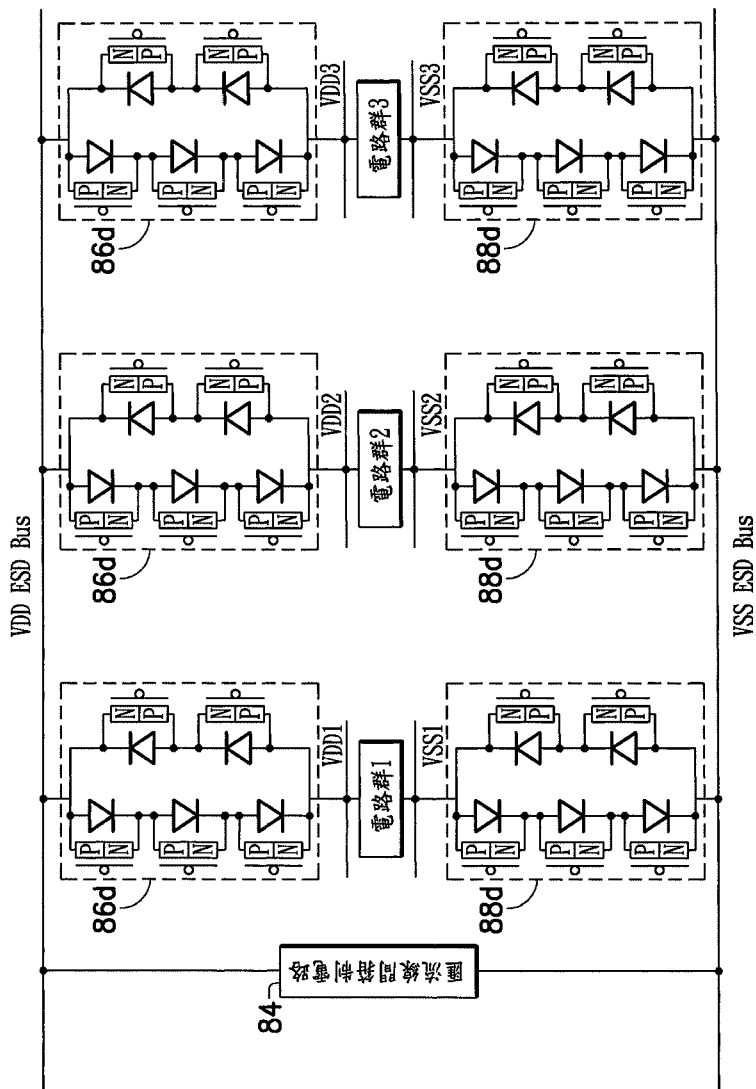
圖 18a



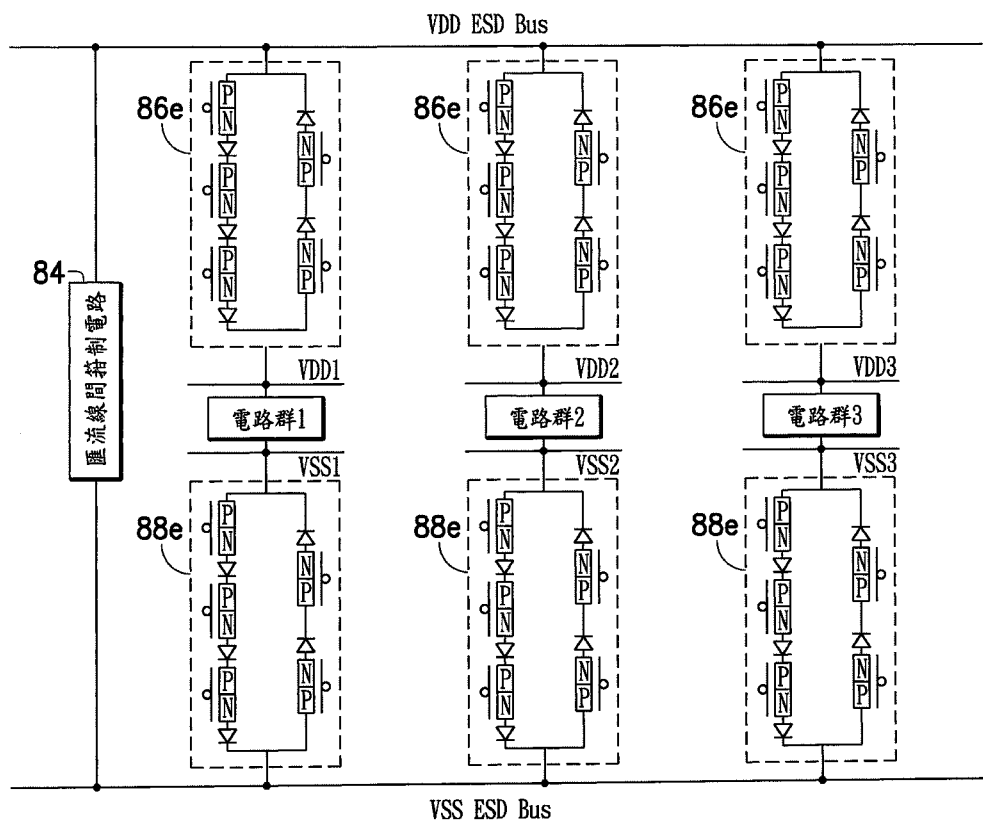
第 18b 圖



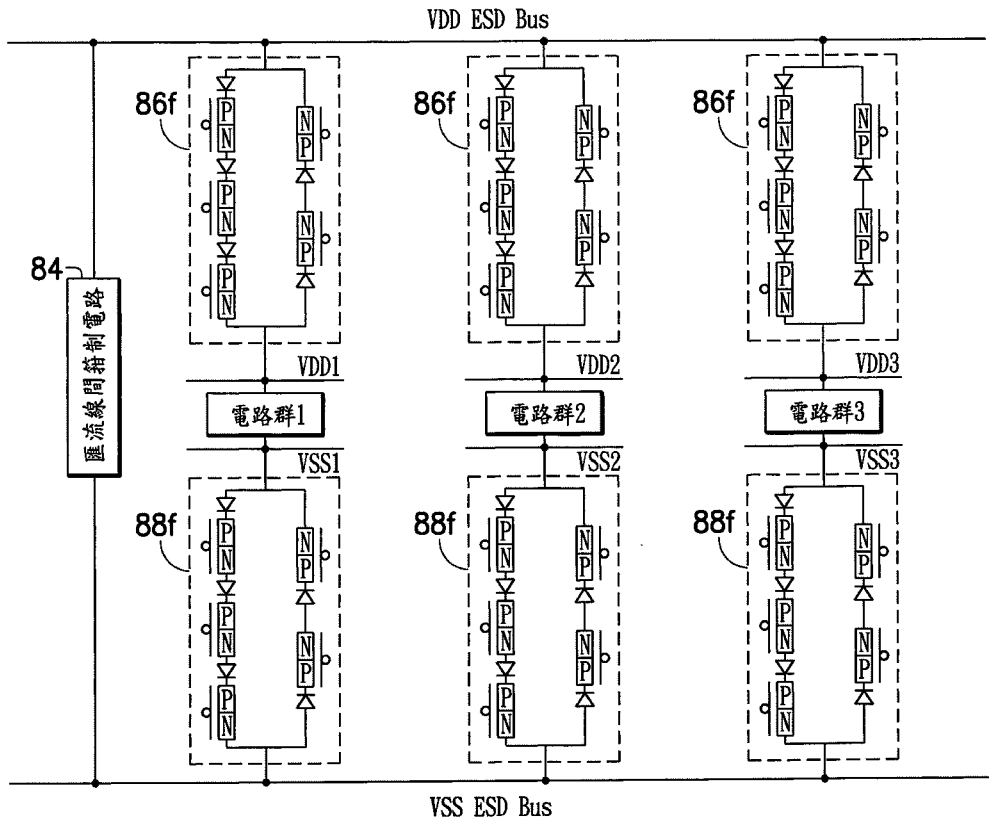
第 18c 圖



第 19a 圖



第 19b 圖



第 19c 圖