

中華民國專利公報 [19] [12]

[11]公告編號：519748

[44]中華民國 92年 (2003) 02月 01日

發明

全 8 頁

[51] Int.Cl⁰⁷ : H01L23/60

[54]名稱：具基板觸發靜電放電保護之半導體裝置

[21]申請案號：090132428

[22]申請日期：中華民國 90年 (2001) 12月 26日

[72]發明人：

洪根剛

彰化縣芬園鄉舊社村彰南路五段五十三號

柯明道

新竹市寶山路二〇〇巷三號四樓之三

[71]申請人：

智原科技股份有限公司

新竹科學工業園區力行一路十之二號

[74]代理人：周良吉 先生

劉致宏 先生

1

2

[57]申請專利範圍：

1. 一種具基板觸發(substrate-triggered)靜電放電保護之半導體裝置，包含：

一防護部(guard portion)；

一第一MOS電晶體陣列(Metal Oxide Semiconductor Transistor Array)，其形成於該防護部中；

一第二MOS電晶體陣列，其形成於該防護部中；以及

一基板觸發部，其形成於該第一MOS電晶體陣列與該第二MOS電晶體陣列之間，用以偏壓該第一MOS電晶體陣列中之至少一寄生雙載子接面電晶體(parasitic bipolar junction transistor, parasitic BJT)的基極與該

第二MOS電晶體陣列中之至少一寄生雙載子接面電晶體的基極。

2. 如申請專利範圍第1項所述之具基板觸發靜電放電保護之半導體裝置，更包含：

一絕緣部(isolation portion)，其係形成於該防護部、該第一MOS電晶體陣列、該第二MOS電晶體陣列與該基板觸發部之間。

3. 如申請專利範圍第2項所述之具基板觸發靜電放電保護之半導體裝置，其中該絕緣部為一淺溝渠絕緣部(shallow trench isolation portion, STI)。

4. 如申請專利範圍第1項所述之具基板

觸發靜電放電保護之半導體裝置，其中該第一 MOS 電晶體陣列與該第二 MOS 電晶體陣列中之 MOS 電晶體為 NMOS 電晶體。

- 5.如申請專利範圍第1項所述之具基板觸發靜電放電保護之半導體裝置，其中該第一 MOS 電晶體陣列與該第二 MOS 電晶體陣列中之 MOS 電晶體為 PMOS 電晶體。
- 6.如申請專利範圍第1項所述之具基板觸發靜電放電保護之半導體裝置，其中該基板觸發部係一 P⁺ 擴散區。
- 7.如申請專利範圍第1項所述之具基板觸發靜電放電保護之半導體裝置，更包含：
 - 一第一 N 井(N - well)，其係形成於該第一 MOS 電晶體陣列與該第二 MOS 電晶體陣列之間，並位於該基板觸發部一側。
- 8.如申請專利範圍第7項所述之具基板觸發靜電放電保護之半導體裝置，更包含：
 - 一絕緣部，其係形成於該防護部、該第一 MOS 電晶體陣列、該第二 MOS 電晶體陣列、基板觸發部與該第一 N 井之間。
- 9.如申請專利範圍第8項所述之具基板觸發靜電放電保護之半導體裝置，其中該絕緣部為一淺溝渠絕緣部。
- 10.如申請專利範圍第7項所述之具基板觸發靜電放電保護之半導體裝置，更包含：
 - 一第二 N 井，其係形成於該第一 MOS 電晶體陣列與該第二 MOS 電晶體陣列之間，並與該第一 N 井分別位於該基板觸發部之兩側。
- 11.如申請專利範圍第10項所述之具基板觸發靜電放電保護之半導體裝置，更包含：
 - 一絕緣部，其係形成於該防護部、

該第一 MOS 電晶體陣列、該第二 MOS 電晶體陣列、基板觸發部、該第一 N 井與該第二 N 井之間。

- 12.如申請專利範圍第11項所述之具基板觸發靜電放電保護之半導體裝置，其中該絕緣部為一淺溝渠絕緣部。

圖式簡單說明：

圖 1A 為一示意圖，顯示習知具靜電放電保護之半導體裝置的電路佈局示意圖。

圖 1B 為一示意圖，顯示沿著圖 1A 中的線 AA' 之半導體裝置的剖面圖。

15. 圖 2A 為一示意圖，顯示習知另一具基板觸發靜電放電保護之半導體裝置的電路佈局示意圖。

圖 2B 為一示意圖，顯示沿著圖 2A 中的線 BB' 之半導體裝置的剖面圖。

20. 圖 3A 為一示意圖，顯示依本發明較佳實施例之一種具基板觸發靜電放電保護之半導體裝置的電路佈局示意圖。

25. 圖 3B 為一示意圖，顯示沿著圖 3A 中的線 CC' 之半導體裝置的剖面圖。

圖 3C 為一示意圖，顯示沿著圖 3A 中的線 DD' 之半導體裝置的剖面圖。

30. 圖 3D 為一示意圖，顯示沿著圖 3A 中的線 EE' 之半導體裝置的剖面圖。

35. 圖 4 為一示意圖，顯示依本發明另一較佳實施例之一種具基板觸發靜電放電保護之半導體裝置的電路佈局示意圖。

40. 圖 5 為一示意圖，顯示依本發明另一較佳實施例之一種具基板觸發靜電放電保護之半導體裝置的電路佈局

(3)

5

6

示意圖。

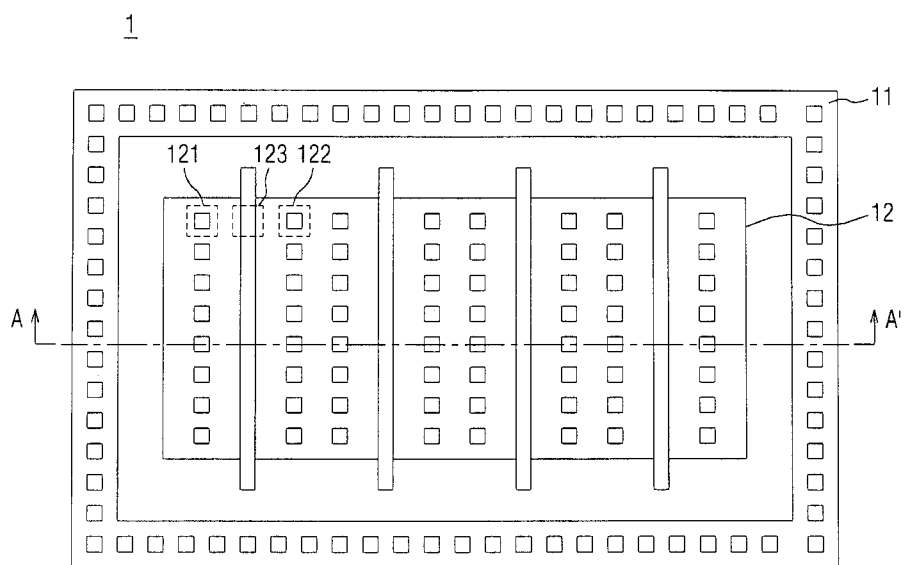


圖 1A

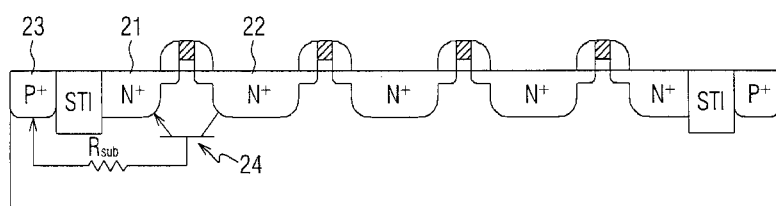


圖 1B

(4)

3

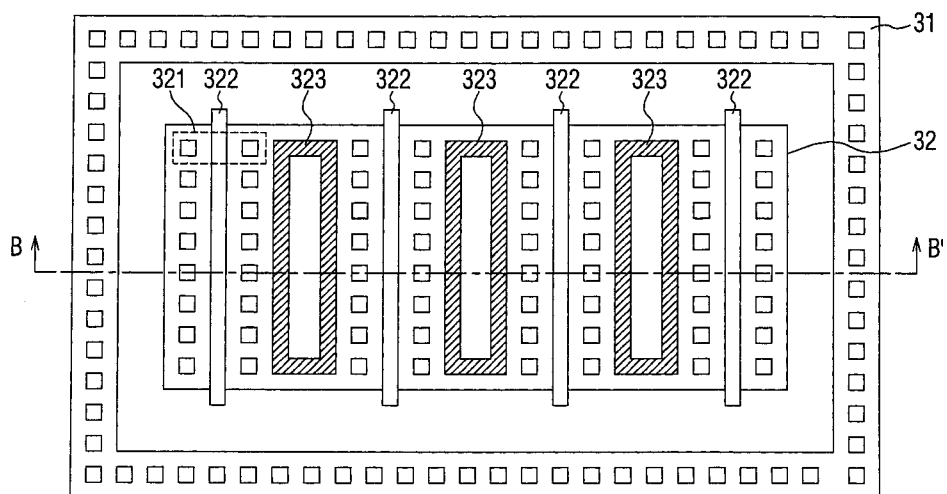


圖 2A

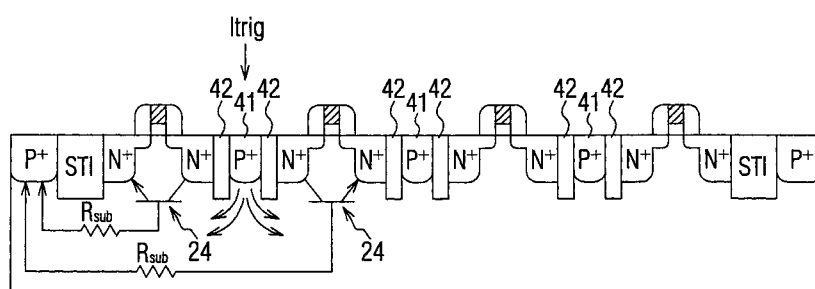


圖 2B

(5)

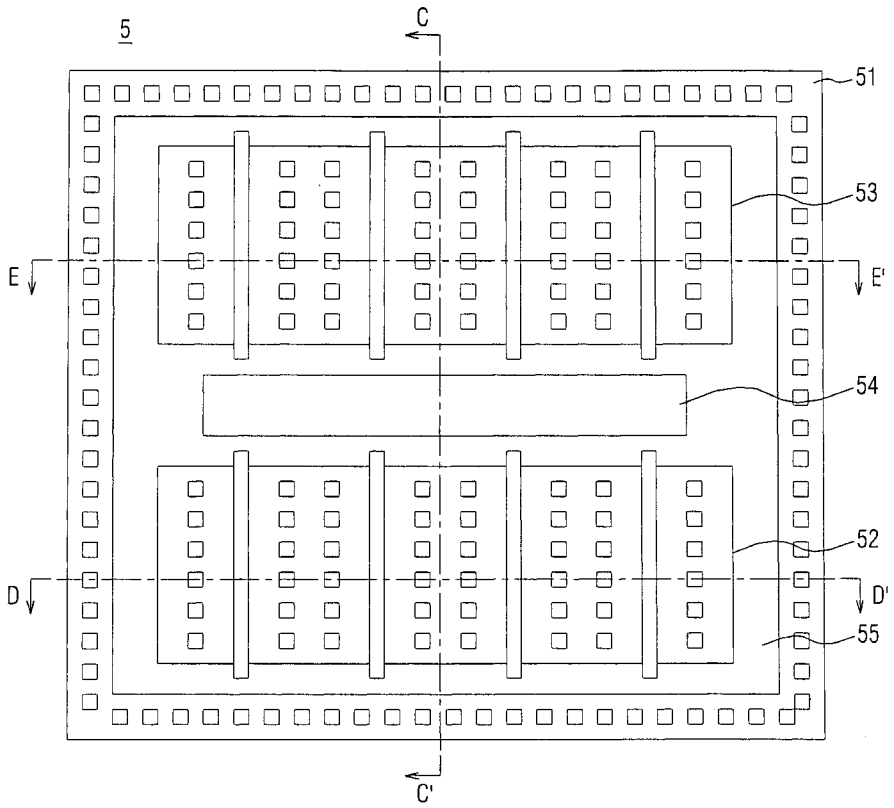


圖 3A

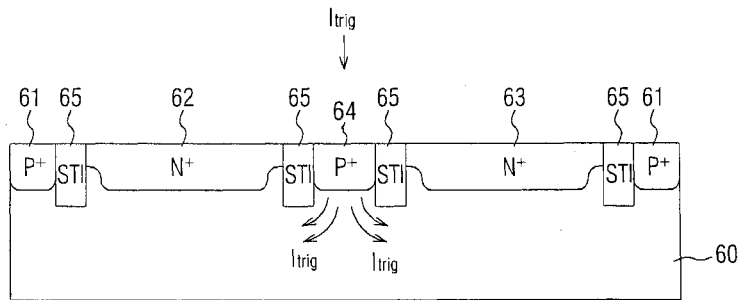


圖 3B

(6)

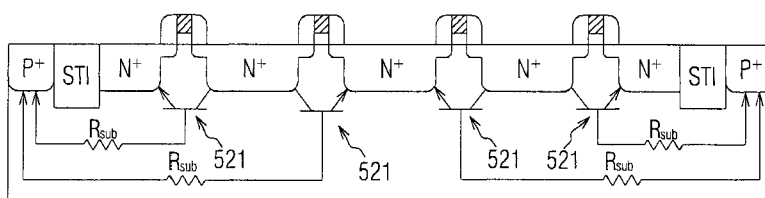


圖 3C

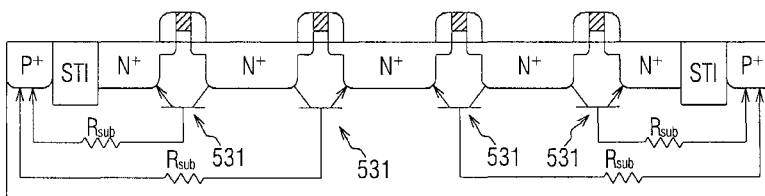


圖 3D

7

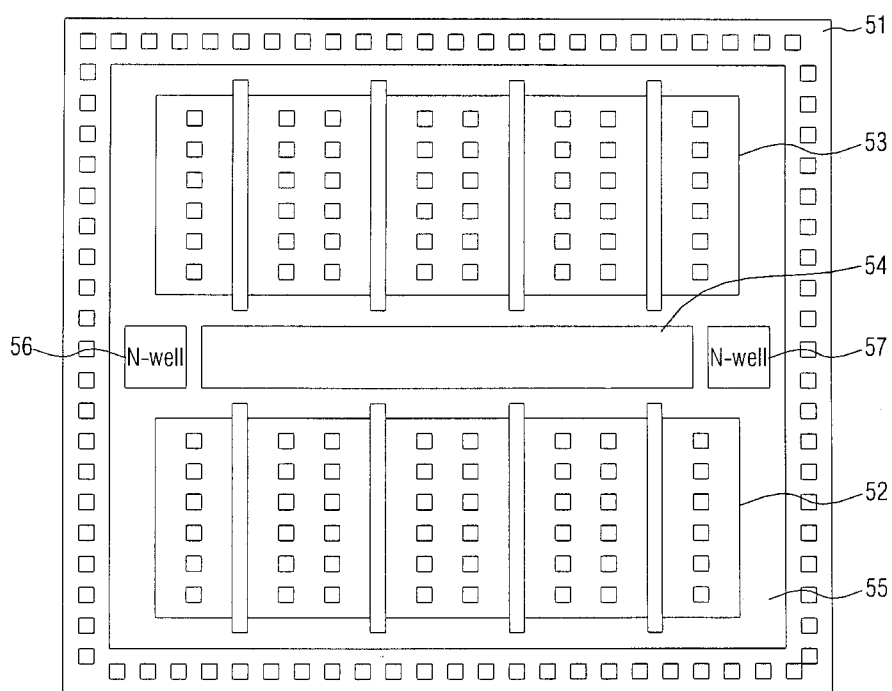


圖 4

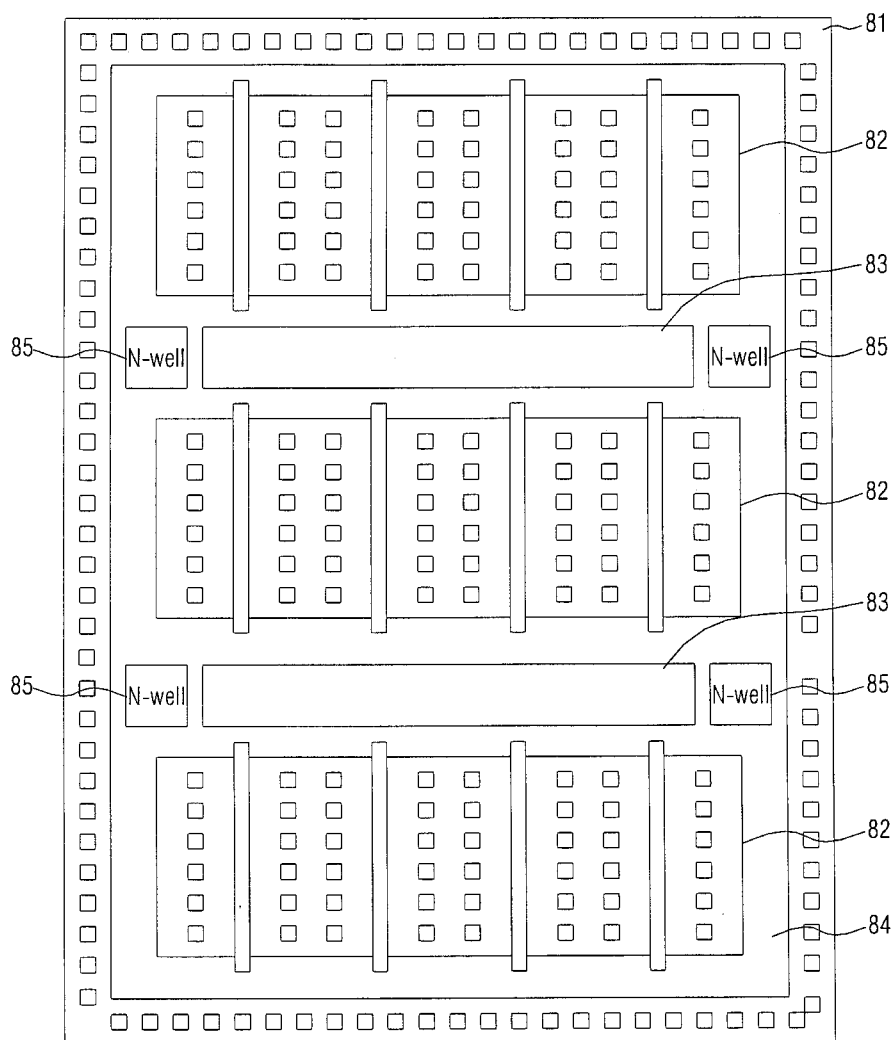
8

圖 5