

中華民國專利公報 [19] [12]

[11]公告編號：519749

[44]中華民國 92年 (2003) 02月 01日

發明

全 13 頁

[51] Int.Cl⁰⁷ : H01L23/60
H01L27/04
H01L21/822

[54]名稱：無閘極二極體元件之靜電放電防護電路及其製造方法

[21]申請案號：091101026

[22]申請日期：中華民國 91年 (2002) 01月 23日

[72]發明人：

柯明道

洪根剛

唐天浩

新竹市東區寶山路二〇〇巷三號四樓之三

彰化縣芬園鄉舊社村彰南路五段五十三號

新竹市東山街二十七巷十三號六樓

[71]申請人：

聯華電子股份有限公司

新竹科學工業園區新竹市力行二路三號

[74]代理人：詹銘文 先生

蕭錫清 先生

1

2

[57]申請專利範圍：

1.一種無閘極二極體元件之靜電放電防護電路，耦接於一輸入焊墊與一內部電路之間，包括：

一高電壓供應線與一低電壓供應線；

一第一二極體，具有一陽極耦接至該高電壓供應線與一陰極耦接至一節點；

一第二二極體，具有一陰極耦接至該低電壓供應線與一陽極耦接至該節點；

一第一二極體串，由複數個二極體串聯所構成，其中具有一陽極耦接至該高電壓供應線與一陰極耦接至該節點；以及

一第二二極體串，由複數個二極體串聯所構成，具有一陰極耦接至該低電壓供應線與一陽極耦接至該節點。

5. 2.如申請專利範圍第1項所述之無閘極二極體元件之靜電放電防護電路，其中當相對於該高電壓供應線之一正電壓施加於該輸入焊墊時，該無閘極二極體元件之靜電放電防護電路提供一條經由該第一二極體到該高電壓供應線的放電路線。

10. 3.如申請專利範圍第1項所述之無閘極二極體元件之靜電放電防護電路，其中當相對於該低電壓供應線之一負電壓施加於該輸入焊墊時，該無

閘極二極體元件之靜電放電防護電路提供一條經由該第二二極體到該低電壓供應線的放電路線。

- 4.如申請專利範圍第1項所述之無閘極二極體元件之靜電放電防護電路，其中當相對於該高電壓供應線之一負電壓施加於該輸入焊墊時，該無閘極二極體元件之靜電放電防護電路提供一條經由該第二二極體、該第二二極體串與該第一二極體串到該高電壓供應線的放電路線。
- 5.如申請專利範圍第1項所述之無閘極二極體元件之靜電放電防護電路，其中當相對於該低電壓供應線之一高電壓施加於該輸入焊墊時，該無閘極二極體元件之靜電放電防護電路提供一條經由該第一二極體、該第一二極體串與該第二二極體串到該低電壓供應線的放電路線。
- 6.如申請專利範圍第1項所述之無閘極二極體元件之靜電放電防護電路，其中該第一與該第二二極體與該第一與該第二二極體串中的各該些二極體均為無閘極二極體，且係利用絕緣層上有矽(SOI)之製程製作。
- 7.如申請專利範圍第1項所述之無閘極二極體元件之靜電放電防護電路，其中該第一與該第二二極體與該第一與該第二二極體串中的各該些二極體均為無閘極二極體，且係利用基體金屬氧化物半導體(bulk CMOS)之製程製作。
- 8.如申請專利範圍第1項所述之無閘極二極體元件之靜電放電防護電路，其中該第一與該第二二極體的尺寸相同，均其有相等的接面電容。
- 9.如申請專利範圍第1項所述之無閘極二極體元件之靜電放電防護電路，其中該第一與該第二二極體的尺寸不相同，其接面電容均不相同。

10.一種無閘極二極體元件之靜電放電防護電路，耦接於一輸出焊墊與一預驅動器之間，包括：

5. 一高電壓供應線與一低電壓供應線，分別耦接到該預驅動器；
- 一第一二極體，具有一陽極耦接至該高電壓供應線與一陰極耦接至一節點；
- 一第二二極體，具有一陰極耦接至該低電壓供應線與一陽極耦接至該節點；
10. 一第一二極體串，由複數個二極體串聯所構成，其中具有一陽極耦接至該高電壓供應線與一陰極耦接至該節點；
15. 一第二二極體串，由複數個二極體串聯所構成，具有一陰極耦接至該低電壓供應線與一陽極耦接至該節點；
20. 一第一型 MOS 電晶體，具有一源極耦接到該高電壓供應線，一汲極耦接到該節點，一閘極耦接到該預驅動器；以及
25. 一第二型 MOS 電晶體，具有一源極耦接到該低電壓供應線，一汲極耦接到該節點，一閘極耦接到該第一型 MOS 電晶體該閘極。
- 11.如申請專利範圍第10項所述之無閘極二極體元件之靜電放電防護電路，其中當相對於該高電壓供應線之一正電壓施加於該輸出焊墊時，該無閘極二極體元件之靜電放電防護電路提供一條經由該第一二極體到該高電壓供應線的放電路線。
30. 12.如申請專利範圍第10項所述之無閘極二極體元件之靜電放電防護電路，其中當相對於該低電壓供應線之一負電壓施加於該輸出焊墊時，該無閘極二極體元件之靜電放電防護電路提供一條經由該第二二極體
- 40.

到該低電壓供應線的放電路線。

- 13.如申請專利範圍第10項所述之無閘極二極體元件之靜電放電防護電路，其中當相對於該高電壓供應線之一負電壓施加於該輸出焊墊時，該無閘極二極體元件之靜電放電防護電路提供一條經由該第二二極體、該第二二極體串與該第一二極體串到該高電壓供應線的放電路線。
- 14.如申請專利範圍第10項所述之無閘極二極體元件之靜電放電防護電路，其中當相對於該低電壓供應線之一高電壓施加於該輸出焊墊時，該無閘極二極體元件之靜電放電防護電路提供一條經由該第一二極體、該第一二極體串與該第二二極體串到該低電壓供應線的放電路線。
- 15.如申請專利範圍第10項所述之無閘極二極體元件之靜電放電防護電路，其中該第一與該第二二極體與該第一與該第二二極體串中的各該些二極體均為無閘極二極體，且係利用絕緣層上有砷(SOI)之製程製作。
- 16.如申請專利範圍第10項所述之無閘極二極體元件之靜電放電防護電路，其中該第一與該第二二極體與該第一與該第二二極體串中的各該些二極體均為無閘極二極體，且係利用基體金屬氧化物半導體(bulk CMOS)之製程製作。
- 17.如申請專利範圍第10項所述之無閘極二極體元件之靜電放電防護電路，其中該第一與該第二二極體的尺寸相同，均具有相等的接面電容。
- 18.如申請專利範圍第10項所述之無閘極二極體元件之靜電放電防護電

路，其中該第一與該第二二極體的尺寸不相同，其接面電容均不相同。

5. 19.如申請專利範圍第10項所述之無閘極二極體元件之靜電放電防護電路，其中該第一型 MOS 電晶體係 PMOS 電晶體，而該第二型 MOS 電晶體係 NMOS 電晶體。
10. 20.一種無閘極二極體元件之靜電放電防護電路，耦接於一輸入焊墊與一內部電路之間，包括：
 - 一高電壓供應線與一低電壓供應線，均耦接至該內部電路；
 - 一第一二極體與一第二二極體，係串聯一起，其中該第一二極體之陽極耦接至一節點，而該第二二極體之陰極耦接至該高電壓供應線；
 - 一第三二極體與一第四二極體，係串聯一起，其中該第三二極體之陽極耦接至該低電壓供應線，而該第四二極體之陰極耦接至該節點；以及
 - 一靜電放電箝制電路，耦接於該高電壓供應線與該低電壓供應線之間。
25. 21.如申請專利範圍第20項所述之無閘極二極體元件之靜電放電防護電路，其中該靜電放電箝制電路係由複數個二極體串聯而成，具有陽極耦接到該高電壓供應線與陰極耦接到該低電壓供應線。
30. 22.如申請專利範圍第20項所述之無閘極二極體元件之靜電放電防護電路，其中該第一、該第二、該第三與該第四二極體以及該靜電放電箝制電路中的各該些二極體均為無閘極二極體，且係利用絕緣層上有砷(SOI)之製程製作。
35. 23.如申請專利範圍第20項所述之無閘極二極體元件之靜電放電防護電
- 40.

路，其中該第一、該第二、該第三與該第四二極體均為無閘極二極體，且係利用基體金屬氧化物半導體(bulk CMOS)之製程製作。

24.如申請專利範圍第21項所述之無閘極二極體元件之靜電放電防護電路，其中該靜電放電箝制電路中的各該些二極體均為無閘極二極體，且係利用絕緣層上有矽(SOI)之製程製作。

25.如申請專利範圍第20項所述之無閘極二極體元件之靜電放電防護電路，其中該靜電放電箝制電路中的各該些二極體均為無閘極二極體，且係利用基體金屬氧化物半導體(bulk CMOS)之製程製作。

26.如申請專利範圍第20項所述之無閘極二極體元件之靜電放電防護電路，其中該第一、該第二、該第三與該第四二極體的尺寸相同，均具有相等的接面電容。

27.如申請專利範圍第20項所述之無閘極二極體元件之靜電放電防護電路，其中該第一、該第二、該第三與該第四二極體的尺寸不相同，其接面電容均不相同。

28.一種絕緣層上有矽之無閘極二極體結構，包括：

一絕緣層上有矽基底，包括一基底、一絕緣層與一矽層依序堆疊；一對隔離結構，位於該矽層中，使在該對隔離結構之間與該矽層中具有一井區；

一第一型離子植入區與一第二型離子植入區，位於該井區中並且分別緊鄰各該隔離結構。

29.如申請專利範圍第28項所述之絕緣層上有矽之無閘極二極體元件，其中該第一型離子植入區與該第二型離子植入區分別植入P型與N型離

子。

30.如申請專利範圍第28項所述之絕緣層上有矽之無閘極二極體元件，其中該井區係植入淺濃度的P型離子。

5. 31.如申請專利範圍第28項所述之絕緣層上有矽之無閘極二極體元件，其中該井區矽植入淺濃度的N型離子。

10. 32.如申請專利範圍第28項所述之絕緣層上有矽之無閘極二極體元件，其中該絕緣層矽埋入式氧化層。

33.如申請專利範圍第28項所述之絕緣層上有矽之無閘極二極體元件，其中該對隔離結構為淺溝渠隔離結構。

15. 34.一種絕緣層上有矽之無閘極二極體結構，包括：

一絕緣層上有矽基底，包括一基底、一絕緣層與一矽層依序堆疊；

20. 一對隔離結構，位於該矽層中，使在該對隔離結構之間與該矽層中具有一第一井區與一第二井區，其中該第一井區與該第二井區相鄰；

25. 一第一型離子植入區與一第二型離子植入區，分別位於該第一與該第二井區中，並且分別緊鄰各該隔離結構，藉以使該絕緣層上有矽之無閘極二極體元件之接面為該第一與該第二井區之接面。

30. 35.如申請專利範圍第34項所述之絕緣層上有矽之無閘極二極體元件，其中該第一型離子植入區與該第二型離子植入區分別植入P型與N型離子。

35. 36.如申請專利範圍第35項所述之絕緣層上有矽之無閘極二極體元件，其中該第一與該第二井區係分別植入淺濃度的P型與N型離子。

40. 37.如申請專利範圍第34項所述之絕緣層上有矽之無閘極二極體元件，其

中該絕緣層矽埋入式氧化層。

- 38.如申請專利範圍第34項所述之絕緣層上有矽之無閘極二極體元件，其中該對隔離結構為淺溝渠隔離結構。
- 39.一種形成絕緣層上有矽之無閘極二極體的方法，包括：
提供一絕緣層上有矽基底，包括一基底、一絕緣層與一矽層依序堆疊；
形成一對隔離結構於該矽層中，使在該對隔離結構之間與該矽層中具有一井區；
形成一第一型離子植入區與一第二型離子植入區於該井區中，並且分別緊鄰各該隔離結構。
- 40.如申請專利範圍第39項所述之形成絕緣層上有矽之無閘極二極體的方法，其中該第一型離子植入區與該第二型離子植入區分別植入P型與N型離子。
- 41.如申請專利範圍第39項所述之形成絕緣層上有矽之無閘極二極體的方法，其中該井區係植入淺濃度的P型離子。
- 42.如申請專利範圍第39項所述之形成絕緣層上有矽之無閘極二極體的方法，其中該井區矽植入淺濃度的N型離子。
- 43.一種基體COMS無閘極二極體結構，包括：
一基底，該基底具有一井；
一對隔離結構，位於該基底中；
一第一型離子植入區，位於該井中，且位於該對隔離結構之間；以及
一對第二型離子植入區，位於井中並且分別緊鄰各該隔離結構，其中該對第二型離子植入區分別以該井與該第一型離子植入區分離。

- 44.如申請專利範圍第43項所述之基體COMS無閘極二極體，其中該第一型離子植入區與該第二型離子植入區分別植入P型與N型離子。
5. 45.如申請專利範圍第43項所述之基體COMS無閘極二極體，其中該井區係植入淺濃度的P型離子。
- 46.一種形成基體COMS無閘極二極體的方法，包括：
10. 提供一基底，該基底中形成一井；
形成一對隔離結構於該基底；
形成一第一型離子植入區與該井中，且位於該對隔離結構之間；以及
15. 形成一對第二型離子植入區於該井區中，並且分別緊鄰各該隔離結構，各該第二型離子植入區分別以該井與該第一型離子植入區分離。
20. 47.如申請專利範圍第46項所述之形成基體COMS無閘極二極體的方法，其中該第一型離子植入區與該第二型離子植入區分別植入P型與N型離子。
25. 48.如申請專利範圍第46項所述之形成基體COMS無閘極二極體的方法，其中該井區係植入淺濃度的P型離子。
- 圖式簡單說明：
第1圖繪示SOI之有閘極二極體(gated diode)的剖面圖其為一種SOI上有CMOS之ESD保護電路；
第2圖係依據本發明之一實施例所述之具有以STI區隔結構(STI – blocking structure)之無閘極二極體(non – gated diode)的剖面示意圖；
35. 第3A圖與第3B圖分別繪示出STI隔離結構與STI區隔結構的上視圖；
第4A至第4G圖係繪示以SOI製程來製作出具有STI隔離結構，
40. 第5A圖至第5G圖係繪示以SOI製

11

程來製作出不具有 STI 隔離結構；

第 6A 圖至第 6G 圖係繪示以基體 CMOS 製程來製作具有 STI 隔離結構；

第 7A 圖至第 7G 圖係繪示以基體 CMOS 製程來製作出不具有 STI 隔離結構；

第 8 圖繪示有閘極與無閘極 SOI 二極體之邊長與 ESD 電壓之間的比較關係圖；

第 9 圖係依據本發明之另一實施例所述之具有以 STI 區隔結構之無閘極二極體的剖面示意圖；

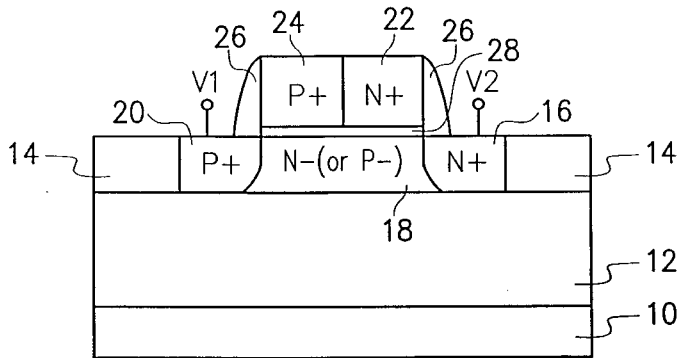
12

第 10 圖係繪示應用本發明之無閘極二極體元件在輸入端靜電放電防護電路上之應用；

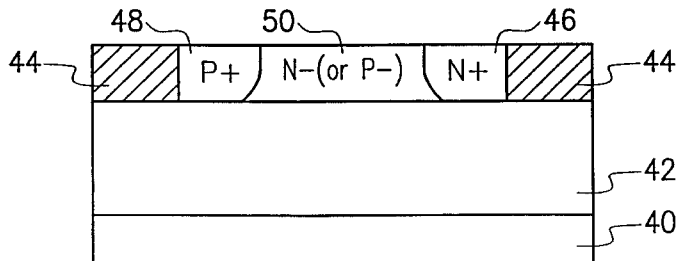
第 11 圖係繪示應用本發明之無閘極二極體元件在輸出端靜電放電防護電路上之應用；

第 12 圖係繪示應用本發明之無閘極二極體元件在輸入端靜電放電防護電路上之另一種應用；以及

第 13 圖係繪示利用本發明之無閘極二極體元件來實現第 12 圖的 ESD 箝制電路。

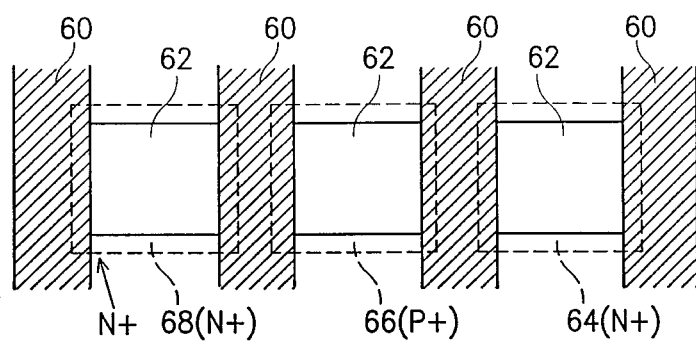


第 1 圖

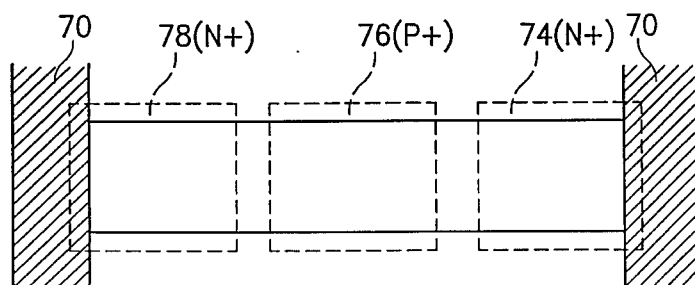


第 2 圖

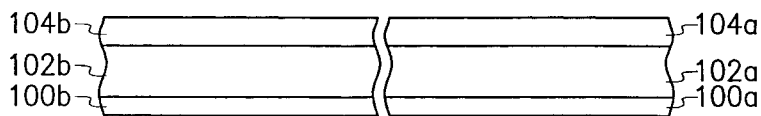
(7)



第 3A 圖

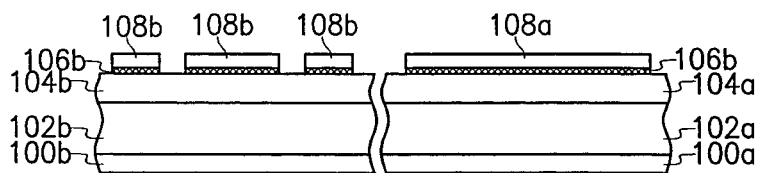


第 3B 圖



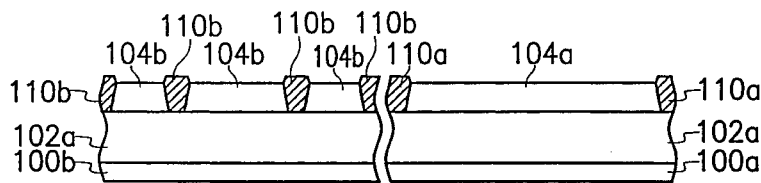
第4A圖

第5A圖



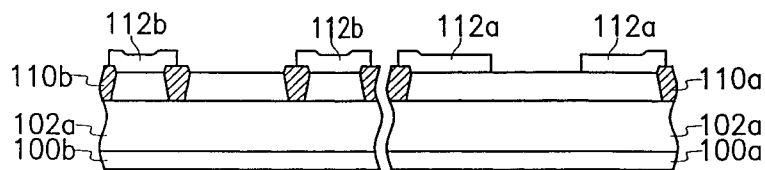
第4B圖

第5B圖



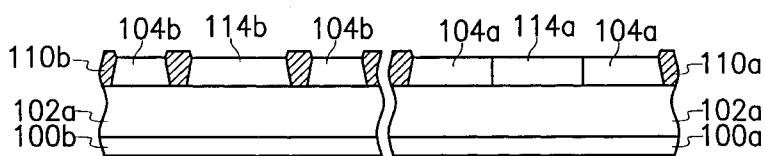
第4C圖

第5C圖



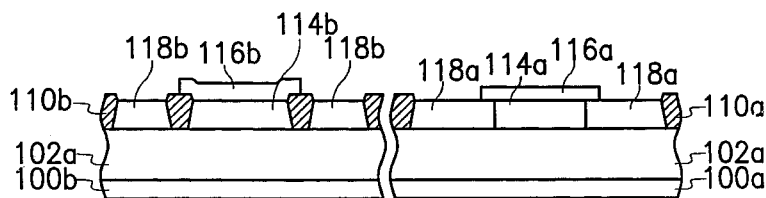
第4D圖

第5D圖



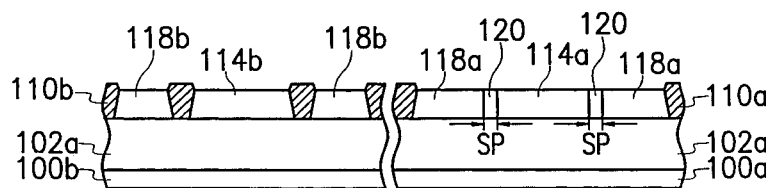
第 4E 圖

第 5E 圖



第 4F 圖

第 5F 圖



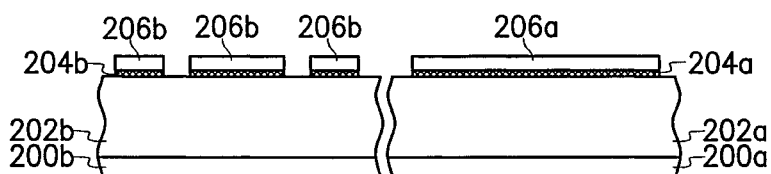
第 4G 圖

第 5G 圖



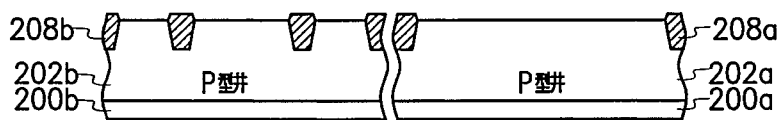
第 6A 圖

第 7A 圖



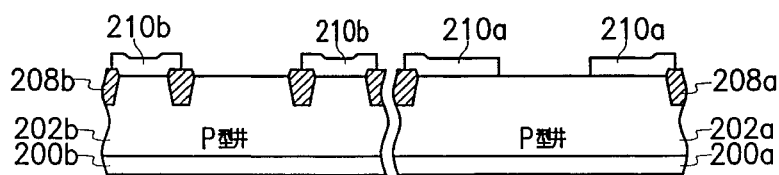
第 6B 圖

第 7B 圖



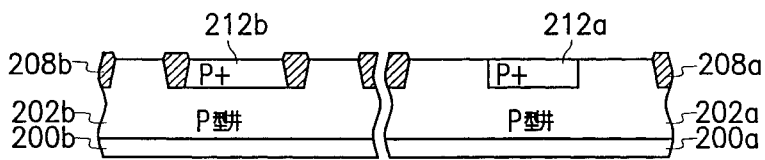
第 6C 圖

第 7C 圖



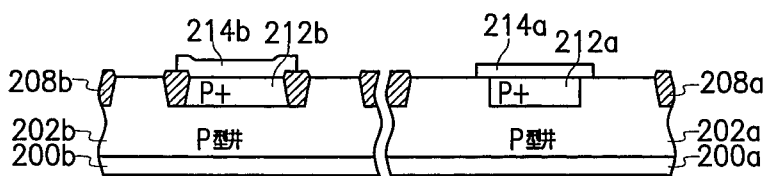
第 6D 圖

第 7D 圖



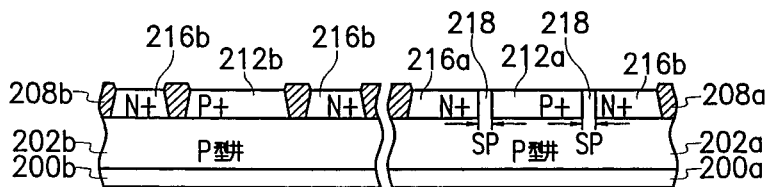
第 6E 圖

第 7E 圖



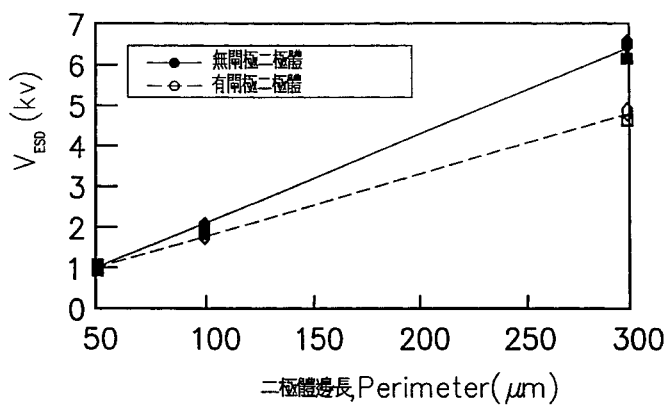
第 6F 圖

第 7F 圖

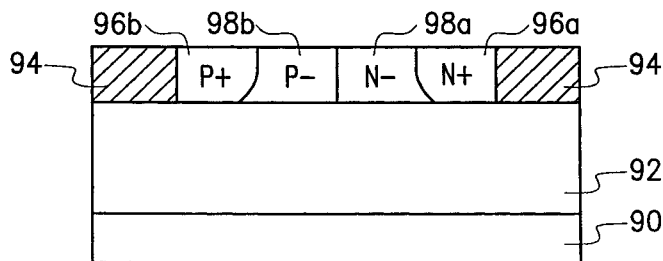


第 6G 圖

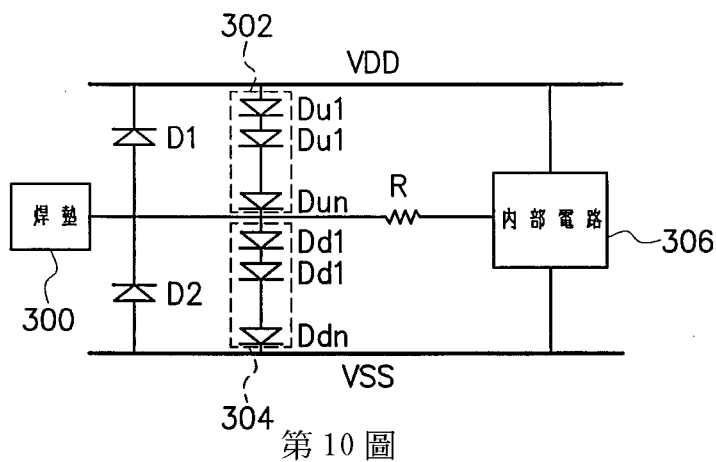
第 7G 圖



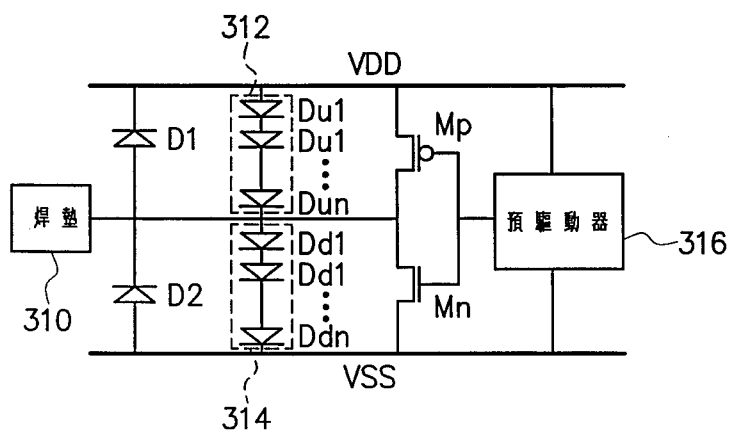
第 8 圖



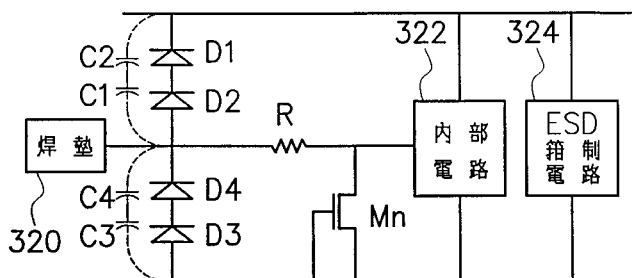
第 9 圖



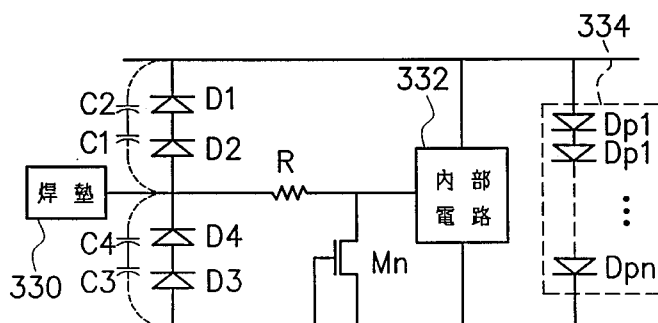
第 10 圖



第 11 圖



第 12 圖



第 13 圖

