

中華民國專利公報 [19] [12]

[11]公告編號：529150

[44]中華民國 92 年 (2003) 04 月 21 日

發明

全 12 頁

[51] Int.Cl⁰⁷： H01L23/58

[54]名稱：應用於靜電放電防護之積體電路元件及其使用其之靜電放電防護電路

[21]申請案號： 091102073

[22]申請日期：中華民國 91 年 (2002) 02 月 06 日

[72]發明人：

柯明道

新竹市東區寶山路二〇〇巷三號四樓之三

張智毅

臺北縣新莊市中和街一二五巷二十號九樓

[71]申請人：

財團法人工業技術研究院

新竹縣竹東鎮中興路四段一九五號

[74]代理人：

1

2

[57]申請專利範圍：

1.一種靜電放電防護電路，用於第一信號線和第二信號線之間，其包括：
一靜電放電偵測電路，耦接於上述第一信號線和上述第二信號線之間，並且具有一輸出端；以及
一橫向雙載子電晶體，其耦接於上述輸出端，用以提供上述第一信號線和上述第二信號線之間的放電路徑；上述積體電路元件形成於一基底上，其具有一集極區域和一射極區域，分別耦接於上述第一信號線和上述第二信號線；上述集極區域和上述射極區域之間存在上述基底所構成之一間隔區；上述基底具有第一摻雜區域和第二摻雜區域，分

別置於上述集極區域和上述射極區域之外側，上述第一摻雜區域耦接至上述輸出端，上述第二摻雜區域耦接至上述第二信號線；上述基底具有一第一淺溝槽隔離結構，置於上述集極區域和上述第一摻雜區域之間。

5.

2.如申請專利範圍第 1 項所述之靜電放電防護電路，其中上述基底更包括一第二淺溝槽隔離結構，其置於上述射極區域和上述第二摻雜區域之間。

10.

3.如申請專利範圍第 1 或 2 項所述之靜電放電防護電路，其中上述第一摻雜區域、第二摻雜區域和上述基底

15.

為同型摻雜。

- 4.如申請專利範圍第1項所述之靜電放電防護電路，其中上述基底更包括一第三摻雜區域，置於上述集極區域之下方並且與上述集極區域為同型摻雜。
- 5.如申請專利範圍第1項所述之靜電放電防護電路，其中上述基底更包括一第四摻雜區域，置於上述射極區域之下方並且與上述射極區域為同型摻雜。
- 6.如申請專利範圍第1項所述之靜電放電防護電路，其中更包括一第五摻雜區域，其位於上述基板之上述間隔區內並且與上述基板為同型摻雜。
- 7.如申請專利範圍第1項所述之靜電放電防護電路，其中更包括：
 - 第六摻雜區域，其位於上述基底中並且置於上述射極區域之下方並且與上述射極區域為同型摻雜；
 - 第七摻雜區域，其位於上述基底中並且置於上述集極區域之下方並且與上述集極區域為同型摻雜；以及
 - 第八摻雜區域，其位於上述基底中並且置於上述第一摻雜區域之下方並且與上述第一摻雜區域為同型摻雜；
 其中上述第六摻雜區域的雜質濃度高於上述第七摻雜區域的雜質濃度，上述第七摻雜區域的雜質濃度高於上述第八摻雜區域。
- 8.如申請專利範圍第1項所述之靜電放電防護電路，其中上述第一信號線為電源線 VDD，上述第二信號線為電源線 VSS。
- 9.一種積體電路元件，其形成於一基底上，上述基底為第一型摻雜，其包括：
 - 第一區域，其為第二型摻雜並且位

於上述基板中；

- 第二區域，其為第二型摻雜並且位於上述基板中，上述第一區域和上述第二區域之間存在上述基底所構成之一間隔區；
 - 第三區域，其為第一型摻雜並且位於上述基板中以及置於上述第一區域之相對於上述第二區域之另一側；
 - 第一淺溝槽隔離結構，其置於上述第一區域和上述第三型區域之間；以及
 - 第四區域，其為第一型摻雜並且位於上述基板中以及置於上述第二區域之相對於上述第一區域之另一側。
- 10.如申請專利範圍第9項所述之積體電路元件，其中更包括一第二淺溝槽隔離結構，其置於上述第二區域和上述第四區域之間。
 - 11.如申請專利範圍第9或10項所述之積體電路元件，其中更包括一第五區域，其為第二型摻雜並且位於上述基板中以及置於上述第一區域之側邊及下方。
 - 12.如申請專利範圍第11項所述之積體電路元件，其中上述第五區域係透過一第二型摻雜井區形成步驟所產生。
 - 13.如申請專利範圍第11項所述之積體電路元件，其中上述第五區域係透過一靜電放電植入步驟所產生。
 - 14.如申請專利範圍第9或10項所述之積體電路元件，其中更包括一第六區域，其為第二型摻雜並且位於上述基板中以及置於上述第一區域之下方。
 - 15.如申請專利範圍第14項所述之積體電路元件，其中上述第六區域係透過一第二型摻雜井區形成步驟所產

- 生。
- 16.如申請專利範圍第14項所述之積體電路元件，其中上述第六區域係透過一靜電放電植入步驟所產生。
- 17.如申請專利範圍第9或10項所述之積體電路元件，其中更包括一第七區域，其為第一型摻雜並且位於上述基板中以及置於上述間隔區內。
- 18.如申請專利範圍第9或10項所述之積體電路元件，其中更包括：
- 第八區域，其為第二型摻雜並且位於上述基底中以及置於上述第一區域之下方；
- 第九區域，其為第二型摻雜並且位於上述基底中以及置於上述第二區域之下方；以及
- 第十區域，其為第一型摻雜並且位於上述基底中以及置於上述第四區域之下方；
- 其中上述第八區域的雜質濃度高於上述第九區域的雜質濃度，上述第九區域的雜質濃度高於上述第十區域。
- 19.如申請專利範圍第9或10項所述之積體電路元件，其中第一型為p型，第二型為n型。
- 20.如申請專利範圍第9或10項所述之積體電路元件，其中第一型為n型，第二型為p型。
- 21.一種積體電路製造方法，用以在一第一型基板上形成一橫向雙載子電晶體，其包括下列步驟：
- 利用一主動區光罩製程，在上述第一型基板上形成一第一淺溝槽隔離結構；
- 利用一第二型佈植光專製程，在上述第一型基板上形成第二型摻雜之第一區域和第二區域，其中上述第一區域和上述第二區域之間具有一間隔區；以及

- 利用一第一型佈植光罩製程，在上述第一型基板上形成第一型摻雜之第三區域和第四區域，其中上述第三區域和上述第四區域係形成於上述第一區域和上述第二區域之外側，並且上述第一淺溝槽隔離結構係介於上述第一區域和上述第三區域之間。
- 22.如申請專利範圍第21項所述之積體電路製造方法，其中在上述主動區光罩製程中，同時形成一第二淺溝槽隔離結構，介於上述第二區域和上述第四區域之間。
- 23.如申請專利範圍第21項所述之積體電路製造方法，其中上述主動區光罩製程、上述第一型佈植光罩製程和上述第二型佈植光罩製程係利用標準CMOS製程來達成。
- 24.如申請專利範圍第21項所述之積體電路製造方法，其中第一型為p型，第二型為n型。
- 圖式簡單說明：
- 第1圖表示習知技術之輸入ESD防護電路及在耦接於其電源線VDD至VSS間之ESD箝制電路的電路圖。
- 第2圖表示習知技術之ESD防護電路的電路圖。
- 第3圖表示第2圖所示之ESD防護電路的剖面示意圖。
- 第4圖表示本發明第一實施例之基體觸發橫向雙載子電晶體的剖面圖。
- 第5圖表使用本發明第一實施例之基體觸發橫向雙載子電晶體之ESD防護電路的電路方塊圖。
- 第6圖表示使用本發明第一實施例之基體觸發橫向雙載子電晶體之ESD防護電路的詳細電路圖。
- 第7圖表示本發明第一實施例之ESD防護電路的部分剖面圖。

第8a~8d圖表示本發明第一實施例之基體觸發橫向雙載子電晶體之製造流程圖。

第9圖表示本發明第一實施例之基體觸發橫向雙載子電晶體的頂視佈局圖。

第10圖表示本發明第二實施例之基體觸發橫向雙載子電晶體的剖面圖。

第11圖表示本發明第三實施例第一範例之基體觸發橫向雙載子電晶體的剖面圖。

第12圖表示本發明第三實施例第二範例之基體觸發橫向雙載子電晶體的剖面圖。

第13圖表示本發明第三實施例第三範例之基體觸發橫向雙載子電晶體

的剖面圖。

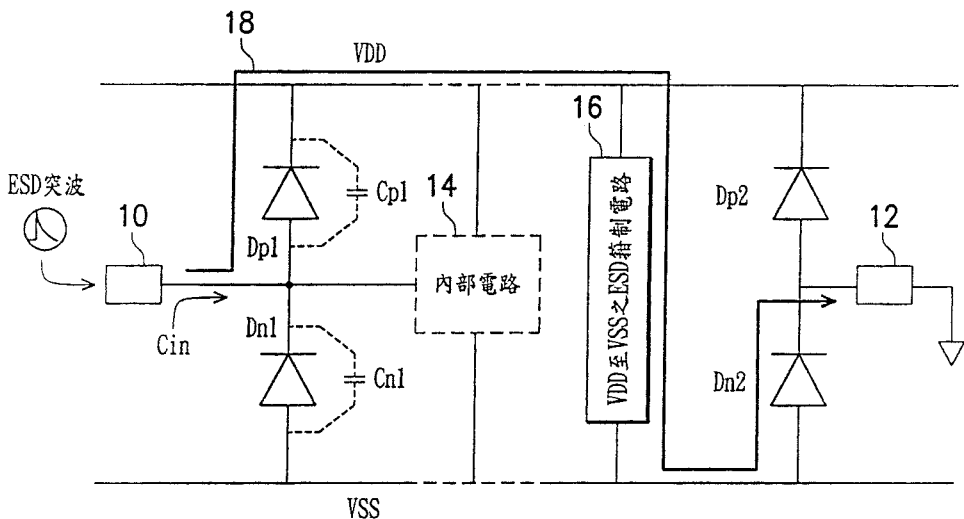
第14圖表示本發明第三實施例第四範例之基體觸發橫向雙載子電晶體的剖面圖。

5. 第15圖表示本發明第四實施例第一範例之基體觸發橫向雙載子電晶體的剖面圖。

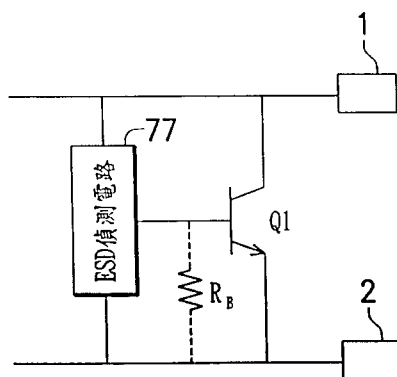
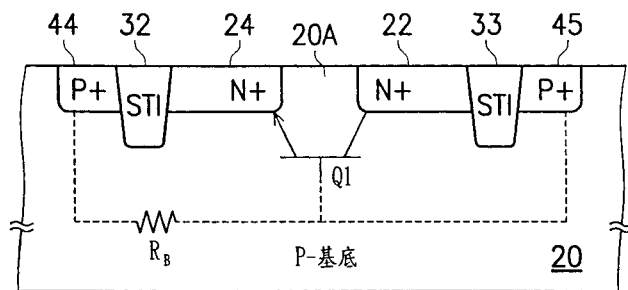
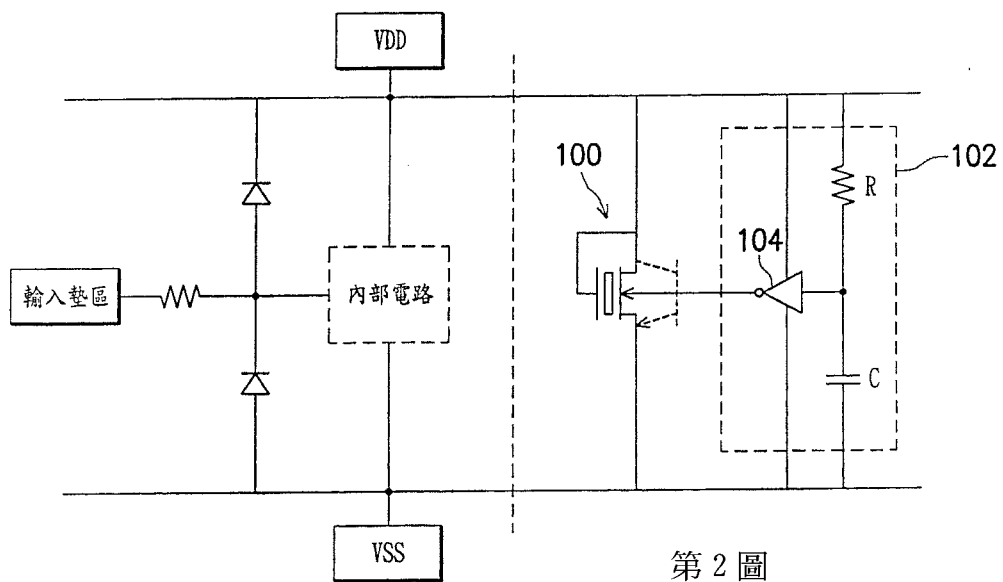
第16圖表示本發明第四實施例第二範例之基體觸發橫向雙載子電晶體的剖面圖。

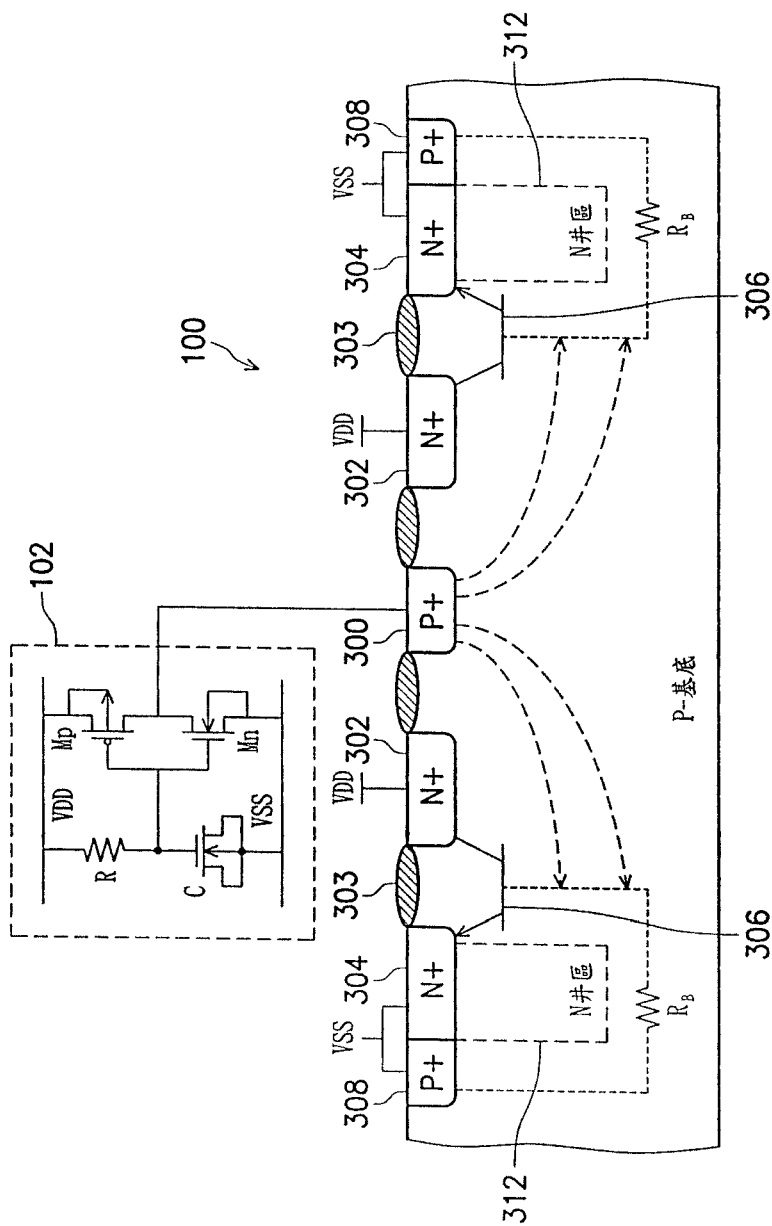
10. 第17圖表示本發明第四實施例第三範例之基體觸發橫向雙載子電晶體的剖面圖。

15. 第18圖表示本發明第五實施例之基體觸發橫向雙載子電晶體的剖面圖。



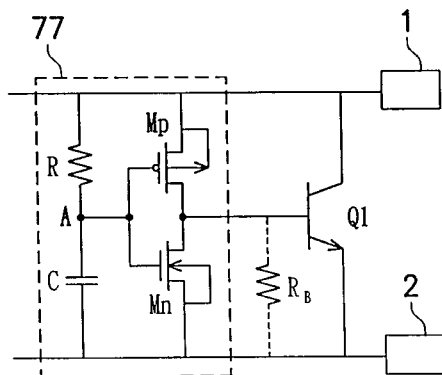
第1圖



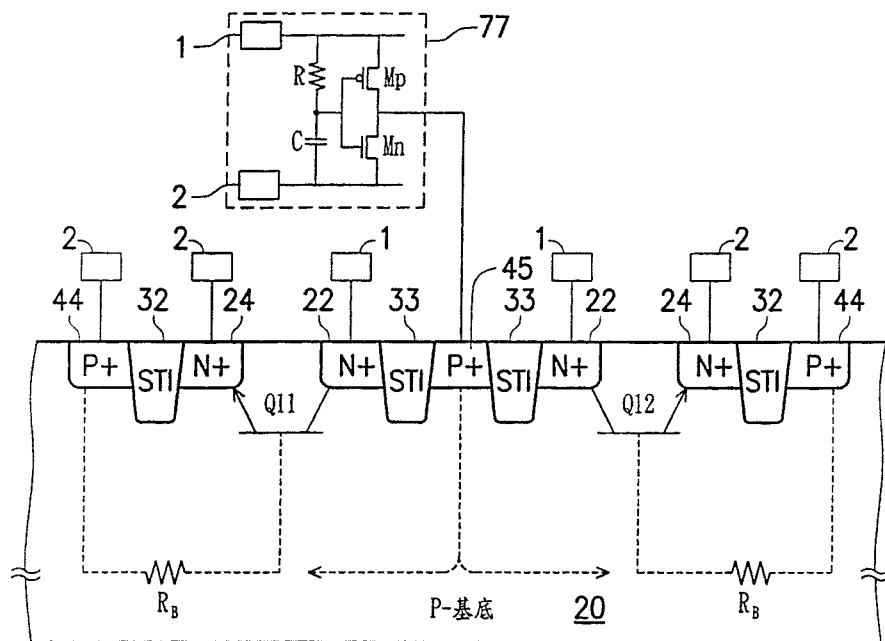


第 3 圖

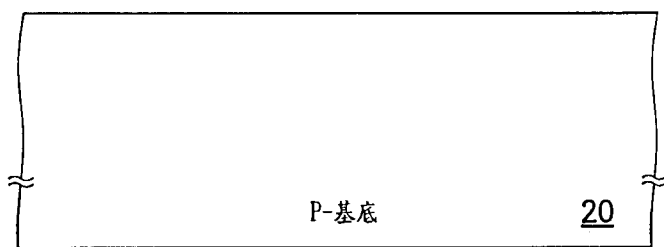
(7)



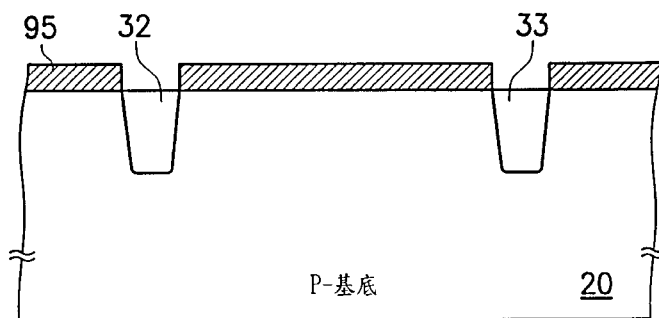
第 6 圖



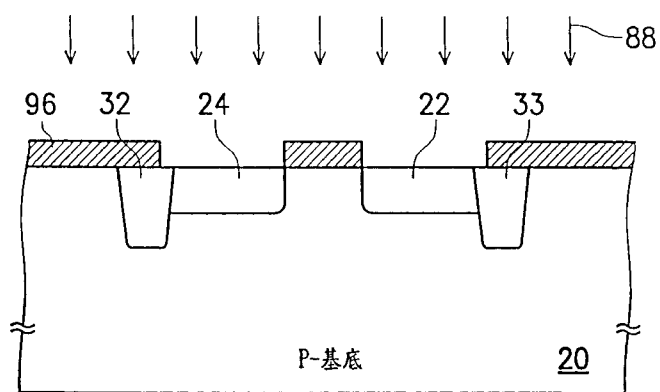
第 7 圖



第 8a 圖

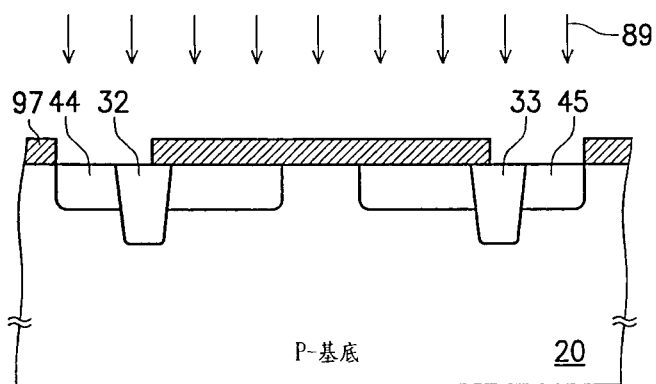


第 8b 圖

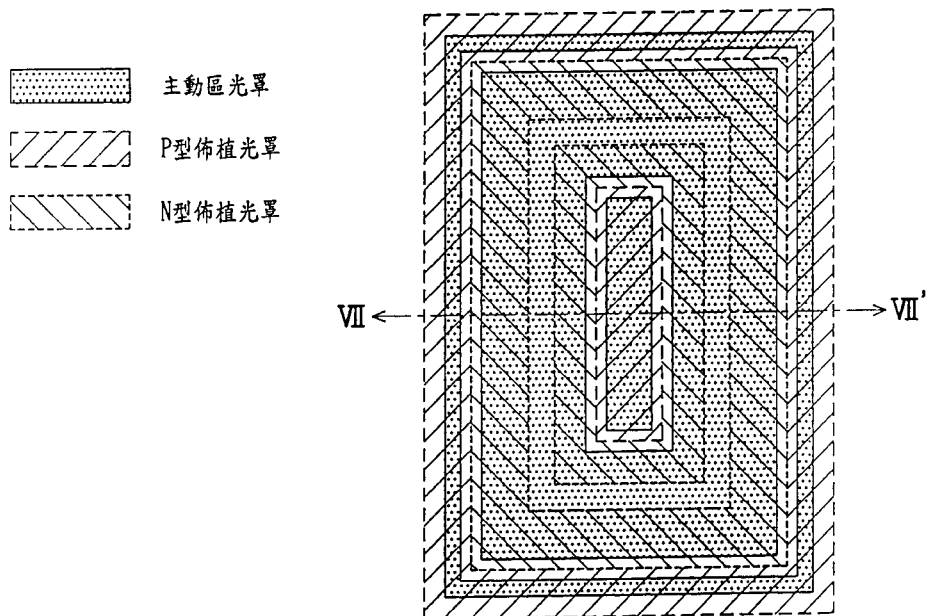


第 8c 圖

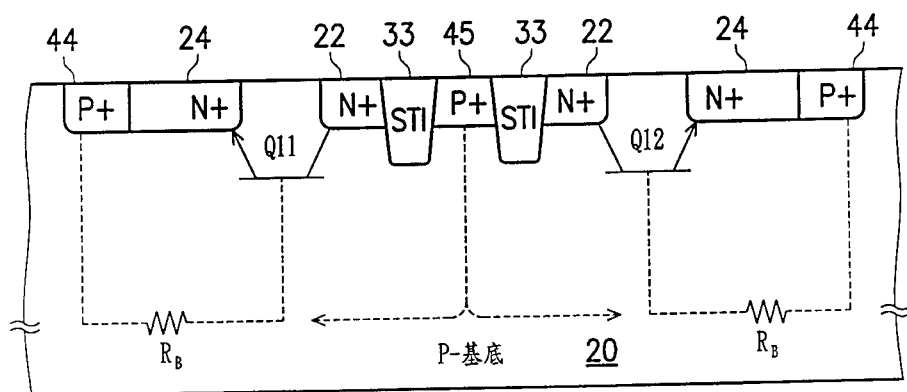
(9)



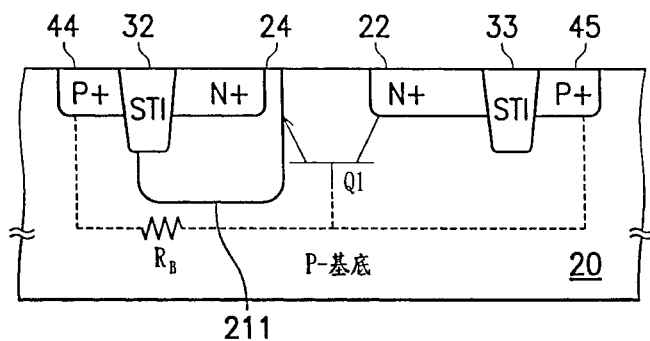
第 8d 圖



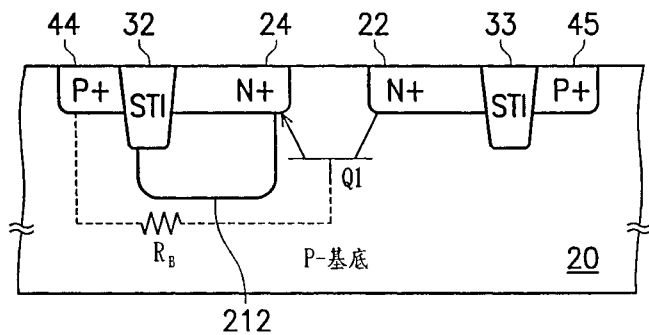
第 9 圖



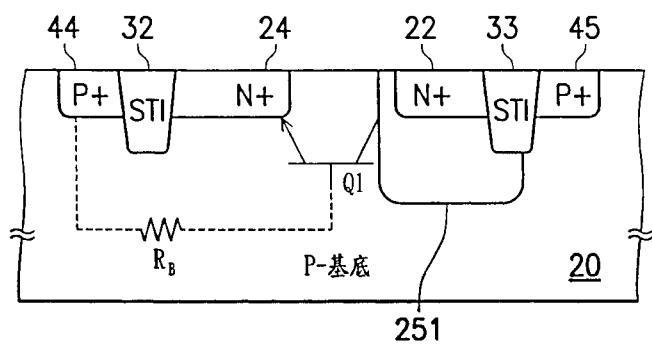
第 10 圖



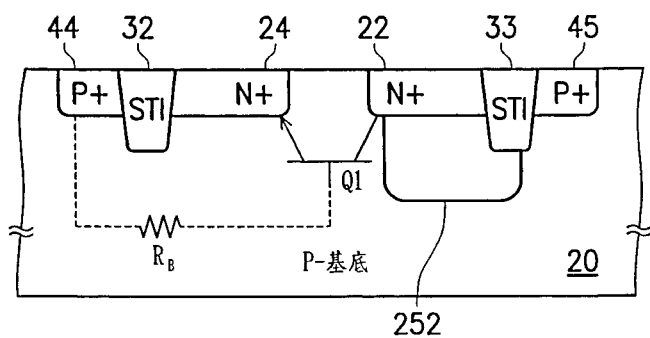
第 11 圖



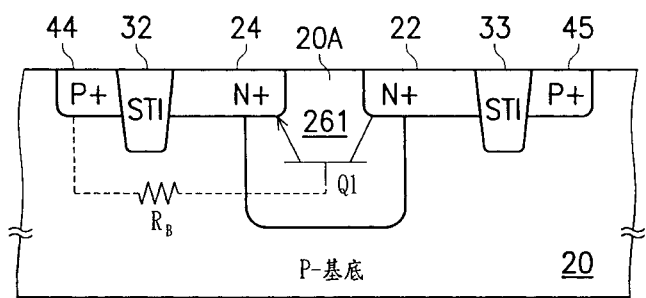
第 12 圖



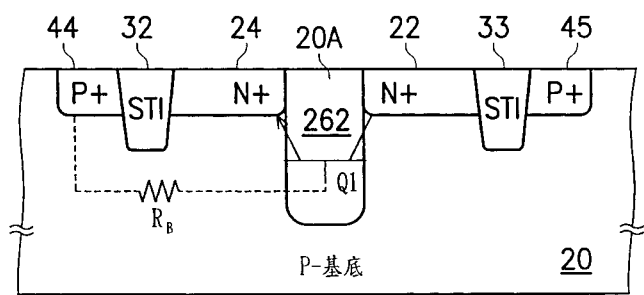
第 13 圖



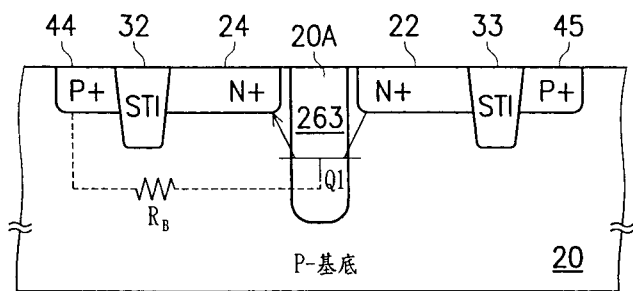
第 14 圖



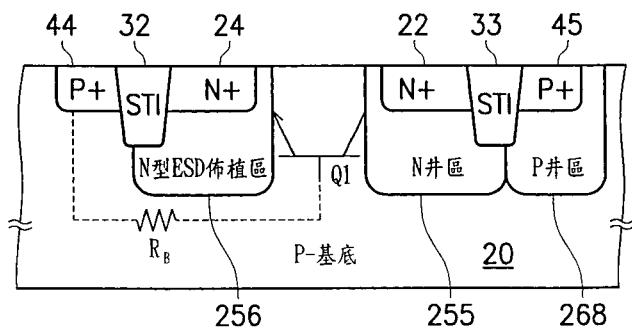
第 15 圖



第 16 圖



第 17 圖



第 18 圖