

中華民國專利公報 [19] [12]

[11]公告編號：529217

[44]中華民國 92 年 (2003) 04 月 21 日

發明

全 18 頁

[51] Int.Cl⁰⁷： H02H9/00

[54]名稱：充電元件模式靜電放電防護電路

[21]申請案號： 090108835

[22]申請日期：中華民國 90 年 (2001) 04 月 12 日

[30]優先權： [31]09/706,807

[32]2000/11/07

[33]美國

[72]發明人：

柯明道

新竹市東區寶山路二〇〇巷三號四樓之三

張智毅

臺北縣新莊市中和街一二五巷二十號九樓

[71]申請人：

財團法人工業技術研究院

新竹縣竹東鎮中興路四段一九五號

[74]代理人：

1

2

[57]申請專利範圍：

1.一種積體電路元件中之輸出電路，其包括：

一輸出鉀墊；

一組電源線，提供一 VDD 電壓與一 VSS 電壓給該積體電路元件；

至少一個第一 MOS 電晶體，置於該輸出鉀墊與該組電源線之間；

一 MOS 電路，使用至少一個第二 MOS 電晶體置於該組電源線之間，並提供訊號給第一 MOS 電晶體；及
一充電元件模式靜電放電(CDM ESD)保護元件，置於該輸出鉀墊與該 MOS 電路之間；

其中該充電元件模式靜電放電保護元件，直接連接到至少一個第二

MOS 電晶體之基體。

2.如申請專利範圍第 1 項所述之輸出電路，其中，該積體電路元件係製作於 P 型基體(P-type substrate)，或是製作於 N 型基體(N-type substrate)。

3.如申請專利範圍第 1 項所述之輸出電路，其中之第一 MOS 電晶體為 P 型電晶體(P MOS)或 N 型電晶體(NMOS)。

10. 4.如申請專利範圍第 1 項所述之輸出電路，其中之第二 MOS 電晶體為製作於 N 型基體之 P 型電晶體，或製作於 P 型基體之 N 型電晶體。

15. 5.如申請專利範圍第 1 項所述之輸出電路，其中之輸出鉀墊連接該至少一

個的第一 MOS 電晶體。

- 6.如申請專利範圍第1項所述之輸出電路，其中之輸出鉀墊連接該充電元件模式靜電放電保護元件。
- 7.一積體電路元件中之輸入電路，其包括：
 - 一輸入鉀墊；
 - 第一組電源線，以提供第一 VDD 電壓與第一 VSS 電壓給該積體電路元件；
 - 一 MOS 電路，使用至少一個 CMOS 電晶體，且置於該輸入鉀墊與第一組電源線之間；及
 - 一充電元件模式靜電放電保護元件，置於該輸入鉀墊與該 MOS 電路之間；
 其中該充電元件模式靜電放電保護元件直接連接到至少一個 CMOS 電晶體之基體。
- 8.如申請專利範圍第7項所述之輸入電路，其中，該積體電路元件係製作於 P 型基體，或是製作於 N 型基體。
- 9.如申請專利範圍第7項所述之輸入電路，其中至少一個的 CMOS 電晶體為製作於 N 型基體之 P 型電晶體，或製作於 P 型基體之 N 型電晶體。
- 10.如申請專利範圍第7項所述之輸入電路，其中復包括第二組電源線，以提供偏壓給前述之 CMOS 電晶體的基體。
- 11.如申請專利範圍第7項所述之輸入電路，其中之輸入鉀墊連接該至少一個的 CMOS 電晶體閘極。
- 12.如申請專利範圍第7項所述之輸入電路，其中之輸入鉀墊連接該充電元件模式靜電放電保護元件。
- 13.如申請專利範圍第7項所述之輸入電路，其中，在該至少一個的 CMOS 電晶體與該輸入鉀墊之間，具一人模式(Human Body Model，

HBM)/ 機器模式(Machine Model，MM)靜電放電保護電路，該人體模式/ 機器模式靜電放電保護電路包括：

5. 第二組電源線，以提供第二 VDD 電壓與第二 VSS 電壓給該人體模式/ 機器模式靜電放電保護電路；
- 一組靜電放電保護元件，置於第二組電源線與該輸入鉀墊之間；
10. 一電阻，連接該輸入鉀墊與該充電元件模式靜電放電保護元件；及
- 一閘極接地 NMOS，置於該電阻與第二組電源線的 VSS 電源線之間；
15. 其中，第二組電源線透過一組雙向二極體與第一組電源線相連接。
- 14.如申請專利範圍第13項所述之輸入電路，其中之雙向二極體為多重串連二極體。
- 15.如申請專利範圍第13項所述之輸入電路，其中復包括第三組電源線，以提供偏壓給該至少一個的 CMOS 電晶體之基體。
- 16.如申請專利範圍第13項所述之輸入電路，其中該人體模式/ 機器模式靜電放電保護電路與該至少一個的 CMOS 電晶體相連接。
- 17.如申請專利範圍第13項所述之輸入電路，其中該人體模式/ 機器模式靜電放電保護電路與該輸入鉀墊相連接。
30. 18.如申請專利範圍第13項所述之輸入電路，其中該人體模式/ 機器模式靜電放電保護電路連接該至少一個的 CMOS 電晶體閘極。
35. 19.如申請專利範圍第13項所述之輸入電路，其中該人體模式/ 機器模式靜電放電保護電路連接該充電元件模式靜電放電保護元件。
- 20.一積體電路元件中之輸入電路，其包括：
- 40.

- 第一輸入鉚墊；
 第一組電源線，以提供第一 VDD 電壓與第一 VSS 電壓給該積體電路元件；
 第一對 MOS 電晶體，其源極相連且置於第一輸入鉚墊與第一組電源線之間；
 第二對 MOS 電晶體，耦合至第一對 MOS 電晶體汲極，且置於第一對 MOS 電晶體與第一組電源線之間；
 一電流源，置於第一對 MOS 電晶體與第一組電源線之間；及
 一充電元件模式靜電放電保護元件，置於第一輸入鉚墊與第一對 MOS 電晶體之間；
 其中該充電元件模式靜電放電保護元件，直接連接到與第一輸入鉚墊耦合之第一對 MOS 電晶體之基體。
- 21.如申請專利範圍第20項所述之輸入電路，其中，該積體電路元件係製作於 P 型基體或製作於 N 型基體。
- 22.如申請專利範圍第20項所述之輸入電路，其中，第一對 MOS 電晶體為製作於 N 型基體之 P 型電晶體，或製作於 P 型基體之 N 型電晶體。
- 23.如申請專利範圍第20項所述之輸入電路，其中，第二對 MOS 電晶體為製作於 N 型基體之 N 型電晶體，或製作於 P 型基體之 P 型電晶體。
- 24.如申請專利範圍第20項所述之輸入電路，其中，第一輸入鉚墊連接該充電元件模式靜電放電保護元件。
- 25.如申請專利範圍第20項所述之輸入電路，其中，第一輸入鉚墊連接第一對 MOS 電晶體中其中之一的閘極。
- 26.如申請專利範圍第25項所述之輸入電路，其中復包括第二輸入鉚墊，其連接第一對 MOS 電晶體中未被第一輸入鉚墊連接之 MOS 電晶體的閘

- 極。
- 27.如申請專利範圍第20項所述之輸入電路，其中，第一對 MOS 電晶體與該輸入鉚墊之間，更進一步包含一人體模式/機器模式靜電放電保護電路，該人體模式/機器模式靜電放電保護電路包括：
 第二組電源線，以提供第二 VDD 電壓與第二 VSS 電壓給該人體模式/機器模式靜電放電保護電路；
 一組靜電放電保護元件，置於第二組電源線與該輸入鉚墊之間；
 一電阻，連接該輸入鉚墊與該靜電放電保護元件；及
 一閘極接地 NMOS，置於該電阻與第二組電源線之 VSS 電源線之間；
 其中第二組電源線透過一組雙向二極體與第一組電源線相連接。
- 28.如申請專利範圍第27項所述之輸入電路，其中之人體模式/機器模式靜電放電保護電路連接該充電元件模式靜電放電保護元件。
- 29.如申請專利範圍第27項所述之輸入電路，其中之人體模式/機器模式靜電放電保護電路連接第一輸入鉚墊。
- 30.如申請專利範圍第27項所述之輸入電路，其中之之人體模式/機器模式靜電放電保護電路連接第一對 MOS 電晶體中其中之一的閘極。
- 31.如申請專利範圍第27項所述之輸入電路，其中復包括第二輸入鉚墊，其連接第一對 MOS 電晶體中未被前述人體模式/機器模式靜電放電保護電路連接之 MOS 電晶體的閘極。
- 32.如申請專利範圍第27項所述之輸入電路，其中之雙向二極體為多重串連二極體。
- 33.一高電壓容忍之輸出/輸入電路，其包括：

一輸出/輸入鉚墊；
 一CMOS電晶體，置於一VDD電源線與一VSS電源線之間；及
 一充電元件模式靜電放電保護元件，置於該輸出/輸入鉚墊與該CMOS電晶體之間；
 其中，該充電元件模式靜電放電保護電路直接連接到至少一個的CMOS電晶體之基體。

34.如申請專利範圍第33項所述之高電壓容忍之輸出/輸入電路，更進一步包括：

一MOS電晶體，置於該輸出/輸入鉚墊與該VDD電源線與該VSS電源線之間；及
 一充電元件模式靜電放電保護元件，置於該MOS電晶體之閘極與基體之間；
 其中該充電元件模式靜電放電保護元件直接連接該MOS電晶體之基體。

35.如申請專利範圍第34項所述之高電壓容忍之輸出/輸入電路，更進一步包括一組雙向二極體連接該VSS電源線與一VSS輸出入電源線。

圖式簡單說明：

第1圖繪示的是在022美國專利所揭示的習知CDM ESD防護電路之電路示意圖；

第2圖繪示的是在419美國專利所揭示的習知CDM ESD防護電路之電路示意圖；

第3圖繪示的是第2圖之習知CDM ESD防護電路之實際使用之電路圖；

第4圖繪示的是第2圖之習知CDM ESD防護電路之詳細等效電路圖解；

第5圖繪示的是第2圖之習知CDM ESD防護電路之剖面圖；

第6圖繪示的是第2圖之習知CDM ESD防護電路之剖面說明圖；

5. 第7圖繪示的是本發明之一實施例之電路圖，此實施例為以P型基體之輸出電路之CDM ESD防護實施例；

第8圖繪示的是第7圖之電路中，CDM ESD之放電電流路徑說明圖；

10. 第9圖繪示的是本發明之一實施例之電路圖，此實施例為以N型基體之輸出電路之CDM ESD防護實施例；

第10圖繪示的是第9圖之電路中，CDM ESD之放電電流路徑說明圖；

15. 第11圖繪示的是以N型基體之輸出電路中，說明加入CDM ESD防護電路後，CDM ESD之放電電流路徑之剖面圖；

20. 第12圖繪示的是本發明之一實施例之電路圖，此實施例為輸入電路之CDM ESD防護實施例；

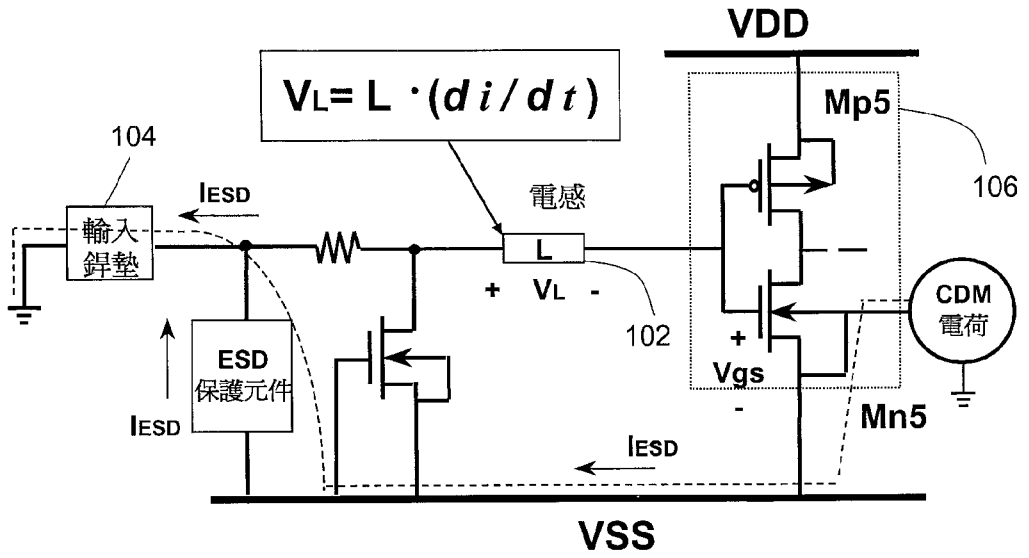
第13圖繪示的是第12圖之電路中，CDM ESD之放電電流路徑說明圖；

25. 第14圖繪示的是本發明之一實施例之電路圖，此實施例為輸入電路之CDM ESD防護實施例，其中此輸入電路有隔離的N-Well與P-Well偏壓；

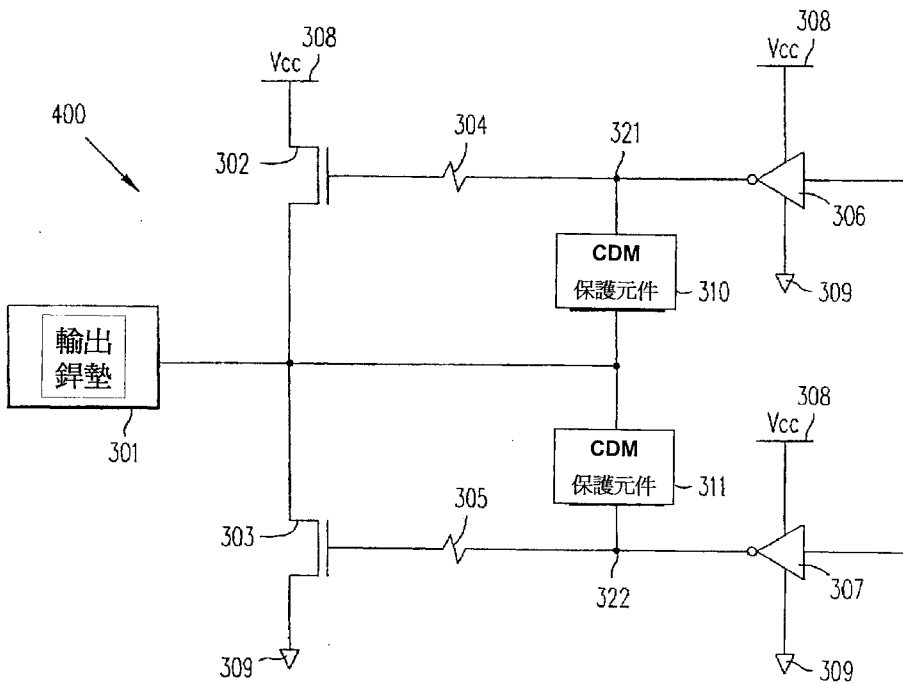
30. 第15圖繪示的是本發明之一實施例之電路圖，此實施例為擁有差動輸入之類比電路的CDM ESD防護實施例；

35. 第16圖繪示的是本發明之一實施例之電路圖，此實施例為高電壓容忍之輸入/輸出電路的CDM ESD防護實施例；

(5)

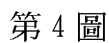
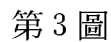


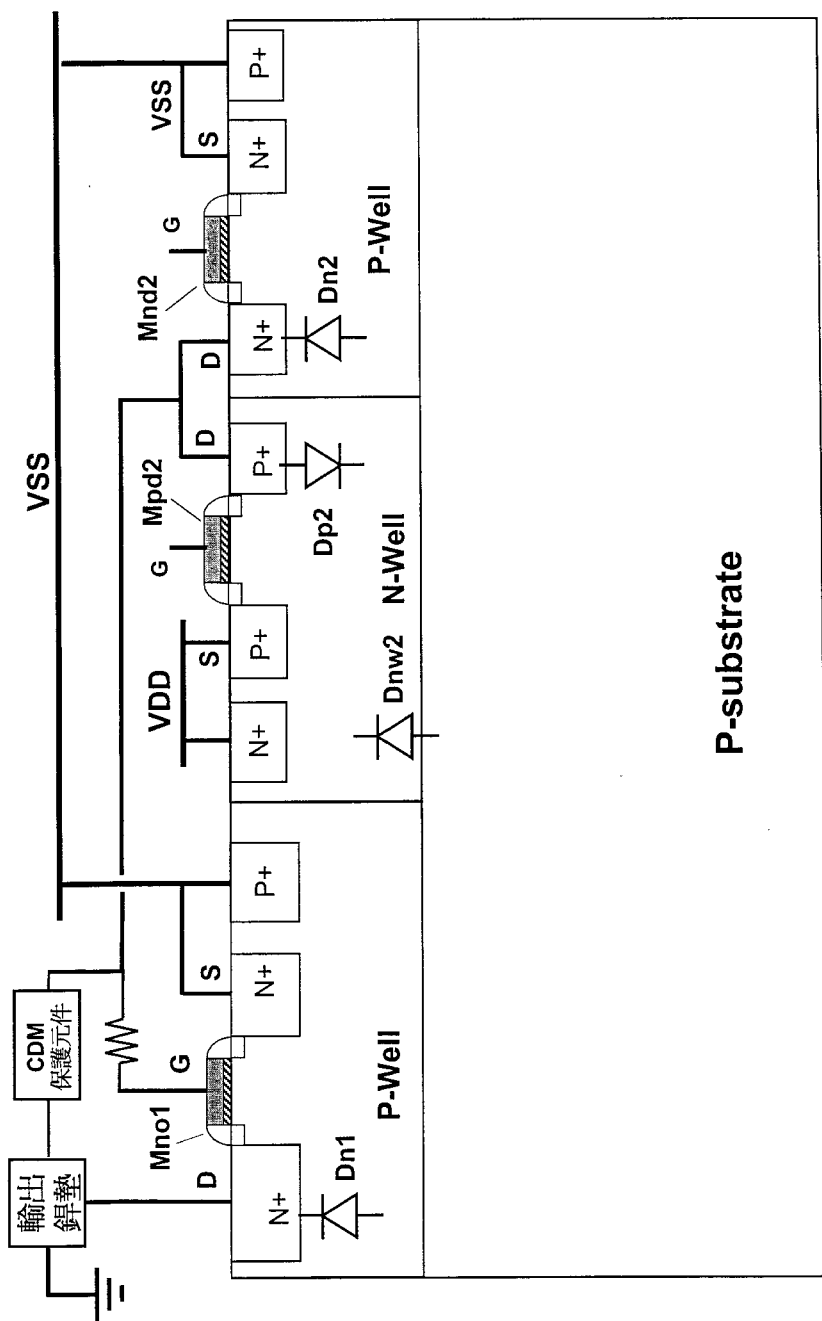
第 1 圖



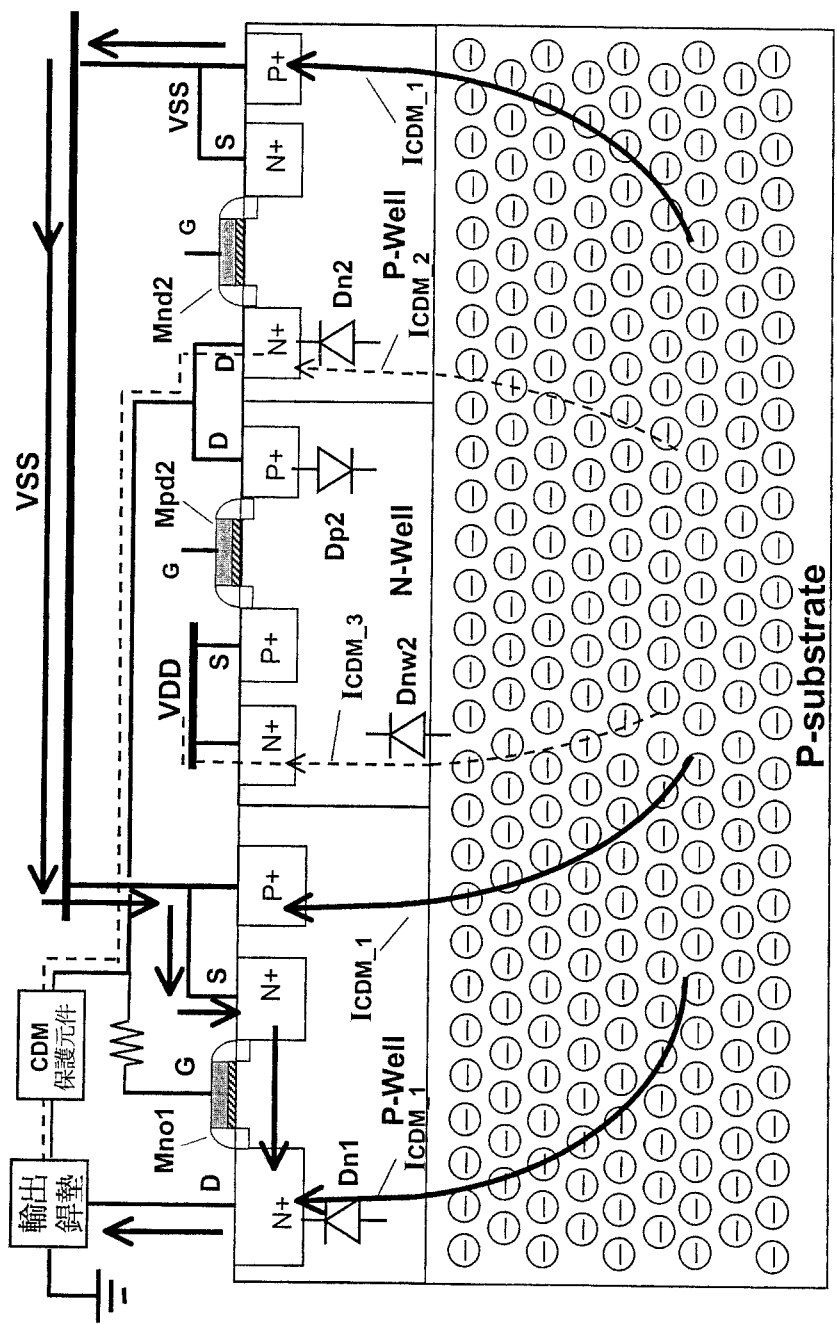
第 2 圖

(6)

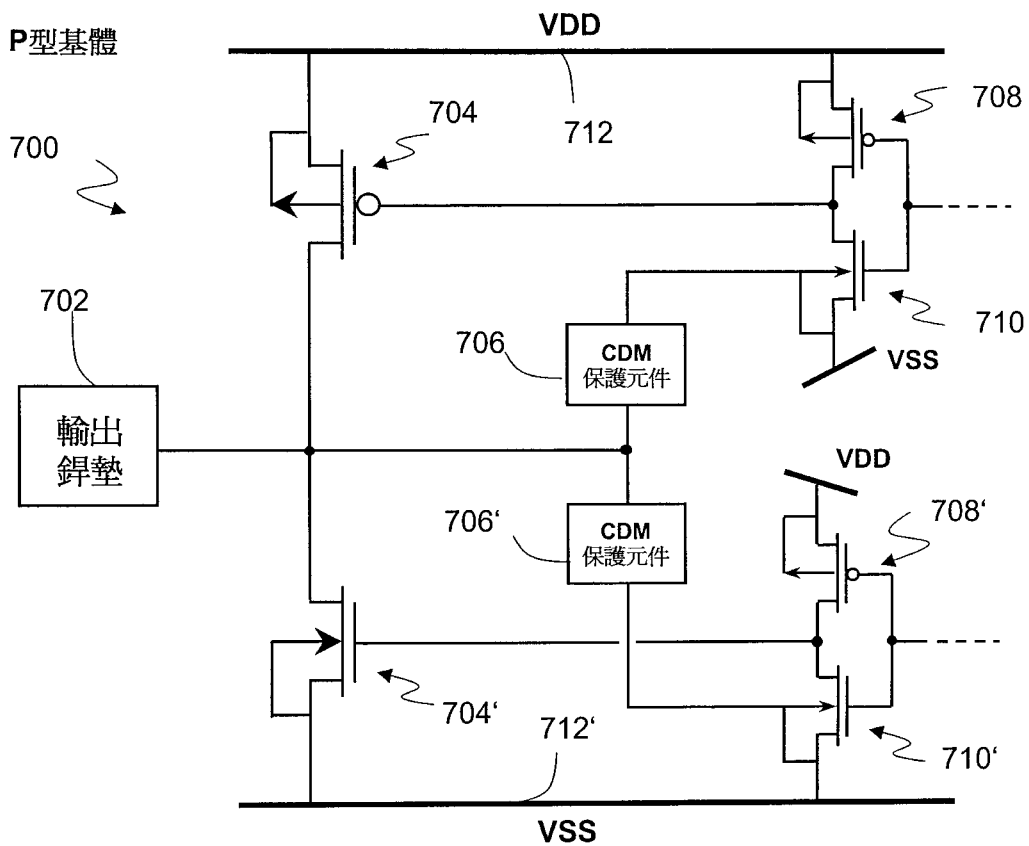




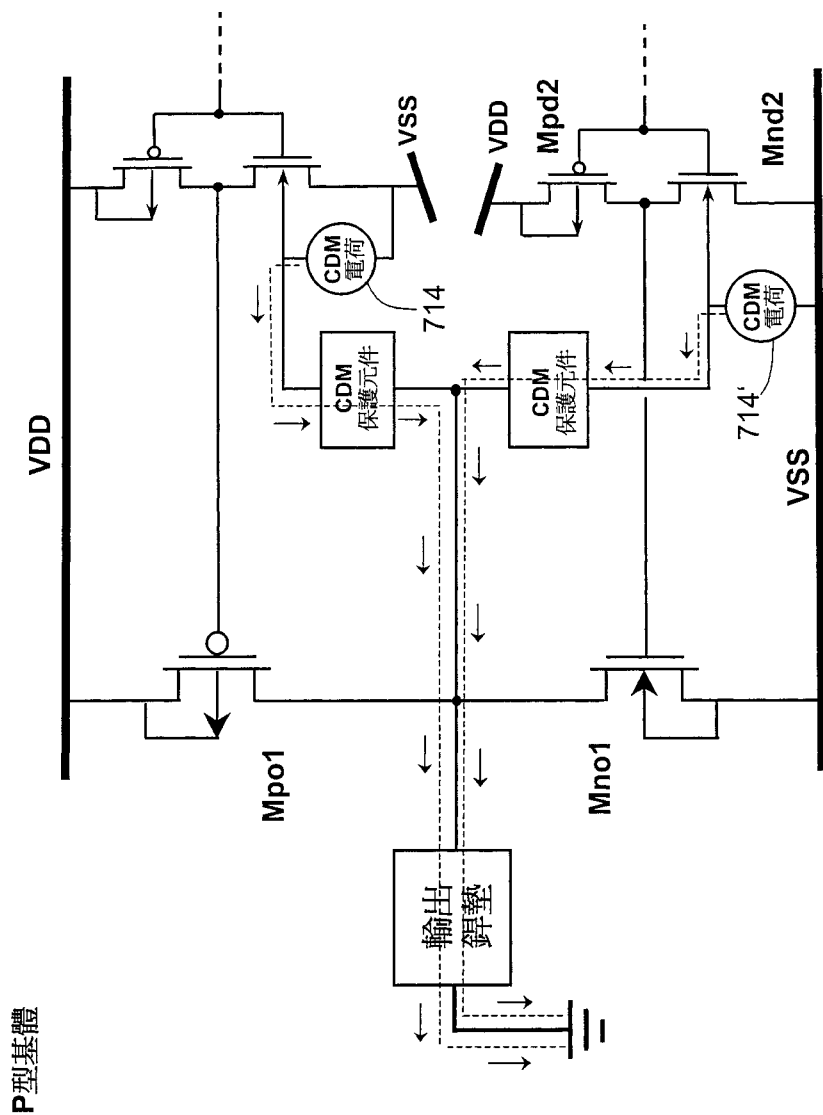
第 5 圖



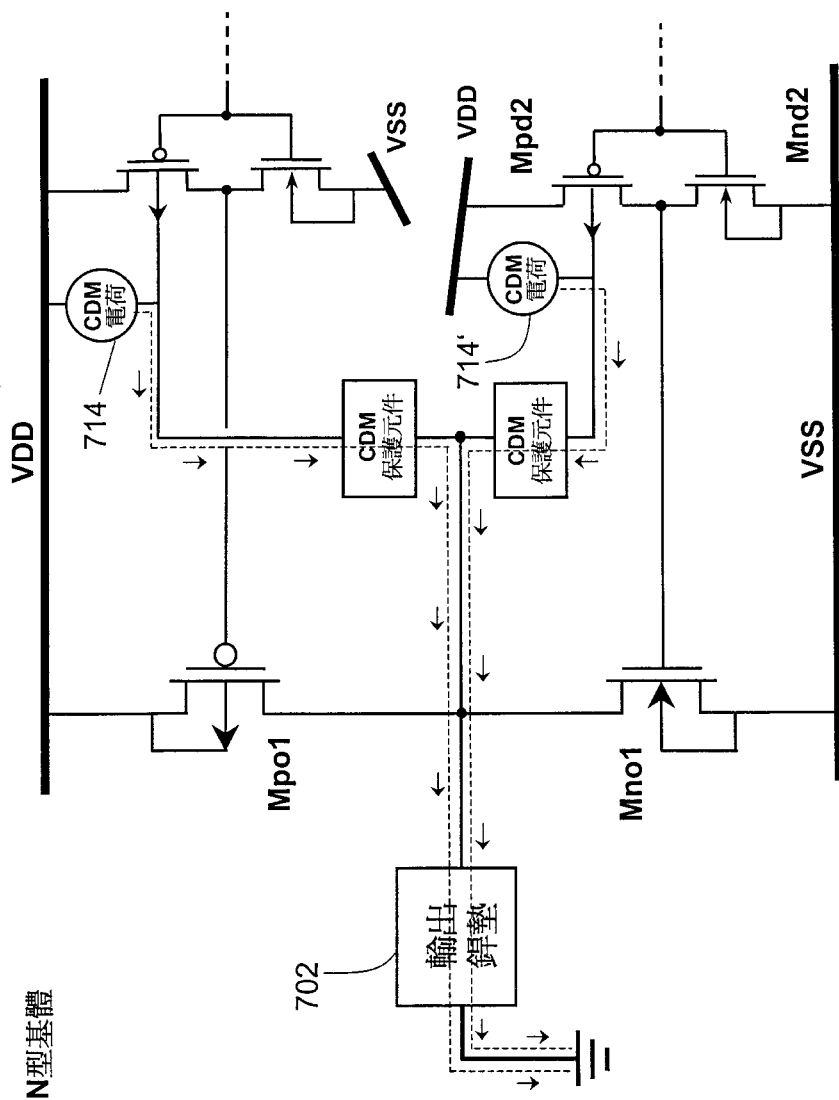
第 6 圖



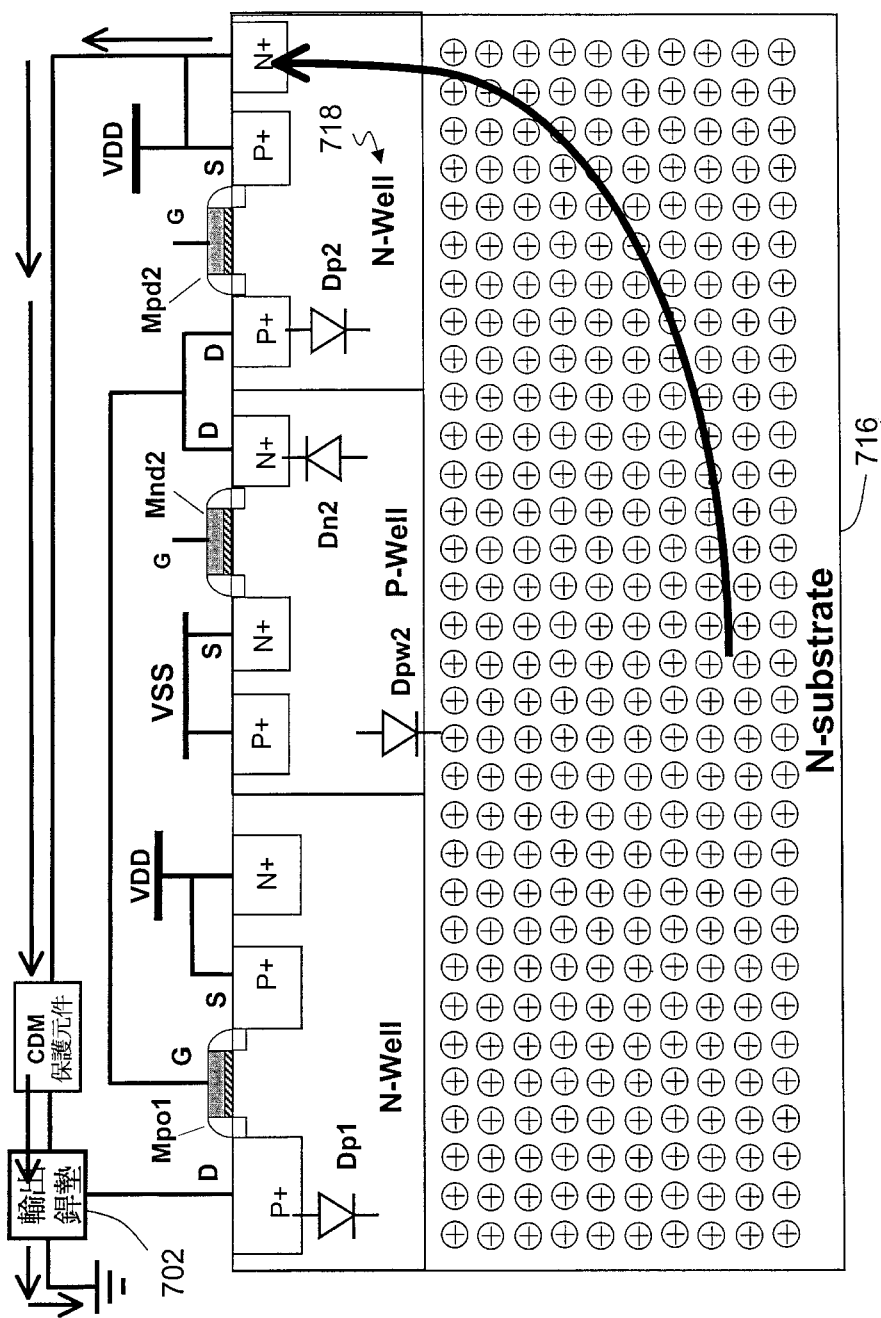
第 7 圖



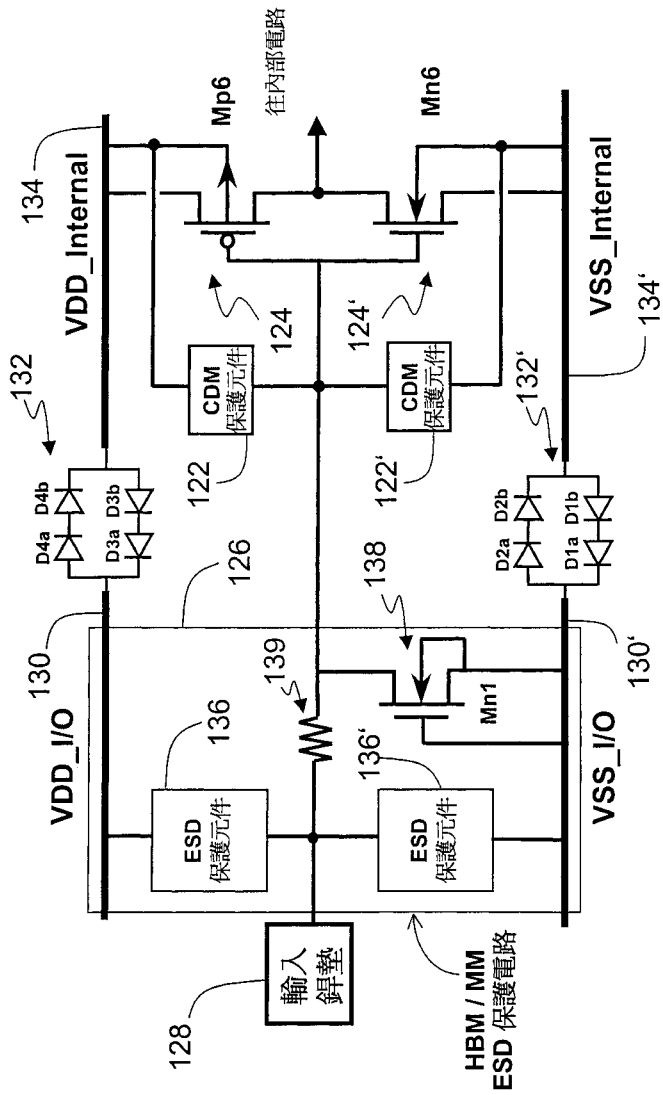
第 8 圖



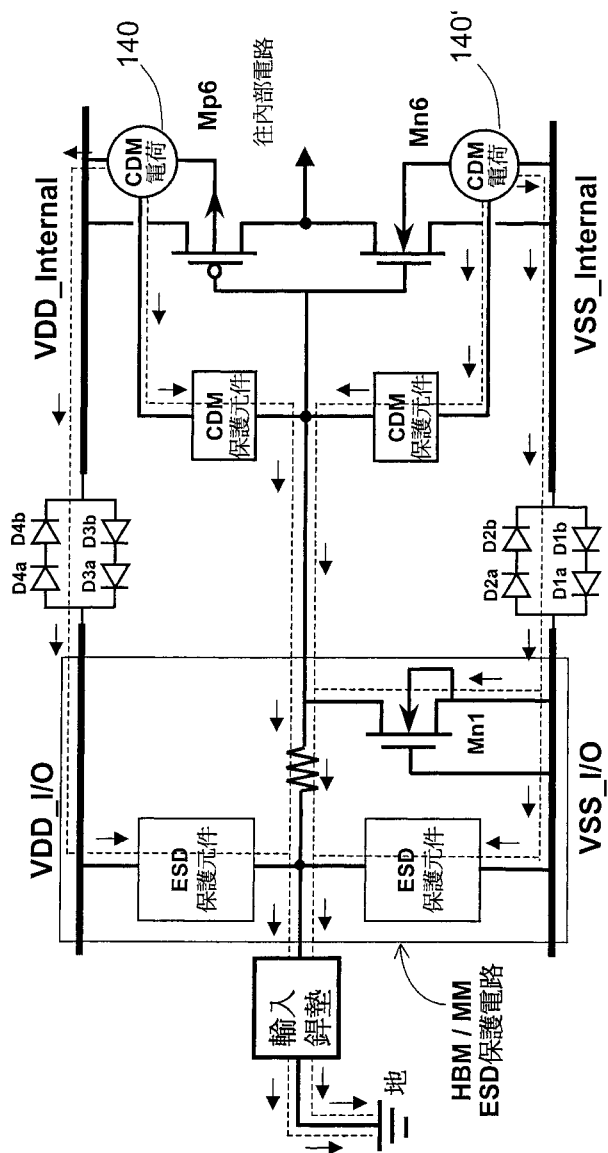
第 10 圖



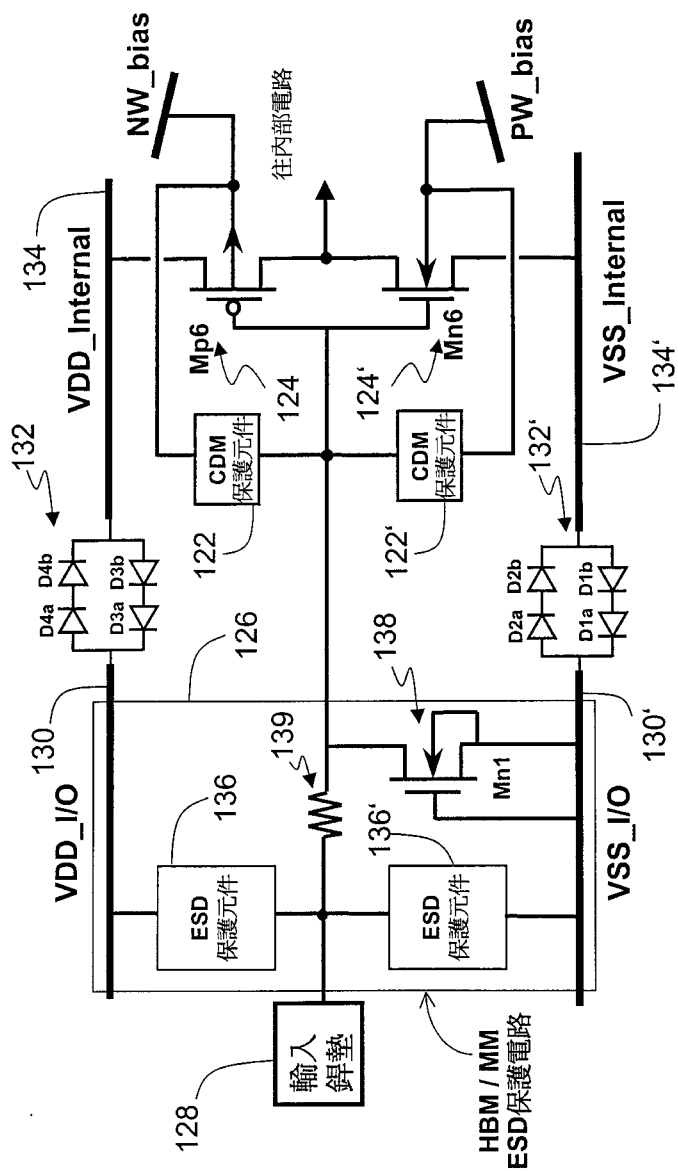
第 11 圖



第 12 圖



第 13 圖



第 14 圖

