

中華民國專利公報 [19] [12]

[11]公告編號：533591

[44]中華民國 92 年 (2003) 05 月 21 日

發明

全 21 頁

[51] Int.Cl⁰⁷： H01L29/747

[54]名稱：應用雙向矽晶二極體之低基體雜訊靜電放電防護之方法與裝置

[21]申請案號：090131885

[22]申請日期：中華民國 90 年 (2001) 12 月 21 日

[30]優先權：[31]09/749,377

[32]2000/12/28

[33]美國

[31]09/973,745

[32]2001/10/11

[33]美國

[72]發明人：

張智毅

臺北縣新莊市中和街一二五巷二十號九樓

柯明道

新竹市東區寶山路二〇〇巷三號四樓之三

[71]申請人：

財團法人工業技術研究院

新竹縣竹東鎮中興路四段一九五號

[74]代理人：

1

2

[57]申請專利範圍：

1.一種靜電放電防護方法，包含：

至少一組包含一第一矽晶二極體與一第二矽晶二極體之雙向矽晶二極體，其中該第一矽晶二極體的一n型區域與該第二矽晶二極體的一p型區域電性耦合，該第一矽晶二極體的一p型區域與該第二矽晶二極體的一n型區域電性耦合，其中該至少一組雙向矽晶二極體對正的靜電放電或負的靜電放電訊號反應。

2.如申請專利範圍第1項之靜電放電防護方法，其中該至少一組雙向矽晶二極體包含一個或複數個串接耦合之雙向矽晶二極體。

3.如申請專利範圍第1項之靜電放電防護方法，其中該第一矽晶二極體包含一中央矽區域，該中央矽區域置於該第一矽晶二極體n型區域與p型區域之間，並且與該n型區域以及該p型區域相鄰。

5.

4.如申請專利範圍第1項之靜電放電防護方法，其中該第二矽晶二極體包含一中央矽區域，該中央矽區域置於該第二矽晶二極體n型區域與p型區域之間，並且與該n型區域以及該p型區域相鄰。

10.

5.如申請專利範圍第1項之靜電放電防護方法，更進一步包含：

15.

一第一隔絕結構；以及

- 一與第一隔絕結構不直接相鄰的第二隔絕結構；
其中該第一矽晶二極體的p型區域與該第一隔絕結構重疊，且該第一矽晶二極體的n型區域與該第二隔絕結構重疊。
- 6.如申請專利範圍第5項之靜電放電防護方法，更進一步包含一位於井區內的擴散區域，該擴散區域與該第一隔絕結構或該第二隔絕結構其中一個相鄰，其中，該擴散區域與該井區所摻雜的雜質為相同形式。
- 7.如申請專利範圍第1項之靜電放電防護方法，更進一步包含：
一第三隔絕結構；以及
一與第三隔絕結構不直接相鄰的第四隔絕結構；
其中該第二矽晶二極體的p型區域與該第三隔絕結構重疊，且該第二矽晶二極體的n型區域與該第四隔絕結構重疊。
- 8.如申請專利範圍第7項之靜電放電防護方法，更包含一位於井區內的擴散區域，該擴散區域與該第三隔絕結構或該第四隔絕結構其中一個相鄰，其中，該擴散區域與該井區所摻雜的雜質為相同形式。
- 9.如申請專利範圍第1項之靜電放電防護方法，其中該第一矽晶二極體包含n個串聯耦合矽晶二極體，且該第二矽晶二極體包含m個串聯耦合矽晶二極體，其中n與m是介於1到無窮大的整數。
- 10.如申請專利範圍第9項之靜電放電防護方法，其中n不等於m。
- 11.如申請專利範圍第1項之靜電放電防護方法，更進一步包含一第一電壓源與一第二電壓源，該組雙向矽晶二極體的一端耦合至該第一電壓源，而另一端耦合至該第二電壓

- 源，其中，該第一電壓源為VDD，而該第二電壓源為VSS。
- 12.一種靜電放電防護裝置，包含：
至少一組包含一第一絕緣層上矽之矽晶二極體與一第二絕緣層上矽之矽晶二極體之雙向矽晶二極體，其中該第一絕緣層上矽之矽晶二極體的一n型區域與該第二絕緣層上矽之矽晶二極體的一p型區域電性耦合，該第一絕緣層上矽之矽晶二極體的一p型區域與該第二絕緣層上矽之矽晶二極體的一n型區域電性耦合，其中該至少一組雙向矽晶二極體對正的靜電放電或負的靜電放電訊號反應。
- 13.如申請專利範圍第12項之靜電放電防護裝置，其中該至少一組雙向矽晶二極體包含一個或複數個串接耦合之雙向矽晶二極體。
- 14.一種積體電路，包含：
一訊號鉀墊；
一第一電壓源；以及
一耦合到該第一電壓源的第一靜電放電箝制電路，具有至少一組雙向矽晶二極體，該雙向矽晶二極體包含一第一矽晶二極體與一第二矽晶二極體，其中該第一矽晶二極體的一n型區域與該第二矽晶二極體的一p型區域電性耦合，該第一矽晶二極體的一p型區域與該第二矽晶二極體的一n型區域電性耦合，且其中該至少一組雙向矽晶二極體對正的靜電放電或負的靜電放電訊號反應。
- 15.如申請專利範圍第14項之電路，其中該至少一組雙向矽晶二極體包含一個或複數個串接耦合之雙向矽晶二極體。
- 16.如申請專利範圍第14項之電路，其中該第一電壓源為VDD，且該第一靜電放電箝制電路耦合到該訊號鉀

墊，以提供人體模式、充電元件模式或機器模式之靜電放電之防護。

17.如申請專利範圍第16項之電路，更包含：

一第二靜電放電箝制電路，具有至少一組雙向矽晶二極體，該雙向矽晶二極體包含一第三矽晶二極體與一第四矽晶二極體，其中該第三矽晶二極體的一n型區域與該第四矽晶二極體的一p型區域電性耦合，該第三矽晶二極體的一p型區域與該第四矽晶二極體的一n型區域電性耦合，並且其中該第二靜電放電箝制電路電性耦合至一第一電晶體的一基體與一閘極，以提供該第一電晶體至少充電元件模式之靜電放電之防護。

18.如申請專利範圍第16項之電路，進一步包含：

一第二靜電放電箝制電路，具有至少一組雙向矽晶二極體，該雙向矽晶二極體包含一第三矽晶二極體與一第四矽晶二極體，其中該第三矽晶二極體的一n型區域與該第四矽晶二極體的一p型區域電性耦合，該第三矽晶二極體的一p型區域與該第四矽晶二極體的一n型區域電性耦合，並且

其中該第二靜電放電箝制電路一端耦合至VDD，另一端耦合至該第一靜電放電箝制電路。

19.如申請專利範圍第14項之電路，其中該第一電壓源為VSS，且該第一靜電放電箝制電路耦合到該訊號鉗墊，以提供至少一種人體模式、充電元件模式或機器模式之靜電放電之防護。

20.如申請專利範圍第14項之電路，其中該第一電壓源為VDD，且第一靜電放電箝制電路耦合至一第一電晶

體的一基體與一閘極，以提供該第一電晶體至少充電元件模式之靜電放電之防護。

21.如申請專利範圍第20項之電路，進一步包含：

一第二靜電放電箝制電路，具有至少一組雙向矽晶二極體，該雙向矽晶二極體包含一第三矽晶二極體與一第四矽晶二極體，其中該第三矽晶二極體的一n型區域與該第四矽晶二極體的一p型區域電性耦合，該第三矽晶二極體的一p型區域與該第四矽晶二極體的一n型區域電性耦合，並且

15. 其中該第二靜電放電箝制電路一端耦合至VDD，另一端耦合至訊號鉗墊，以提供至少一種人體模式或機器模式之靜電放電之防護。

22.如申請專利範圍第14項之電路，其中該第一電壓源為VSS，且該第一靜電放電箝制電路一端耦合至一第二電晶體的一基體與該第一電壓源，另一端耦合至一第二電晶體的一閘極，以提供該第二電晶體至少充電元件模式之靜電放電之防護。

23.如申請專利範圍第22項之電路，進一步包含：

一第二靜電放電箝制電路，具有至少一組雙向矽晶二極體，該雙向矽晶二極體包含一第三矽晶二極體與一第四矽晶二極體，其中該第三矽晶二極體的一n型區域與該第四矽晶二極體的一p型區域電性耦合，該第三矽晶二極體的一p型區域與該第四矽晶二極體的一n型區域電性耦合，並且其中該第二靜電放電箝制電路一端耦合至VDD與該第一電晶體的該基體，另一端耦合至該第一電晶體的該閘極。

40. 24.如申請專利範圍第23項之電路，其

中該第一電晶體的該閘極耦合至該第二電晶體的該閘極。

- 25.如申請專利範圍第14項之電路，進一步包含一耦合至該第一靜電放電箝制電路的一第二電壓源，其中該第一電壓源為VDD，該第二電壓源為VSS，以提供靜電放電防護。
- 26.如申請專利範圍第14項之電路，進一步包含一耦合至該第一靜電放電箝制電路的一第三電壓源，其中該第三電壓源所提供之電壓不同於該第一電壓源所提供之電壓。
- 27.如申請專利範圍第26項之電路，其中該第三電壓源提供VDD電源給一輸出電路，而該第一電壓源提供VDD電源給一內部電路。
- 28.如申請專利範圍第26項之電路，其中該第三電壓源提供VSS電源給一輸出電路，而該第一電壓源提供VSS電源給一內部電路。

圖式簡單說明：

圖1(a)，圖1(b)，圖1(c)，圖1(d)繪示的是在積體電路中，靜電放電可能發生的幾種情形。

圖2繪示的是人體模式靜電放電等效電路圖。

圖3繪示的是人體模式、機器模式、與充電元件模式的靜電放電波形圖。

圖4A繪示的是一個習知的製作於積體電路中的二極體剖面圖。

圖4B繪示的是另一個習知的製作於積體電路中的二極體剖面圖。

圖5繪示的是一個習知的靜電放電防護電路圖。

圖6繪示的是在圖5中，鉗墊電壓對輸入寄生電容的關係圖。

圖7繪示的是，根據本發明精神的矽晶二極體的剖面圖。

圖8繪示的是，根據本發明精神

的另一矽晶二極體的剖面圖。

圖9繪示的是，根據本發明精神的製作於絕緣層上矽晶圓的矽晶二極體的剖面圖。

5. 圖10繪示的是，根據本發明精神的製作於絕緣層上矽晶圓的矽晶二極體的俯視圖。

10. 圖11A到11H繪示的是根據本發明精神的具有n型中間區域之矽晶二極體的製造方法。

圖12A到12H繪示的是根據本發明精神的具有p型中間區域之矽晶二極體的一種製造方法。

15. 圖13繪示的是，相對應本發明之矽晶二極體的電路符號。

圖14繪示的是，根據本發明精神，利用雙矽晶二極體元件所設計的靜電放電防護電路圖。

20. 圖15A繪示的是，圖14中的鉗墊電壓與個別矽晶二極體之電容量關係圖。

圖15B繪示的是，圖14中的鉗墊電壓與總矽晶二極體之電容量關係圖。

25. 圖16A繪示的是，根據本發明精神，利用矽晶層二極體元件所設計的靜電放電防護電路圖。

圖16B繪示的是，根據本發明精神，利用堆疊矽晶層二極體元件所設計的靜電放電防護電路圖。

30. 圖16C繪示的是，根據本發明精神，利用串聯矽晶層二極體元件所設計的靜電放電防護電路圖。

圖17繪示的是，根據本發明精神，利用偏壓的雙矽晶二極體元件所設計的靜電放電防護電路圖。

35. 圖18繪示的是，個別矽晶二極體與串聯矽晶二極體之電壓電流特性圖。

40. 圖19繪示的是，根據本發明精

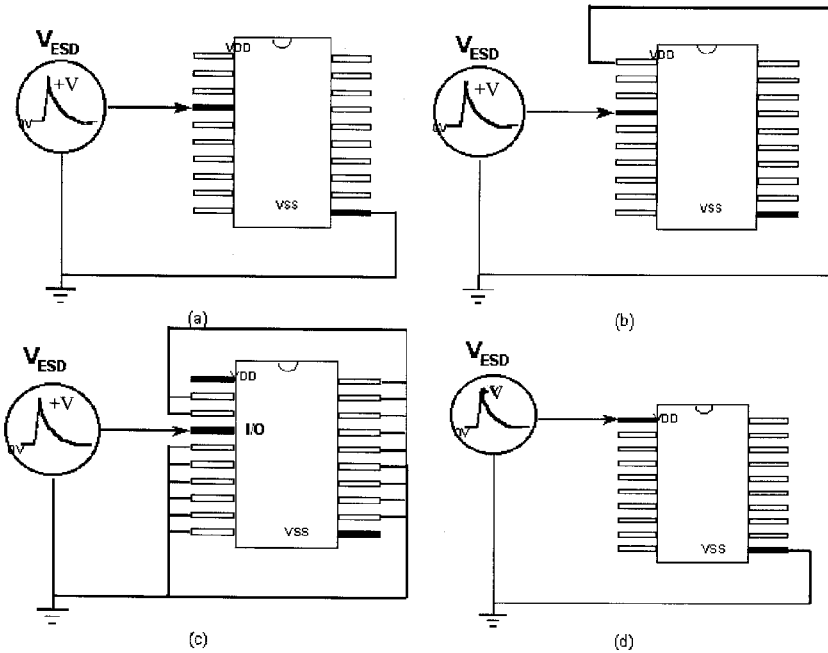
神，利用雙向矽晶二極體所設計的靜電放電防護電路圖。

圖 20 繪示的是，根據本發明精神，利用雙向矽晶二極體所設計的另一靜電放電防護電路圖。

圖 21 繪示的是，根據本發明精

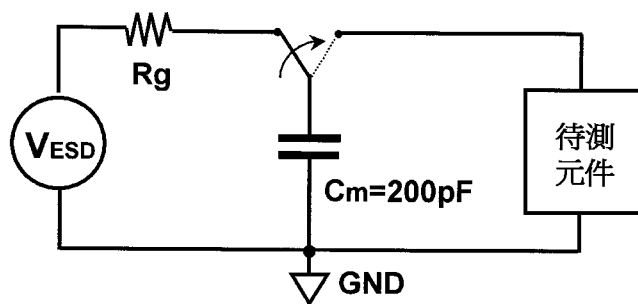
神，利用雙向矽晶二極體所設計的又一靜電放電防護電路圖。

圖 22 繪示的是，根據本發明精神，利用雙向矽晶二極體所設計的高電壓容忍之靜電放電防護電路圖。

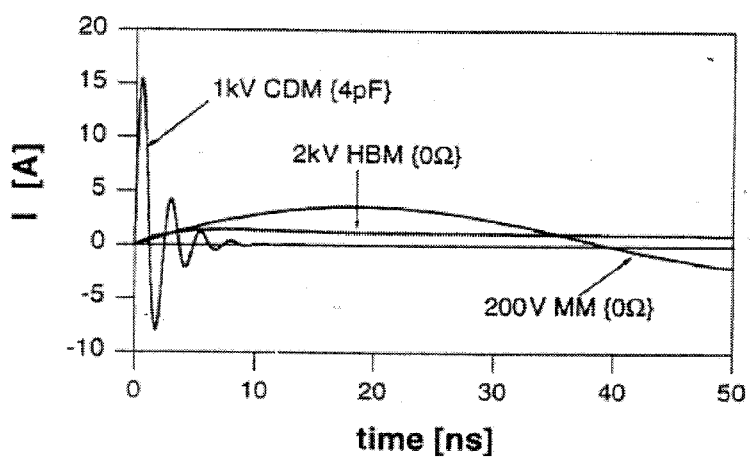


第 1 圖

(6)

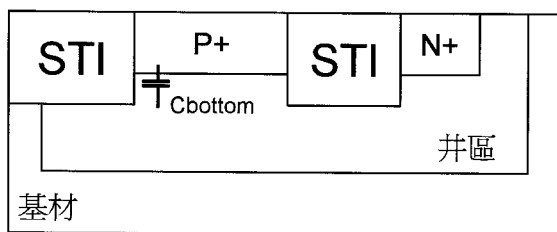


第 2 圖

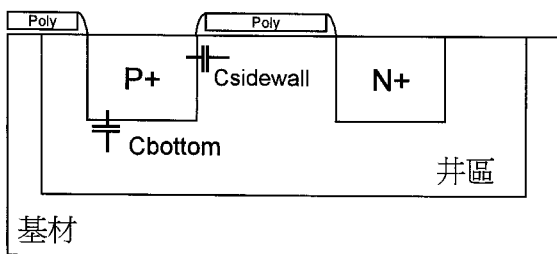


第 3 圖

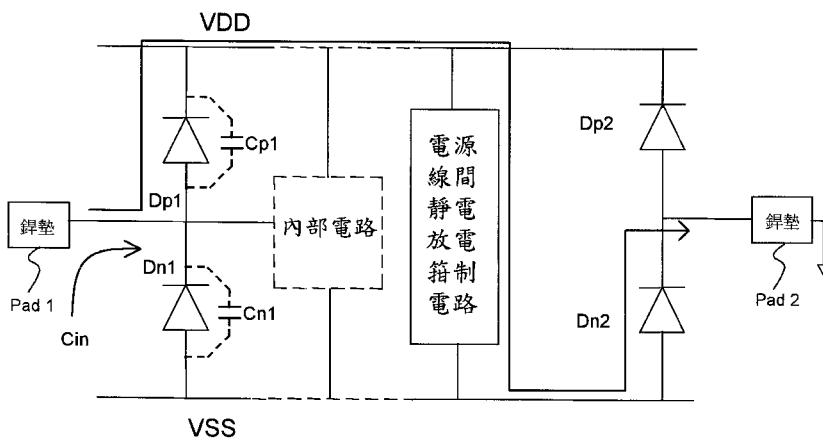
(7)



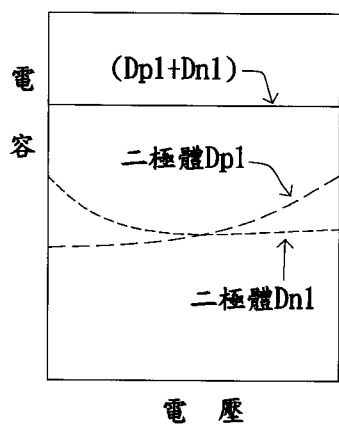
第 4A 圖



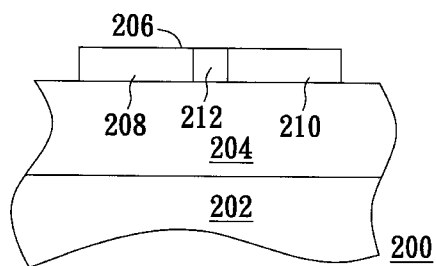
第 4B 圖



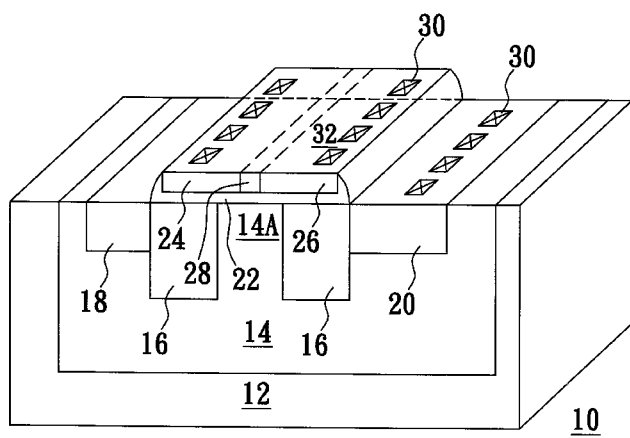
第 5 圖



第 6 圖

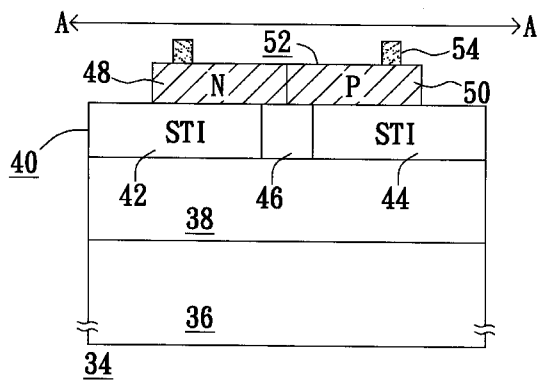


第 8 圖

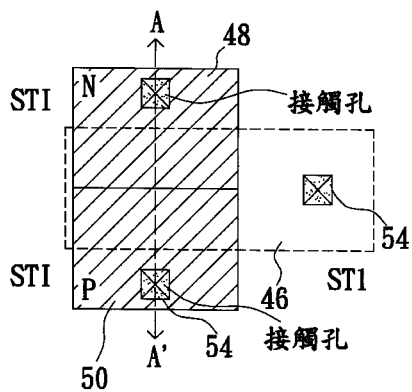


第 7 圖

(9)

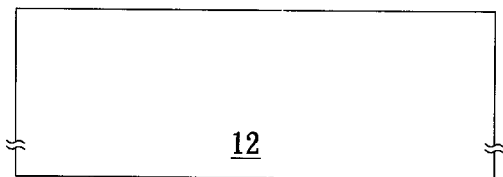


第 9 圖

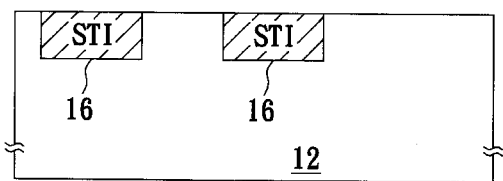


第 10 圖

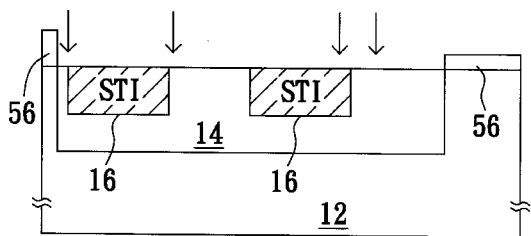
第 11A 圖



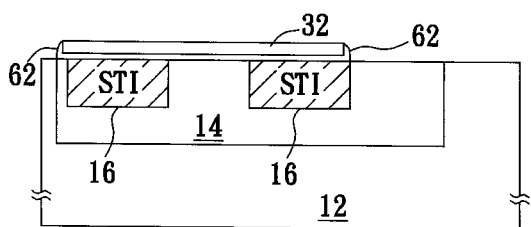
第 11B 圖



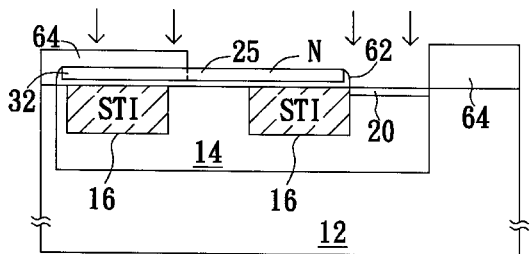
第 11C 圖



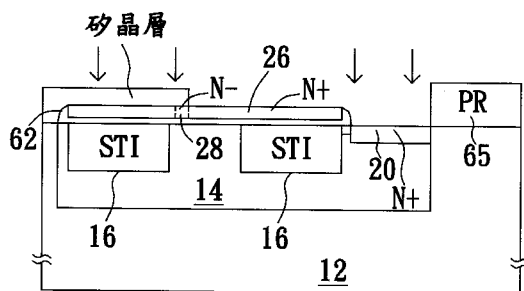
第 11D 圖



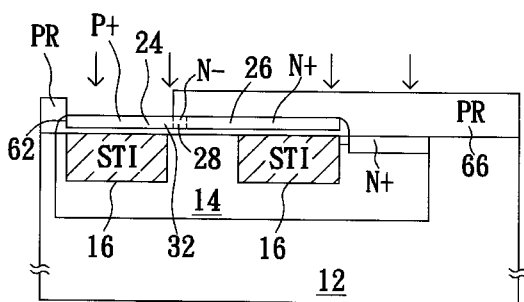
第 11E 圖



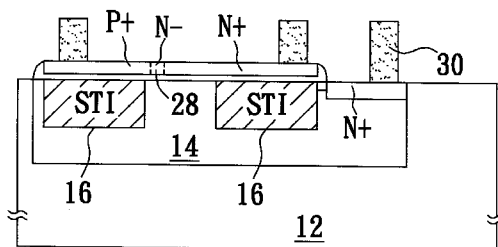
第 11F 圖

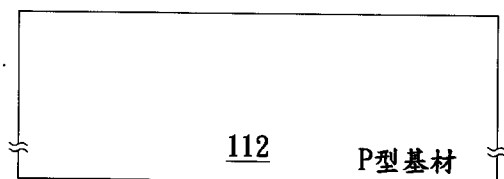


第 11G 圖

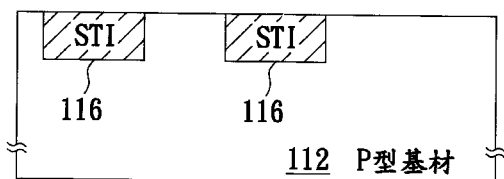


第 11H 圖

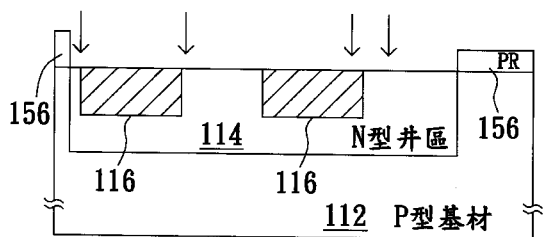




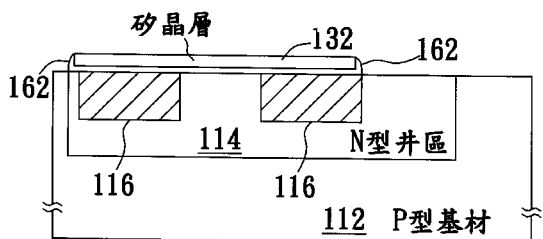
第 12A 圖



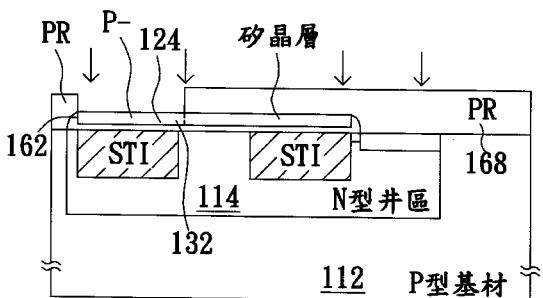
第 12B 圖



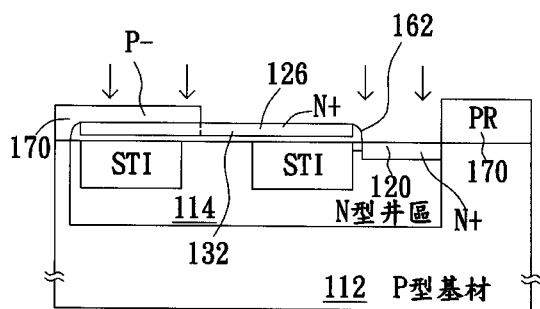
第 12C 圖



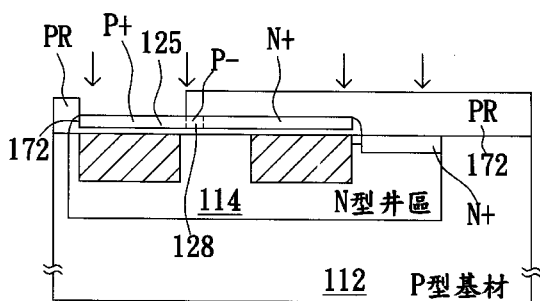
第 12D 圖



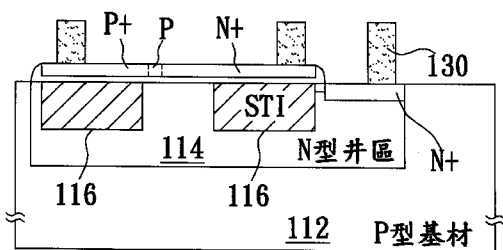
第 12E 圖



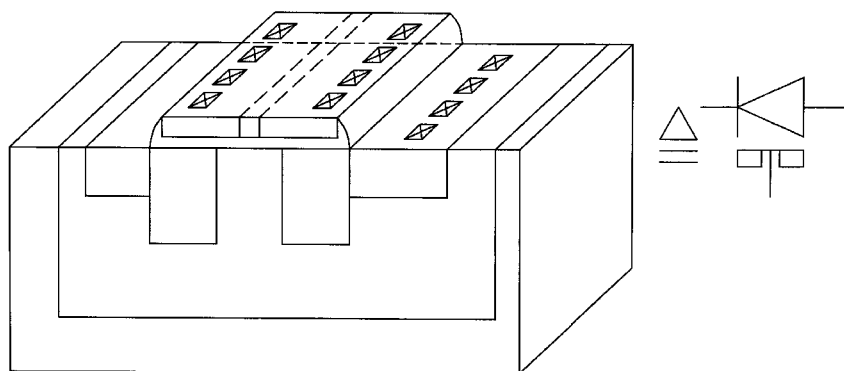
第 12F 圖



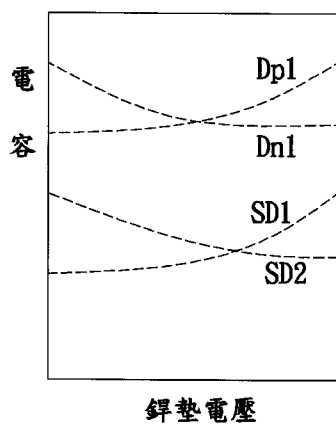
第 12G 圖



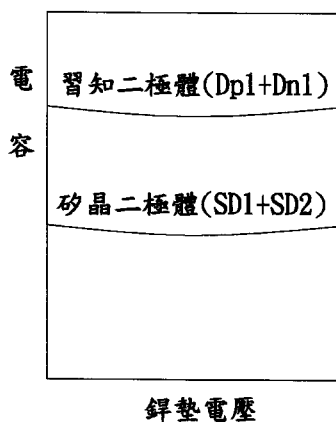
第 12H 圖



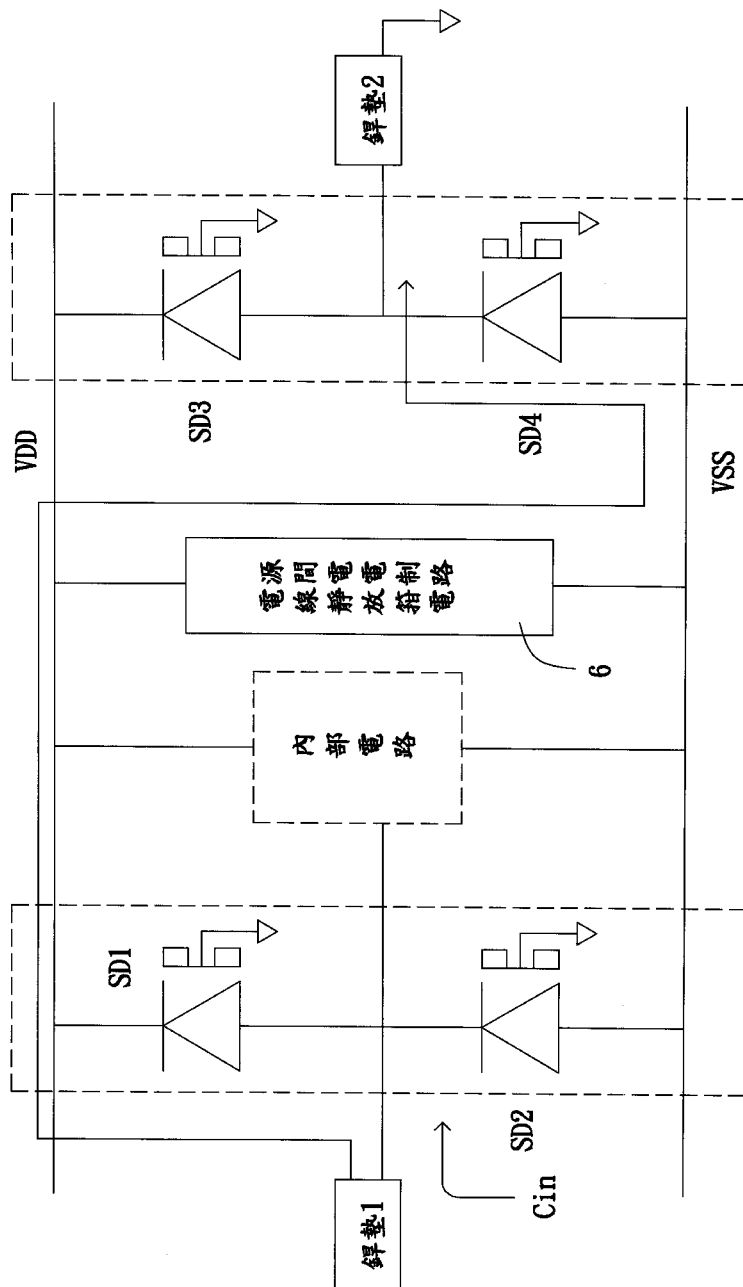
第 13 圖



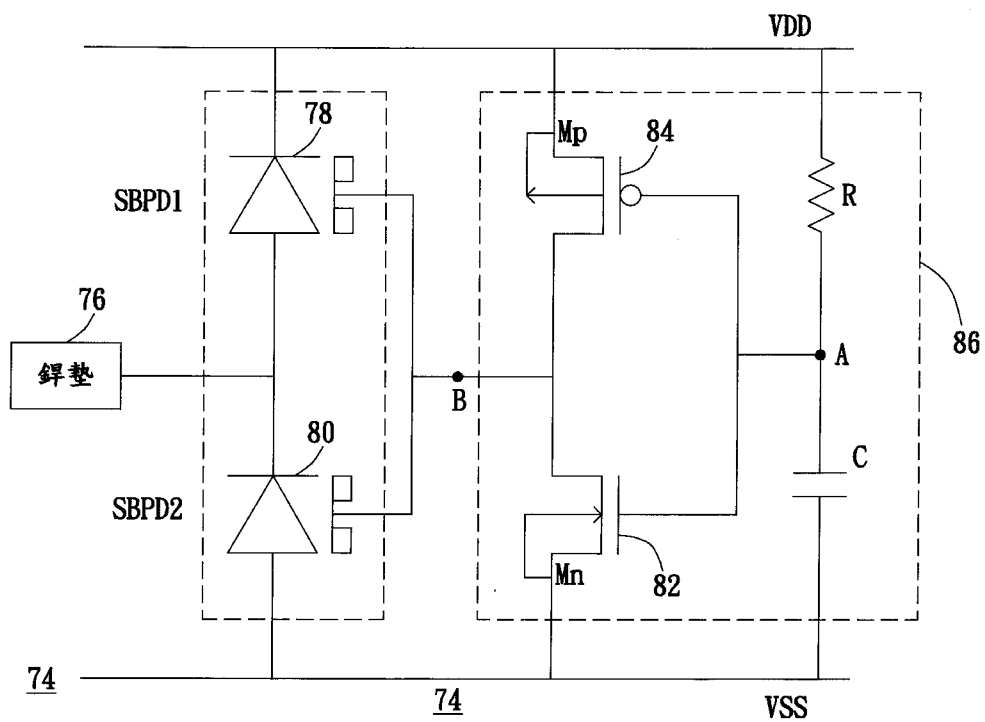
第 15A 圖



第 15B 圖

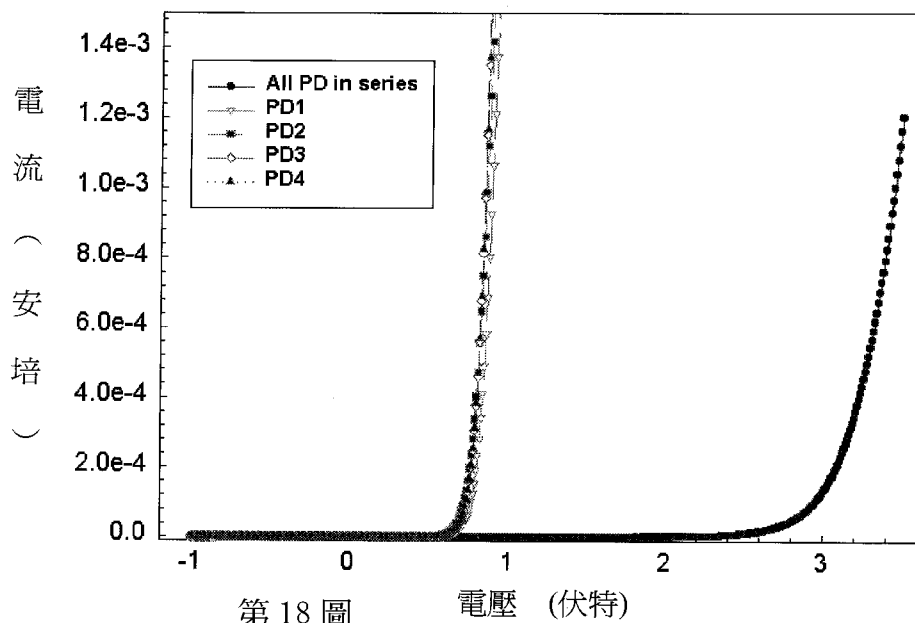


第14圖

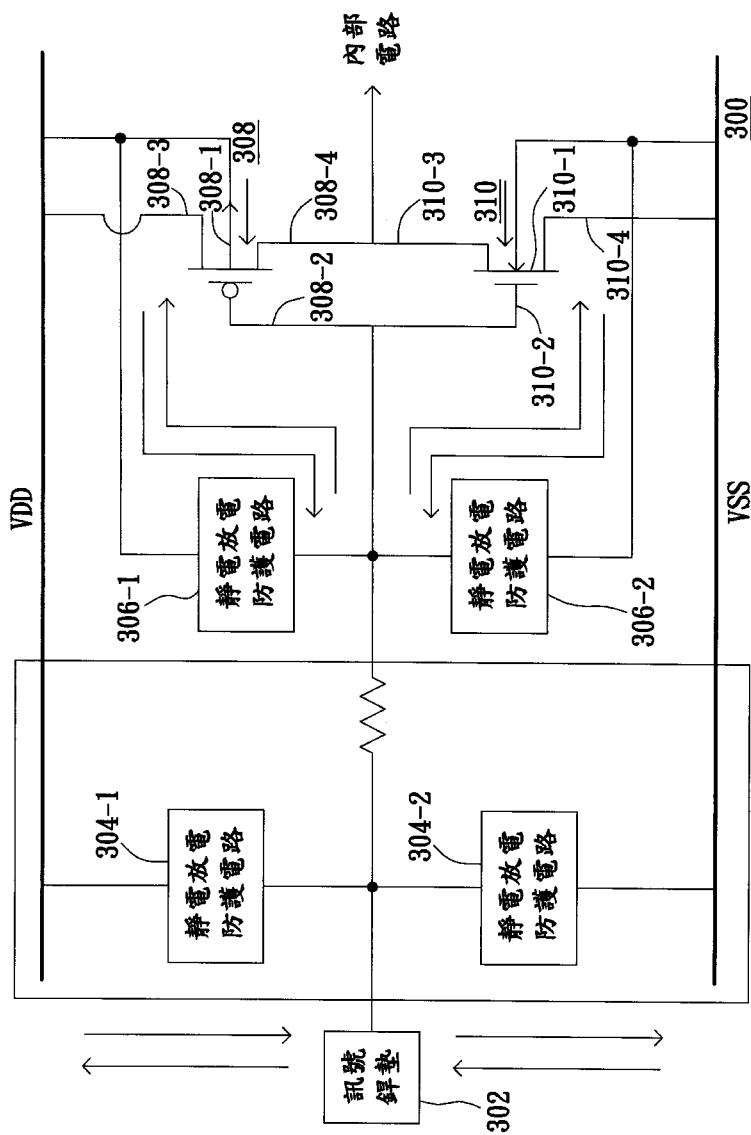


第 17 圖

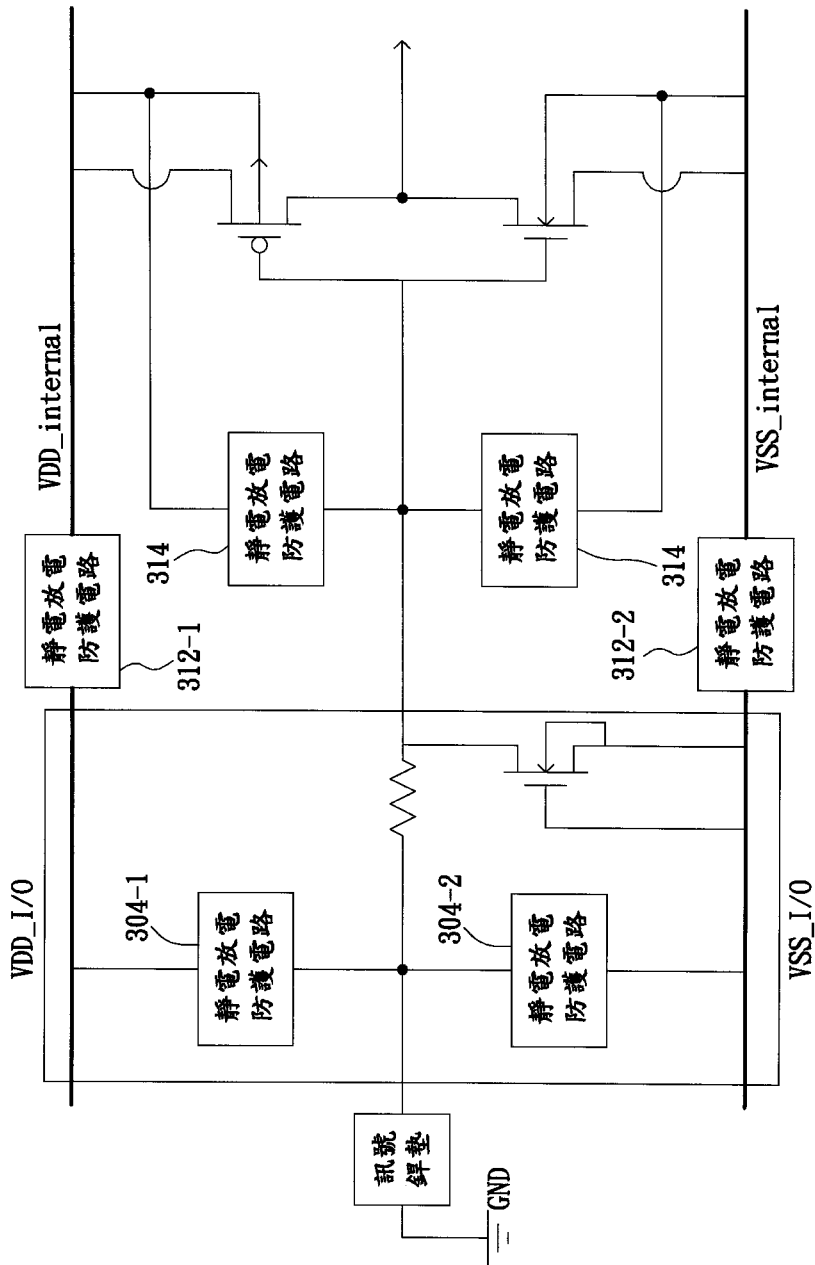
多晶矽二極體以及4個串連多晶矽二極體



第 18 圖



第 19 圖



第 20 圖

