

中華民國專利公報 [19] [12]

[11]公告編號：548820

[44]中華民國 92年(2003) 08月21日

發明

全12頁

[51] Int.Cl⁰⁷ : H01L23/60

[54]名稱：在絕緣層上矽(SOI)製程下之矽控整流器元件結構及其靜電放電防護電路設計

[21]申請案號：091112483 [22]申請日期：中華民國 91年(2002) 06月07日

[30]優先權：[31]10/062,712 [32]2002/02/05 [33]美國

[72]發明人：

柯明道

新竹市東區寶山路二〇〇巷三號四樓之三

洪根剛

彰化縣芬園鄉舊社村彰南路五段五十三號

張智毅

臺北縣新莊市中和街一二五巷二十號九樓

[71]申請人：

財團法人工業技術研究院

新竹縣竹東鎮中興路四段一九五號

[74]代理人：

1

2

[57]申請專利範圍：

1.一種積體電路元件，包含一個半導體基材；一層絕緣層置於該半導體基材上；和一層矽晶層置於該絕緣層上，包含一個第一p型部分，一個與第一p型部分相鄰的第一n型部分，一個與第一n型部分相鄰的第二p型部分，一個與第二p型部分相鄰的第二n型部分，一個與第二n型部分相鄰的第三p型部分，和一個與第三p型部分相鄰的第三n型部分，其中該第一、第二及第三p型部分和該第一、第二及第三n型部分整個形成一個整流器，而該第一p型部分與該第一n型部分

形成該整流器的陰極(cathode)，該第三p型部分與該第三n型部分形成該整流器的陽極(anode)。

- 2.如申請專利範圍第1項之積體電路元件，其中該第二p型部分與第一p型部分相鄰。
- 3.如申請專利範圍第1項之積體電路元件，其中該第三n型部分與第二n型部分相鄰。
- 4.如申請專利範圍第1項之積體電路元件，其中該第二p型部分包含該第一n型部分與該第一p型部分，且該第一n型與p型部分皆與該絕緣層不相鄰。
- 5.如申請專利範圍第4項之積體電路元

- 件，其中該第二p型部分額外包含一個第四n型部分，此第四n型部分與該第一n型部分不直接相鄰且形成一個n型金氧半電晶體的汲極與源極區域。
- 6.如申請專利範圍第1項之積體電路元件，其中該第二n型部分包含該第三n型部分與該第三p型部分，且該第三n型與p型部分皆與該絕緣層不相鄰。
- 7.如申請專利範圍第6項之積體電路元件，其中該第二n型部分額外包含一個第四p型部分，此第四p型部分與該第三p型部分不直接相鄰且形成一個PMOS電晶體的汲極與源極區域。
- 8.如申請專利範圍第1項之積體電路元件，其中該第一n型與p型部分皆與上述絕緣層相鄰。
- 9.如申請專利範圍第8項之積體電路元件，其中該第二p型部分額外包含一個第四n型部分，此第四n型部分與該第一n型部分不直接相鄰且形成一個N型金氧半電晶體的汲極與源極區域。
- 10.如申請專利範圍第9項之積體電路元件，其中該N型金氧半電晶體具有一個閘極，該閘極可接受電壓訊號以導通該N型金氧半電晶體。
- 11.如申請專利範圍第1項之積體電路元件，其中該第三n型與p型部分皆與上述絕緣層相鄰。
- 12.如申請專利範圍第11項之積體電路元件，其中該第二n型部分額外包含一個第四p型部分，此第四p型部分與該第三p型部分不直接相鄰且形成一個PMOS電晶體的汲極與源極區域。
- 13.如申請專利範圍第12項之積體電路元件，其中該PMOS電晶體具有一

- 個閘極，該閘極可接受電壓訊號以導通該PMOS電晶體。
- 14.如申請專利範圍第13項之積體電路元件，其中該PMOS電晶體之閘極耦接到上述整流器之陽極。
- 15.如申請專利範圍第13項之積體電路元件，其中該第二p型部分包含一個第四n型部分，此第四n型部分與該第一n型部分不直接相鄰且形成一個N型金氧半電晶體的汲極與源極區域。
- 16.如申請專利範圍第1項之積體電路元件，更進一步包含至少一個絕緣區域與上述整流器相連。
- 17.一種積體電路元件，包含一個半導體基材；
一個絕緣層置於該半導體基材上；
一個第一n型金氧半電晶體，此n型金氧半電晶體形成於該絕緣層之上，並具有一閘極，一汲極，以及一源極區域；和
一個第一p型金氧半電晶體，此p型金氧半電晶體形成於該絕緣層之上並與該n型金氧半電晶體相鄰，而且具有一閘極，一汲極，以及一源極區域，其中該p型金氧半電晶體與n型金氧半電晶體形成一個整流器以提供靜電放電防護。
- 18.如申請專利範圍第17項之積體電路元件，更進一步包含一個靜電放電偵測電路，用以提供偏壓來導通該整流器，此靜電放電偵測電路包含一個第一反相器，此第一反相器包含一個具有一閘極、一汲極、以及一源極區域的第二p型金氧半電晶體，以及一個具有一閘極、一汲極、以及一源極區域的第二n型金氧半電晶體，其中第二p型金氧半電晶體的閘極與第二n型金氧半電晶體的閘極耦接在一起，而第一p型金氧半

電晶體的閘極與第二p型金氧半電晶體的汲極以及第二n型金氧半電晶體的汲極耦接在一起。

19.如申請專利範圍第18項之積體電路元件，其中該第一p型金氧半電晶體的閘極被耦接用以接受偏壓訊號來導通該整流器，以提供靜電放電防護。

20.如申請專利範圍第18項之積體電路元件，其中該靜電放電偵測電路進一步包含一個第二反相器，此第二反相器包含一個具有一閘極、一汲極、以及一源極區域的第三p型金氧半電晶體，以及一個具有一閘極、一汲極、以及一源極區域的第三n型金氧半電晶體，其中第三p型金氧半電晶體的閘極與第三n型金氧半電晶體的閘極耦接在一起，而第一n型金氧半電晶體的閘極與第三p型金氧半電晶體的汲極以及第三n型金氧半電晶體的汲極耦接在一起。

21.如申請專利範圍第18項之積體電路元件，其中該第二n型金氧半電晶體的源極耦接到地。

22.如申請專利範圍第20項之積體電路元件，其中該第三n型金氧半電晶體的源極耦接到地。

23.如申請專利範圍第18項之積體電路元件，其中該第二p型金氧半電晶體的源極耦接到一鋸墊以接收靜電電流。

24.如申請專利範圍第20項之積體電路元件，其中該第三p型金氧半電晶體的源極耦接到一鋸墊以接收靜電電流。

25.如申請專利範圍第17項之積體電路元件，進一步包含一個第一n型部分，其中此第一n型部分與該第一p型金氧半電晶體的源極或汲極其中之一共同形成該整流器的陽極。

- 26.如申請專利範圍第17項之積體電路元件，更進一步包含一個靜電放電偵測電路，用以提供偏壓來導通該整流器，此靜電放電偵測電路包含一個第一反相器，此第一反相器包含一個具有一閘極、一汲極、以及一源極區域的第二p型金氧半電晶體，以及一個具有一閘極、一汲極、以及一源極區域的第二n型金氧半電晶體，其中第二p型金氧半電晶體的閘極與第二n型金氧半電晶體的閘極耦接在一起，而第一n型金氧半電晶體的閘極與第二p型金氧半電晶體的汲極以及第二n型金氧半電晶體的汲極耦接在一起。
- 27.如申請專利範圍第26項之積體電路元件，其中該整流器的陽極耦接到第一p型金氧半電晶體的閘極。
- 28.如申請專利範圍第26項之積體電路元件，其中該第二p型金氧半電晶體的閘極與第二n型金氧半電晶體的閘極耦接在一起，並且以並連方式接到一個電阻與一個電容。
- 29.如申請專利範圍第25項之積體電路元件，其中該整流器的陽極耦接到一鋸墊以接收靜電電流。
- 30.如申請專利範圍第17項之積體電路元件，更進一步包含一個靜電放電偵測電路，用以提供偏壓訊號來導通該整流器以提供靜電放電防護，其中第一n型金氧半電晶體的閘極被耦接以接受偏壓訊號。
- 31.如申請專利範圍第17項之積體電路元件，進一步包含一個第一p型部分，其中此第一p型部分與該第一n型金氧半電晶體的源極或汲極其中之一共同形成該整流器的陰極。
- 32.如申請專利範圍第29項之積體電路元件，其中該陰極耦接到至少一個二極體，以避免該整流器被非靜電

放電訊號所導通。

33.一種保護絕緣層上矽元件避免靜電放電傷害之方法，包含：

提供一個具有一閘極、一汲極、以及一源極區域的n型金氧半電晶體；提供一個具有一閘極、一汲極、以及一源極區域的p型金氧半電晶體，此p型金氧半電晶體與上述n型金氧半電晶體相鄰；

提供一個p型部分，此p型部分與該n型金氧半電晶體的源極或汲極其中之一共同形成一陰極；和提供一個n型部分，此n型部分與該p型金氧半電晶體的源極或汲極其中之一共同形成一陽極，其中該n型金氧半電晶體、p型金氧半電晶體、p型部分、與n型部分共同形成一整流器。

34.如申請專利範圍第33項之方法，更進一步包含一偏壓該p型金氧半電晶體以導通該整流器的步驟。

35.如申請專利範圍第33項之方法，更進一步包含一偏壓該n型金氧半電晶體以導通該整流器的步驟。

圖式簡單說明：

第1圖 繪示的是一種習知的製

作於積體電路之矽控整流器之剖面圖。

第2圖 繪示的是另一種習知的製作於積體電路之矽控整流器之剖面圖。

第3圖 繪示的是根據本發明精神的實施例，一個矽控整流器的佈局圖。

第4圖 繪示的是第3圖的矽控整流器的立體圖。

第5圖 繪示的是根據本發明精神的另一個實施例，一個矽控整流器的剖面圖。

第6圖 繪示的是第5圖的矽控整流器的立體圖。

第7圖 繪示的是利用第3圖及第5圖的整流器所完成的一個電路方塊圖實施例。

第8圖 繪示的是第7圖的詳細電路圖。

第9圖 繪示的是利用第3圖及第5圖的整流器所完成的另一個電路方塊圖實施例。

第10圖 繪示的是第9圖的一實施例的詳細電路圖。

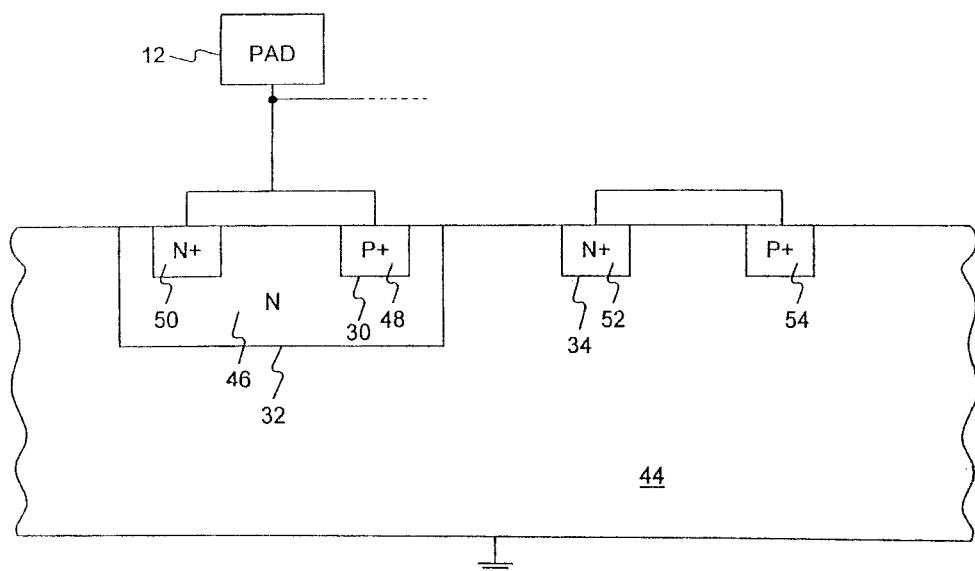
5.

10.

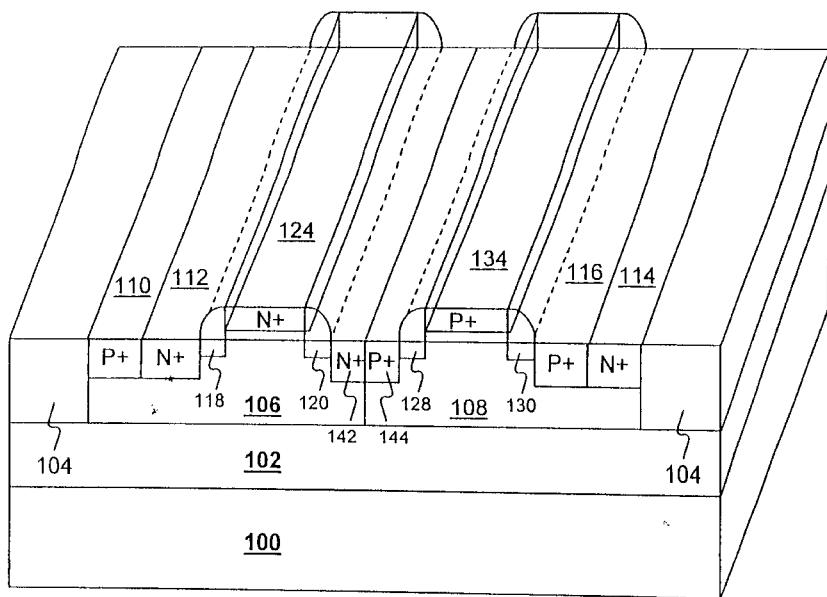
15.

20.

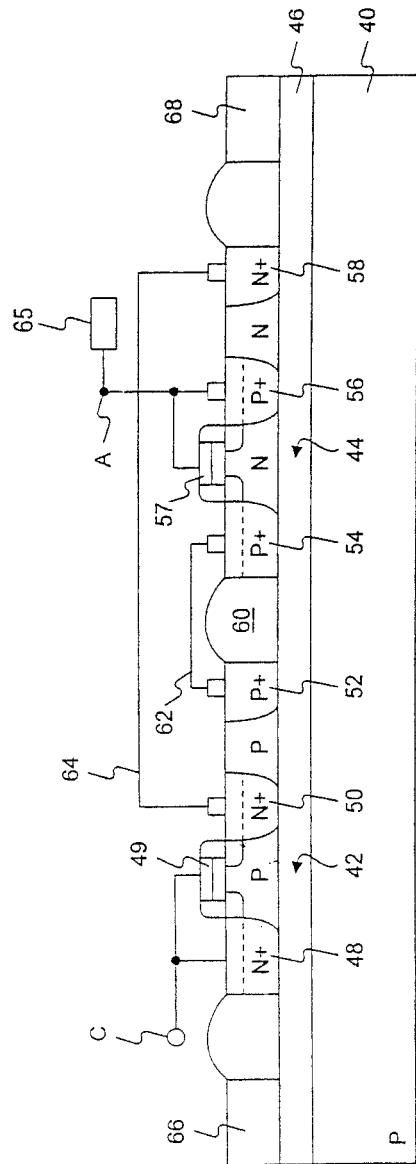
25.



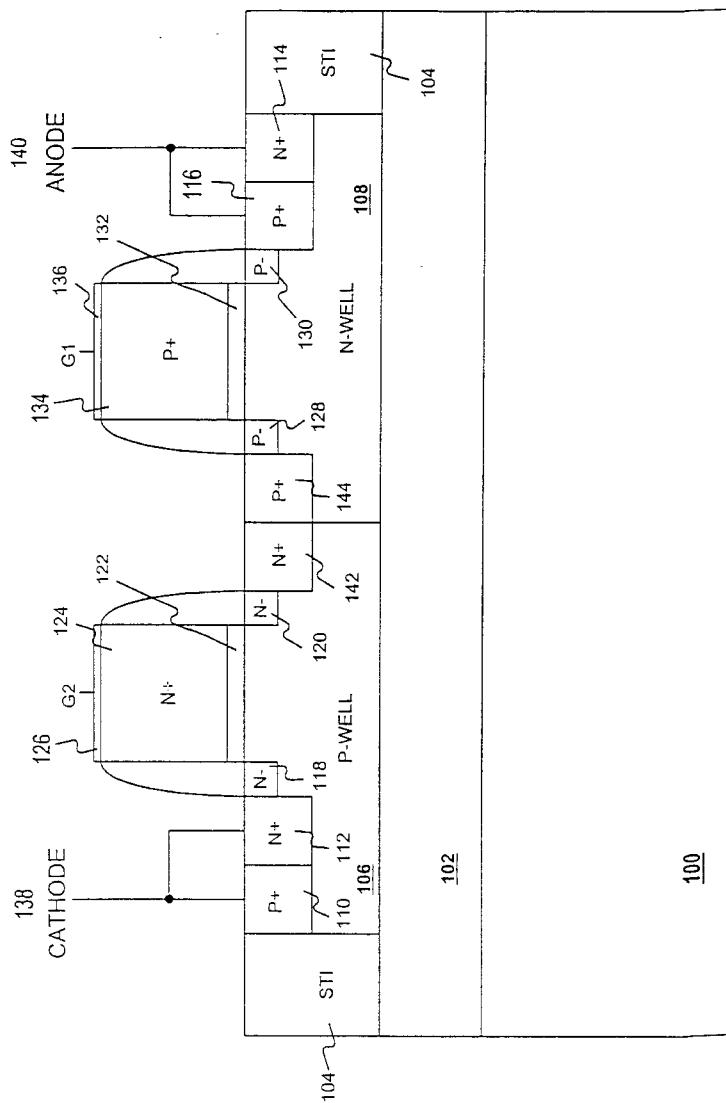
第 1 圖



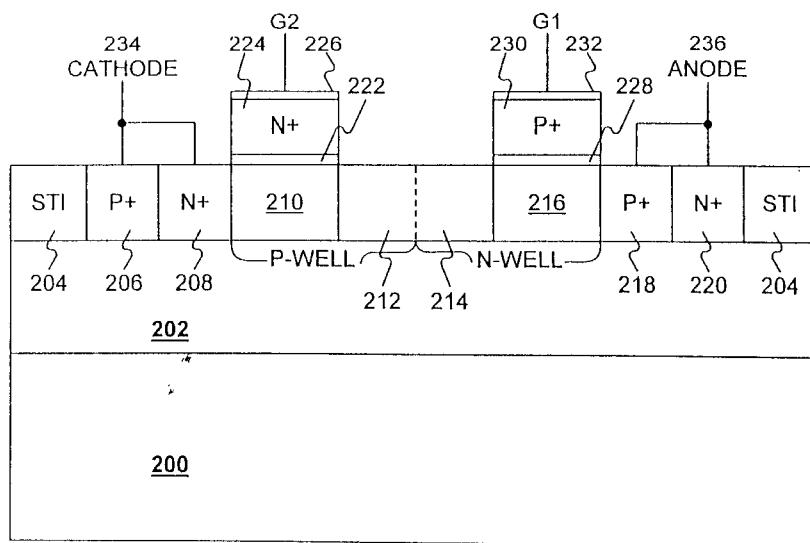
第 4 圖



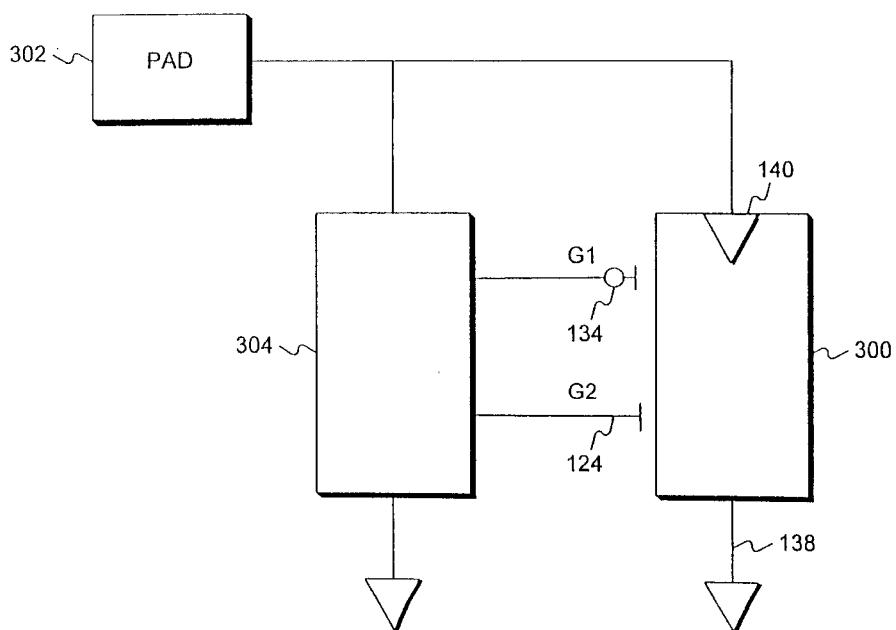
第2圖



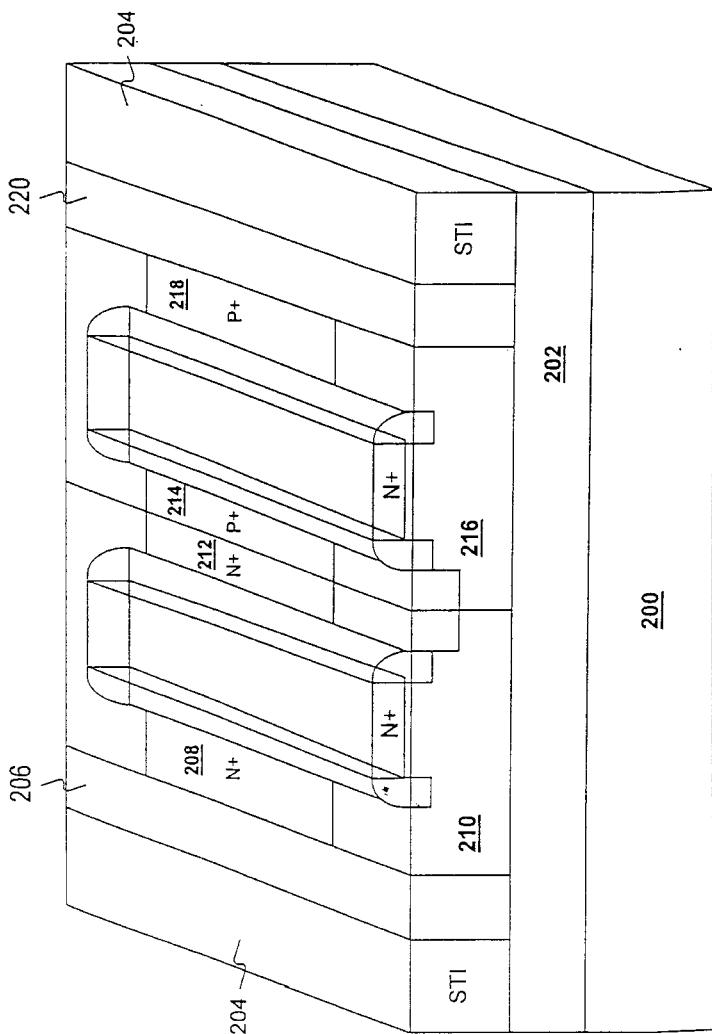
第3圖



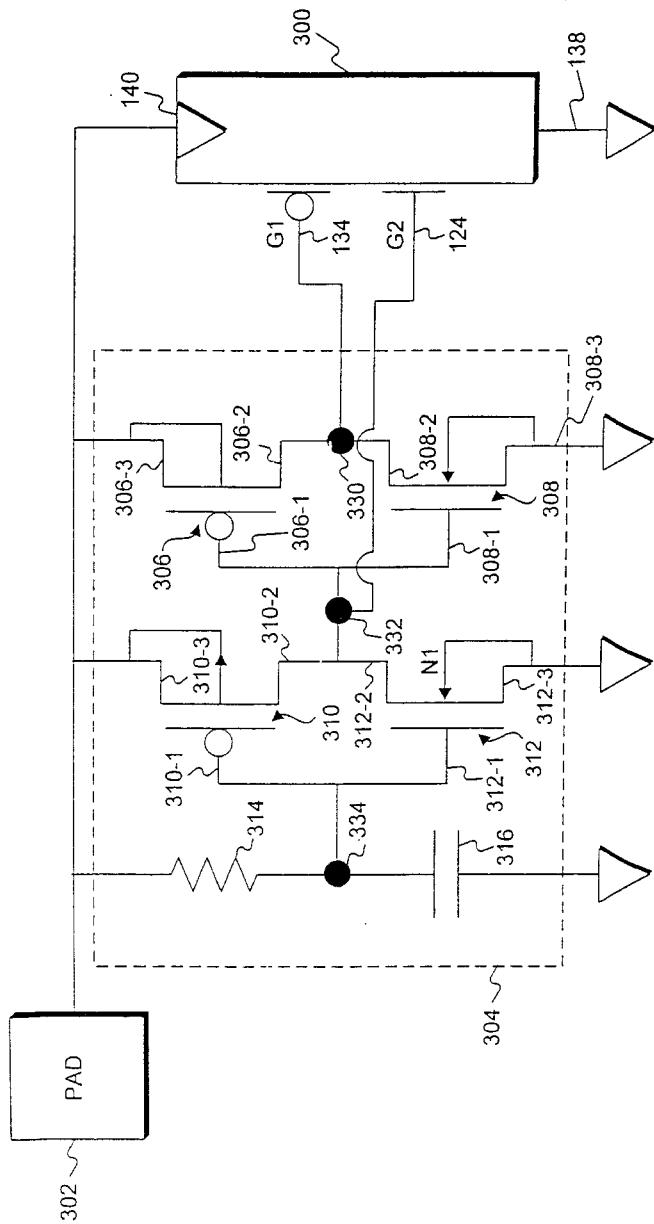
第 5 圖



第 7 圖

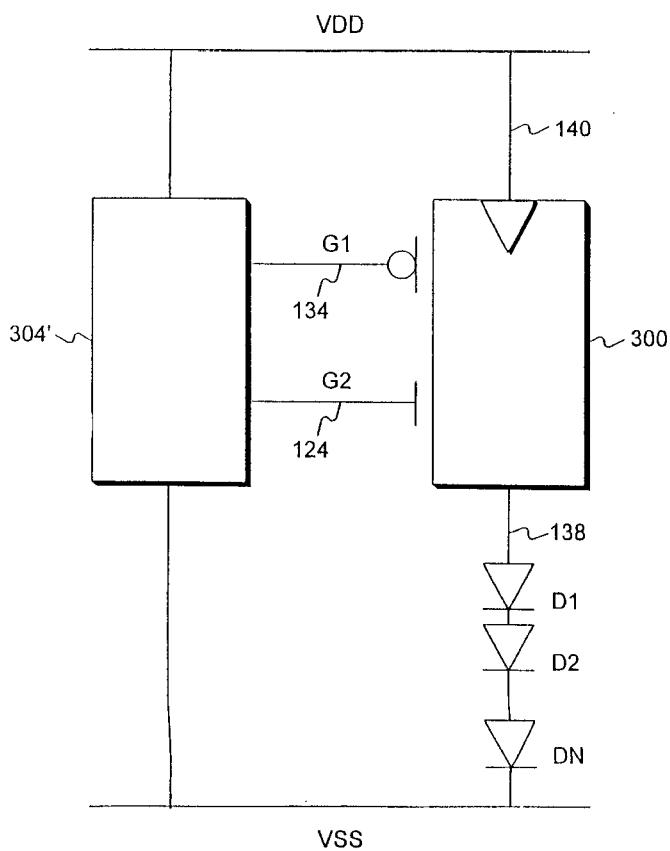


第6圖

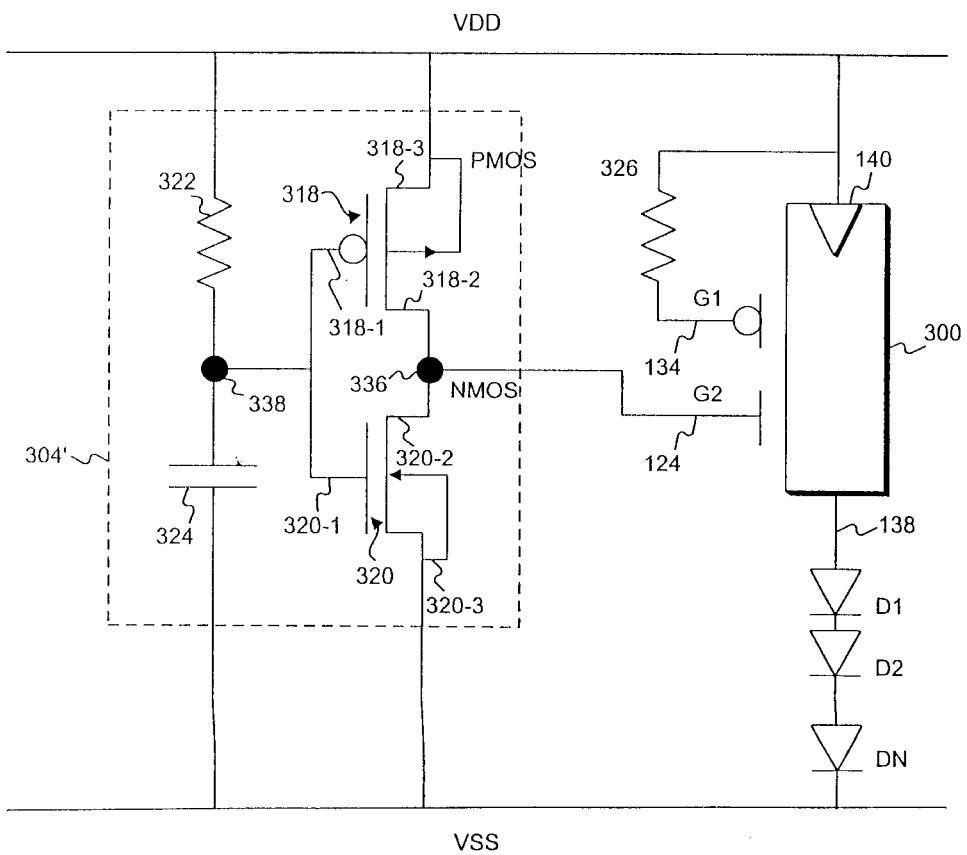


第8圖

(11)



第 9 圖



第 10 圖