

中華民國專利公報 [19] [12]

[11]公告編號：548824

[44]中華民國 92年(2003) 08月21日

發明

全 19 頁

[51] Int.Cl⁰⁷： H01L23/60

[54]名稱：具有高基體觸發效率之靜電放電防護電路與相關之金氧半電晶體結構

[21]申請案號： 091121117

[22]申請日期：中華民國 91年(2002) 09月16日

[72]發明人：

柯明道

新竹市東區寶山路二〇〇巷三號四樓之三

徐國鈞

苗栗縣頭份鎮長安街六十一號

[71]申請人：

台灣積體電路製造股份有限公司

新竹市新竹科學工業園區園區三路一二一號

[74]代理人： 洪澄文 先生

顏錦順 先生

1

2

[57]申請專利範圍：

1.一種基體觸發之靜電放電(electrostatic discharge, ESD)防護電路，包含有：

具有多指結構(multi-finger layout)之一元件(device)，具有複數指閘極、複數之指源極以及至少一指汲極，該指汲極耦接至一接合鋁墊(pad)，每一指閘極下均寄生有一雙極性接面電晶體(bipolar junction transistor, BJT)，每一指源極為該等 BJT 其中之一的射極；

複數之暫態電流偵測元件(voltage drop elements)，每一暫態電流偵測元件耦接於一對應之指源極與一電源線之間，用以偵測流經一相對應之

指閘極的暫態電流(transient current)；以及

複數之回饋線路(feedback circuits)，每一回饋線路耦接於一第一 BJT 的基極(base)與一第二 BJT 的射極之間，於 ESD 事件時，用以觸發該第一 BJT，以釋放 ESD 電流。

2.如申請專利範圍第1項之ESD防護電路，其中，該元件係為一 NMOS。

10. 3.如申請專利範圍第1項之ESD防護電路，其中，該元件係為一 PMOS。

4.如申請專利範圍第1項之ESD防護電路，其中，該元件之複數指閘極其中之一係耦接至一電源線。

15. 5.如申請專利範圍第4項之ESD防護電

路，其中，該元件之複數閘指極其中之一係透過一電阻耦接至一電源線。

- 6.如申請專利範圍第1項之ESD防護電路，其中，該元件之複數閘指極其中之一係耦接至一前級驅動電路(pre-driver)。
- 7.如申請專利範圍第1項之ESD防護電路，其中，該等暫態電流偵測元件係為複數之電阻。
- 8.如申請專利範圍第7項之ESD防護電路，其中，每一該等電阻係以該第一型導電型之一井電阻設於一第二導電型基體所構成。
- 9.如申請專利範圍第1項之ESD防護電路，其中，該等暫態電流偵測元件係為複數之電感(inductor)。
- 10.如申請專利範圍第1項之ESD防護電路，其中，該等暫態電流偵測元件係包含一二極體。
- 11.如申請專利範圍第1項之ESD防護電路，其中，該等暫態電流偵測元件係包含複數順向串聯之二極體。
- 12.如申請專利範圍第1項之ESD防護電路，其中，該回饋線路係連接該第一BJT之基極與該第二BJT之集極。
- 13.如申請專利範圍第1項之ESD防護電路，其中，該回饋線路係同時連接該第一BJT之基極、一第一BJT之集極與該第二BJT之集極。
- 14.如申請專利範圍第1項之ESD防護電路，其中，該元件係為一堆疊式MOS。
- 15.一種具有高效能之靜電放電防護能力的一種金氧半電晶體結構，設於一第二導電型之一基體(substrate)上，包含有：
該第二導電型之一防護環(guard ring)，形成於該基體上，作為該基體

之電性連接點；

5. 複數之指結構，被該防護環所包圍，每一指結構包含有一指閘極、一指源極、一指汲極以及一基體電流進入點，該指源極係以一第一導電型之一第一摻雜區所構成，該指汲極係以該第一導電型之一第二摻雜區所構成，耦接至一接合鉀墊，該指閘極設於該第一摻雜區與該第二摻雜區之間，該基體電流進入點係以被該第二摻雜區包圍之該第二導電型之一第三摻雜區所構成，該指閘極附近之該第一摻雜區、該基體與該第二摻雜區係構成一寄生之雙極性接面電晶體；
複數之井電阻，每一井電阻之一端耦接至該等指源極其中之一，每一井電阻之另一端耦接至一電源線；以及
20. 內連接線路(internal connection circuits)，用以耦接該等指源極其中之一至該等該基體電流進入點其中之一，以在ESD事件時，流經一第一寄生BJT與一相連之井電阻的電流，可以觸發一第二寄生BJT。
25. 16.如申請專利範圍第15項之金氧半電晶體結構，其中，每一該等井電阻係由該第二導電型之一井區，設於該第一摻雜區與一第四摻雜區之間，該第四摻雜區耦接至該電源線。
30. 17.如申請專利範圍第15項之金氧半電晶體結構，其中，該第一摻雜區與該第四摻雜區之間另設有一場氧化層區，以增加該等井電阻之一的電阻值。
35. 18.如申請專利範圍第15項之金氧半電晶體結構，其中，該第二摻雜區與該第三摻雜區之間設有一場氧化層區，用以分隔該第二摻雜區與該第
- 40.

三摻雜區。

19.如申請專利範圍第15項之金氧半電晶體結構，其中，該第二摻雜區與該第三摻雜區之間設有一虛置閘結構(dummy gate)，用以分隔該第二摻雜區與該第三摻雜區。

圖式簡單說明：

第1圖為一習知的具有ESD防護效能的輸入埠；

第2A圖為一習知的多指結構之MOS的佈局圖；

第2B圖為第2A圖之一剖面圖；

第3圖顯示一習知的閘極耦合技術；

第4圖顯示一習知的基體觸發技術；

第5圖為本發明的基體觸發之ESD防護電路，以NMOS實施時的概念示意圖；

第6圖為多指結構之NMOS單純只是作為ESD防護元件時之一實施例；

第7圖為多指結構之NMOS作為一驅動器時之一實施例；

第8圖為多指結構之PMOS單純只是作為ESD防護元件時之一實施例；

第9圖為多指結構之PMOS作為一驅動器時之一實施例；

第10圖為一依據本發明，具有4指結構之多指結構NMOS的佈局圖(layout)；

第11A圖與第11B圖分別為沿著第10圖中XX'線與YY'線的剖面圖；

第12圖至第15圖為依據本發明，可以同時觸發多個BJT的四個實施例；

第16圖為一可以用於第12圖的多指結構之NMOS剖面圖；

第17圖為指汲極與基體電流進入點之間以虛閘結構隔絕之多指結構NMOS的佈局圖；

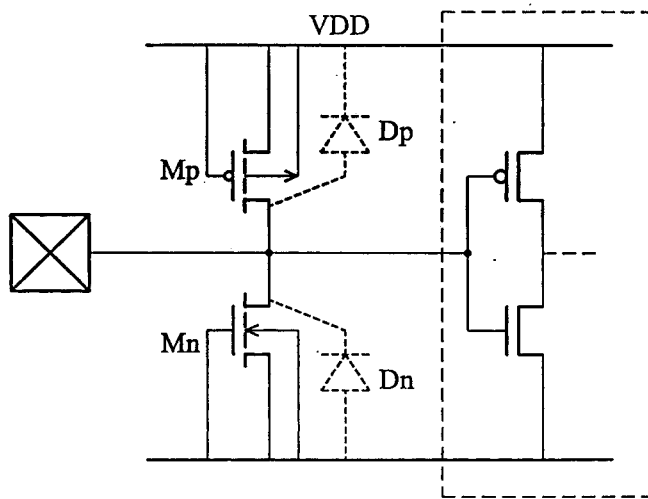
第18圖為第17圖之剖面圖，但其回饋線路使其寄生之BJT可循序的觸發；

第19圖為第17圖之剖面圖，但其回饋線路使其寄生之BJT可同時的觸發；

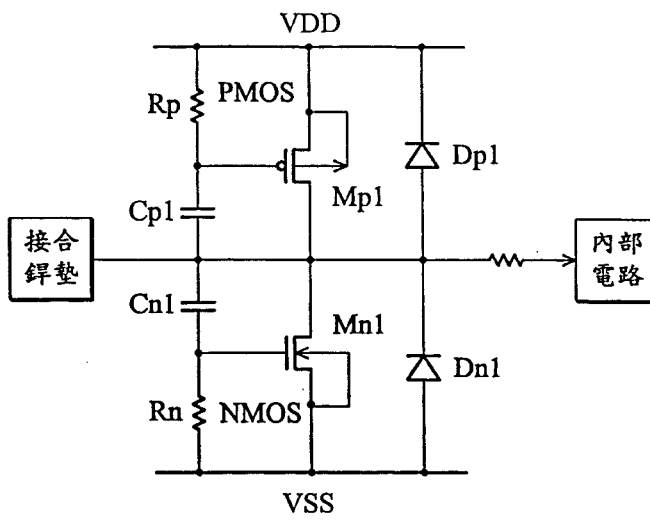
第20圖至第22圖分別以一電感、一二極體以及串聯之複數二極體作為本發明中的暫態電流偵測元件；以及

第23圖為本發明應用於堆疊式NMOS的一實施例。

(4)

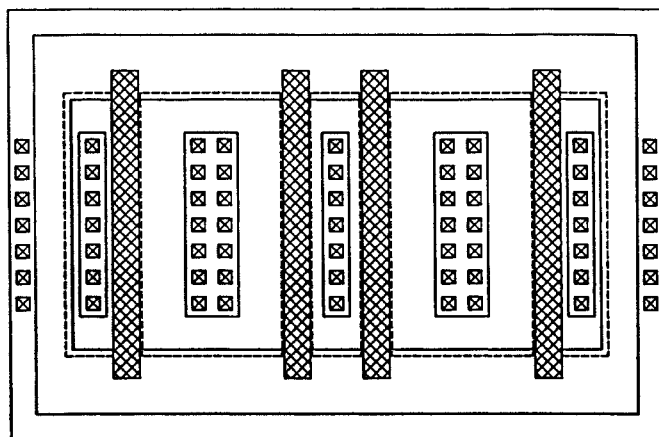


第 1 圖

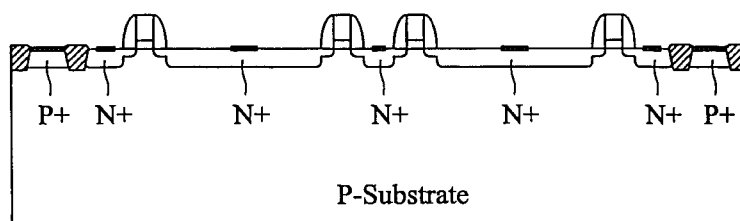


第 3 圖

(5)

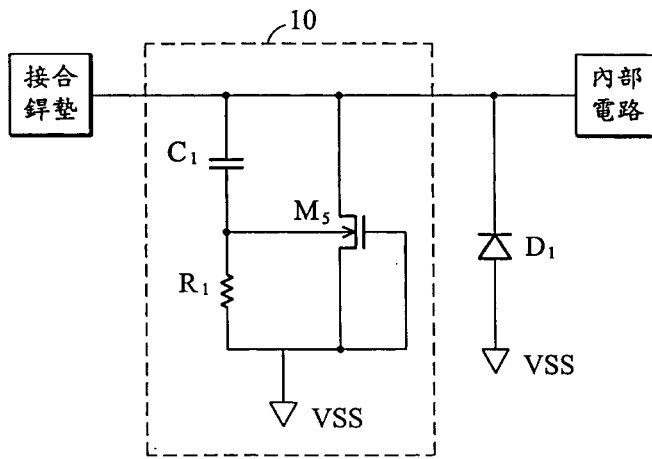


第 2A 圖

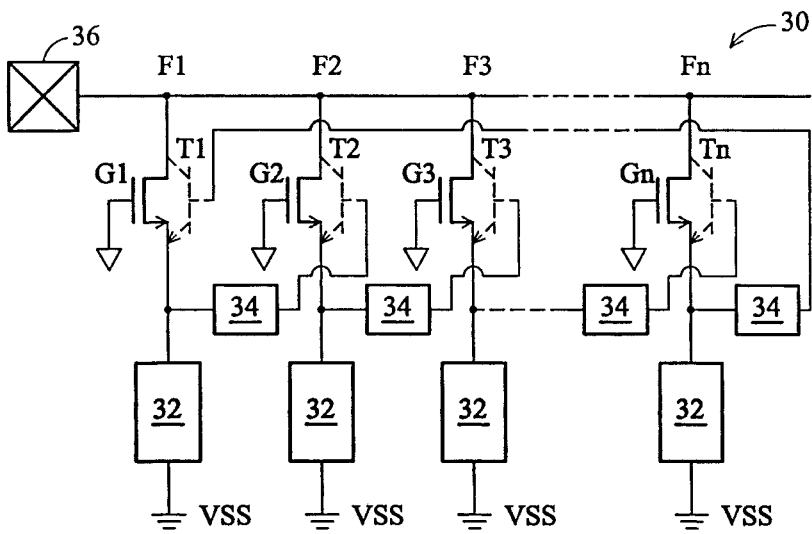


第 2B 圖

(6)

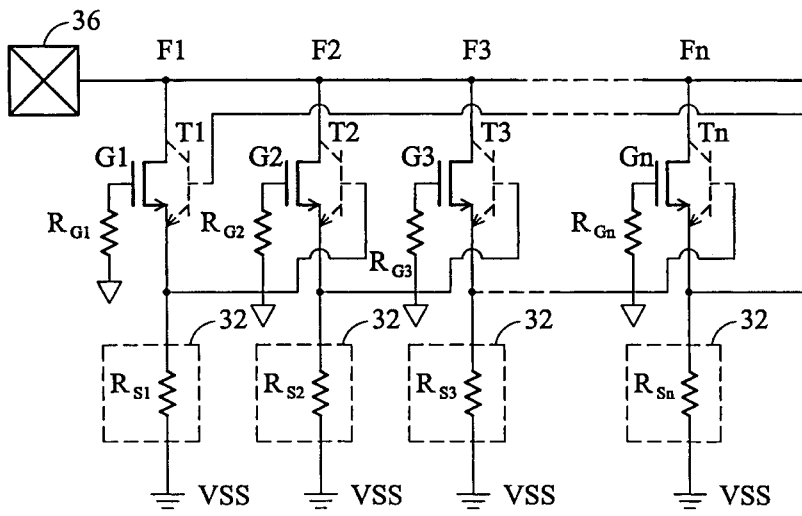


第 4 圖

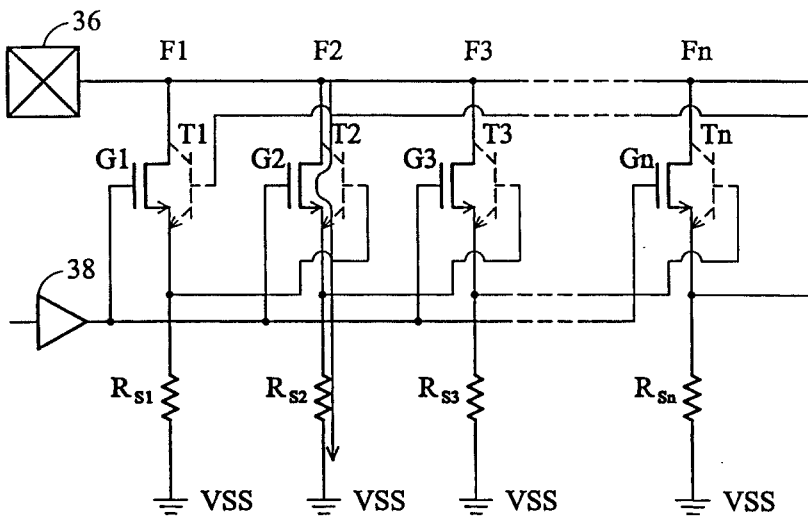


第 5 圖

(7)

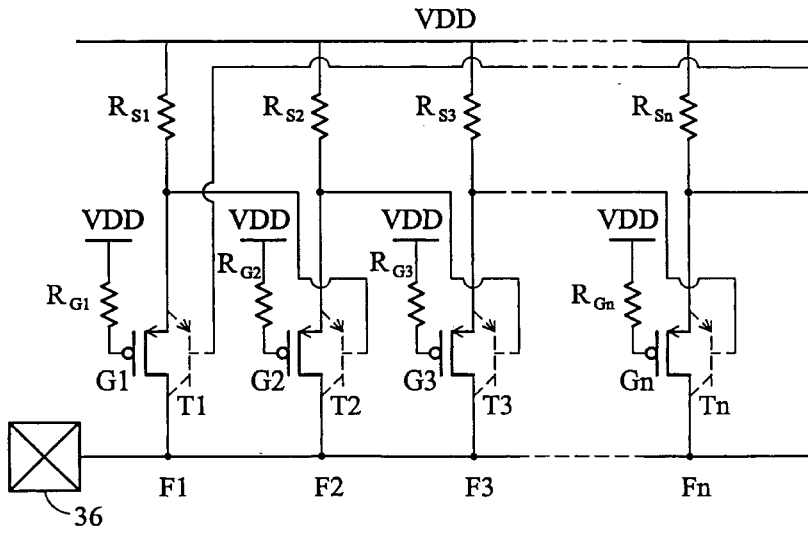


第 6 圖

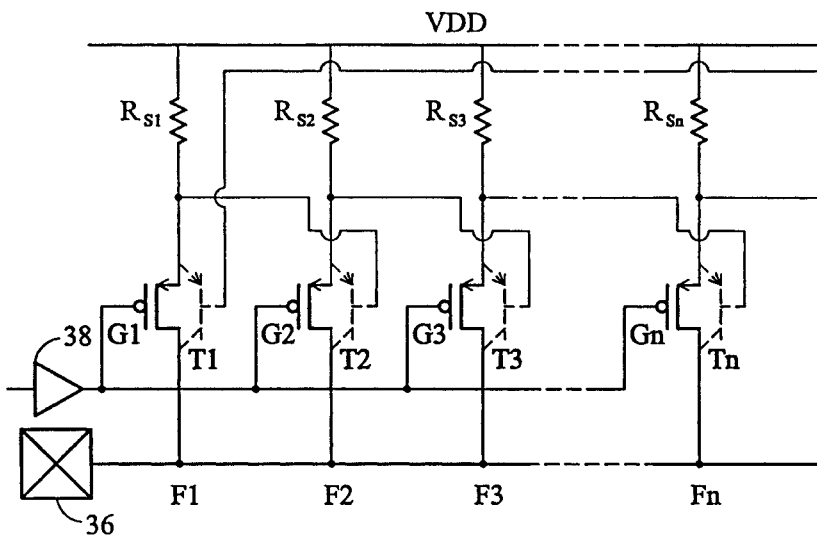


第 7 圖

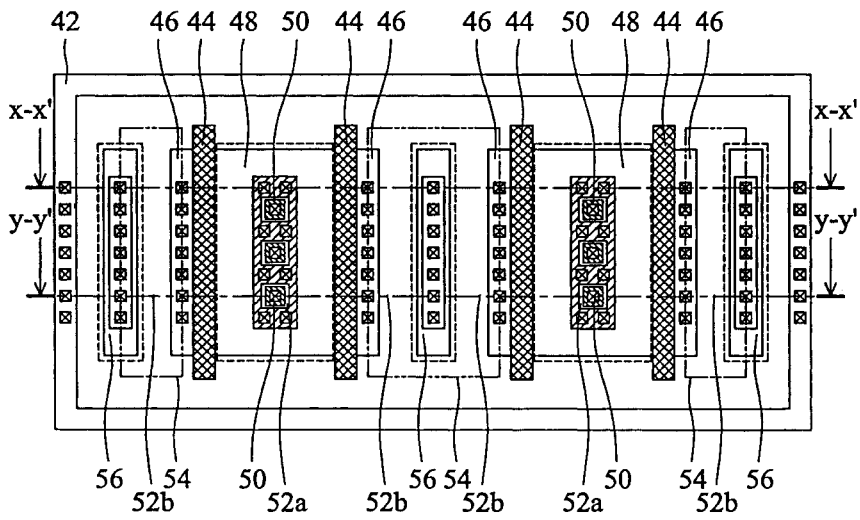
(8)



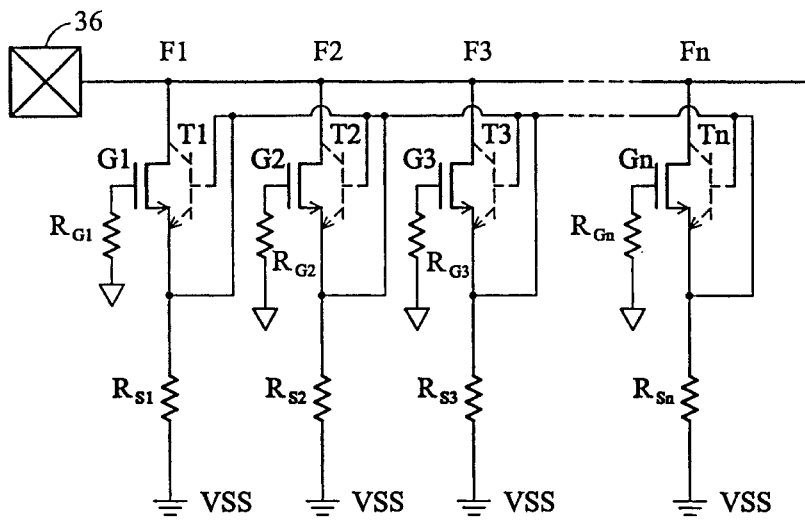
第 8 圖



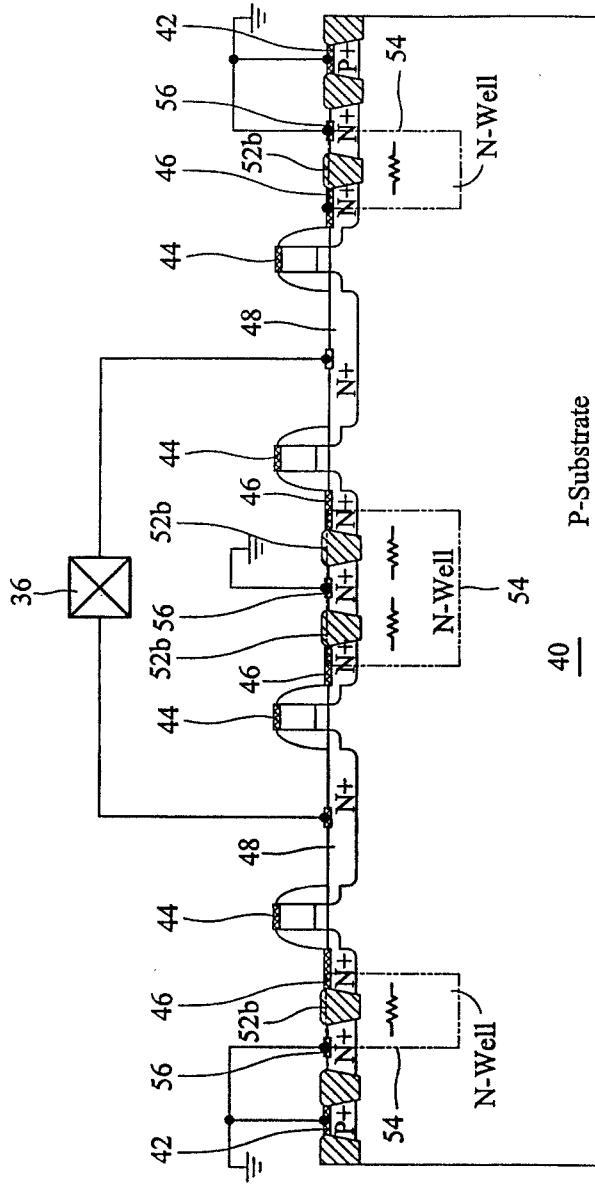
第 9 圖



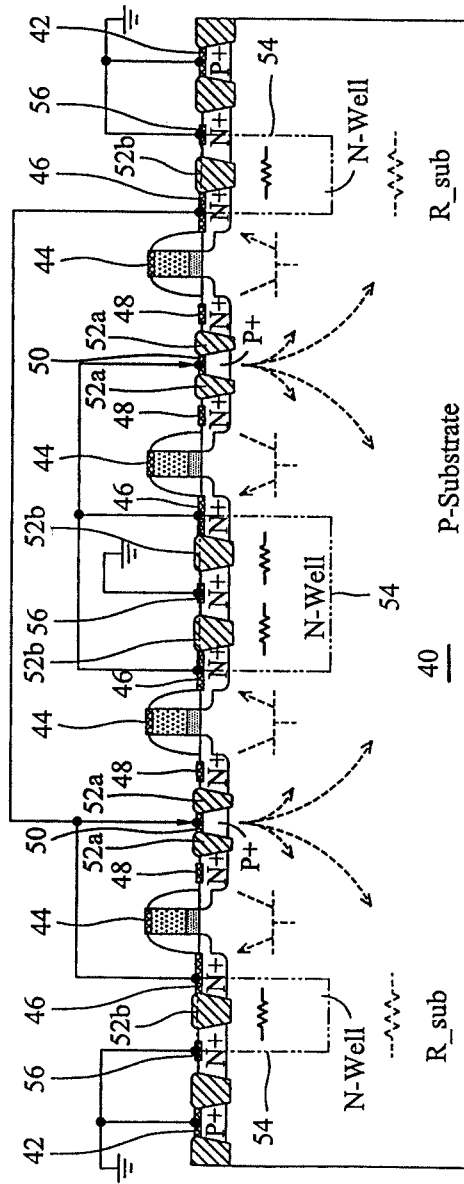
第 10 圖



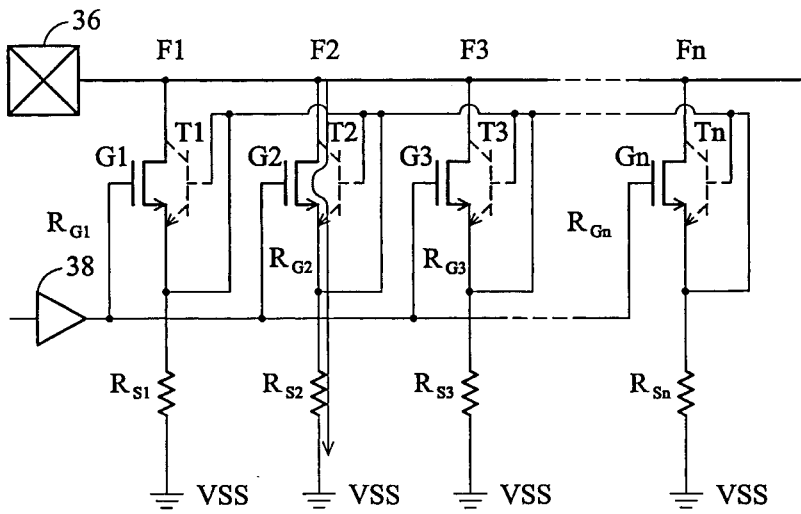
第 12 圖



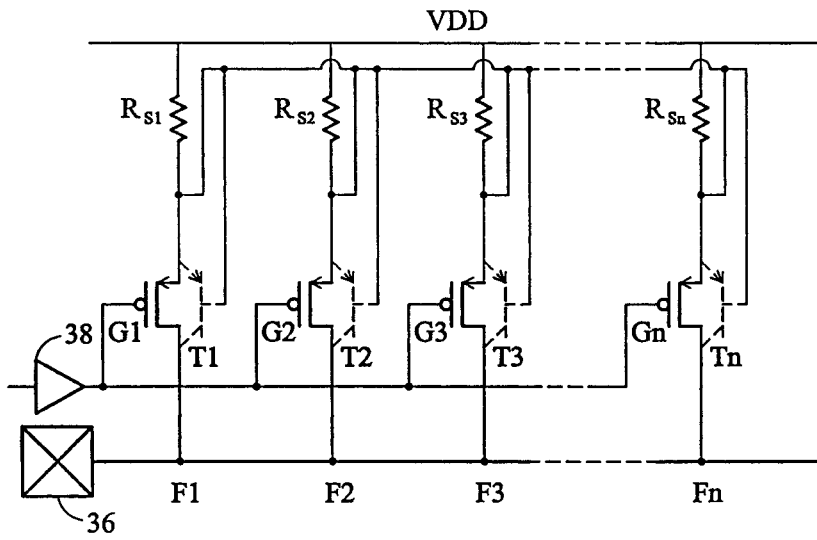
第 11A 圖



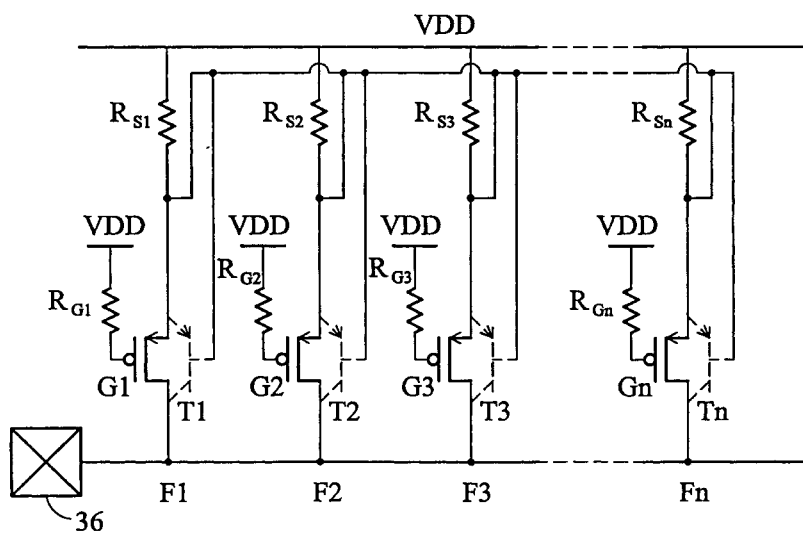
第 11B 圖



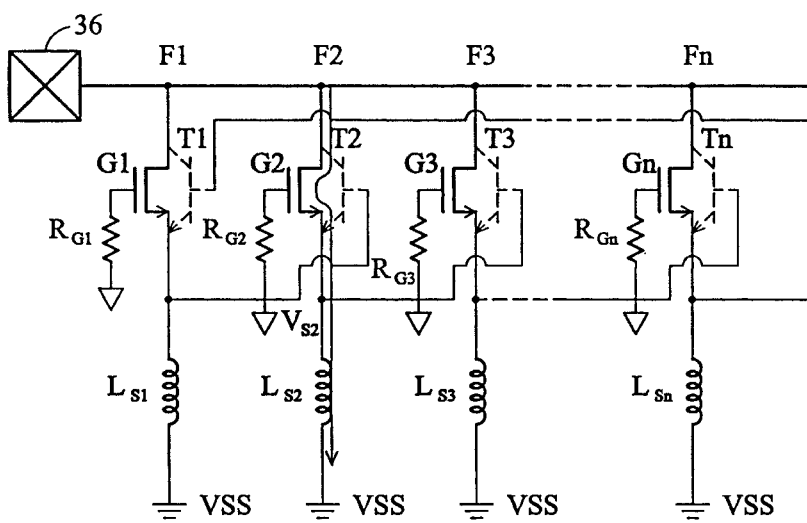
第 13 圖



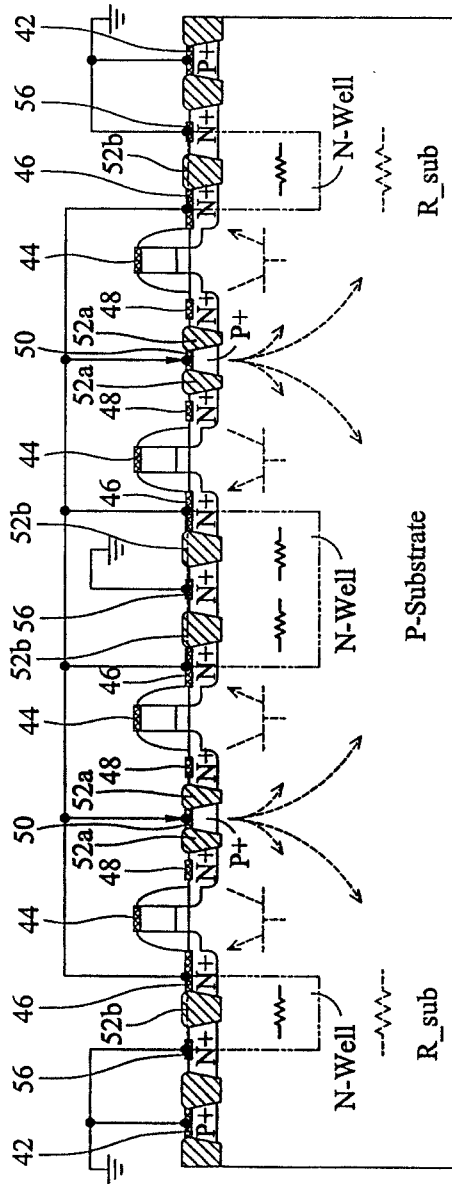
第 14 圖



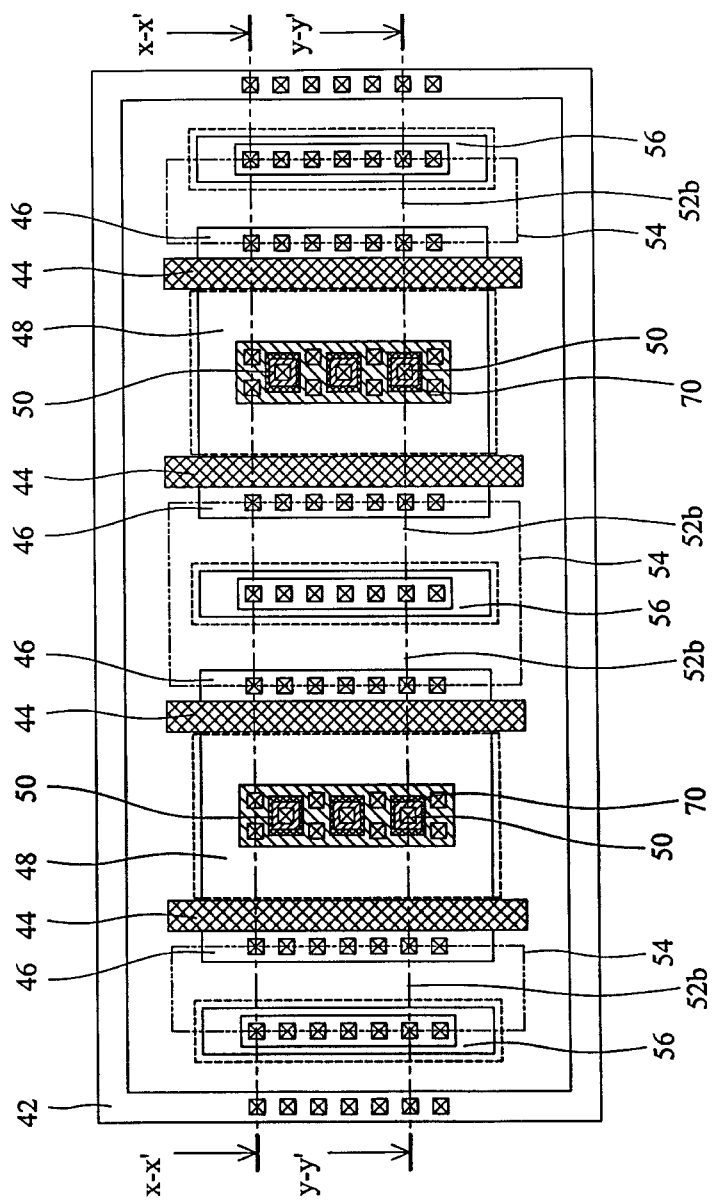
第 15 圖



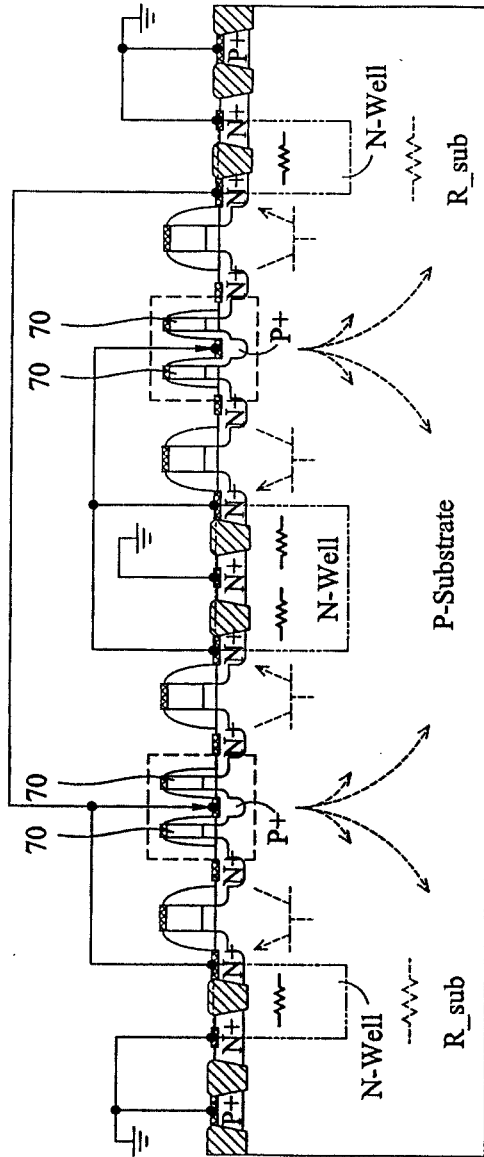
第 20 圖



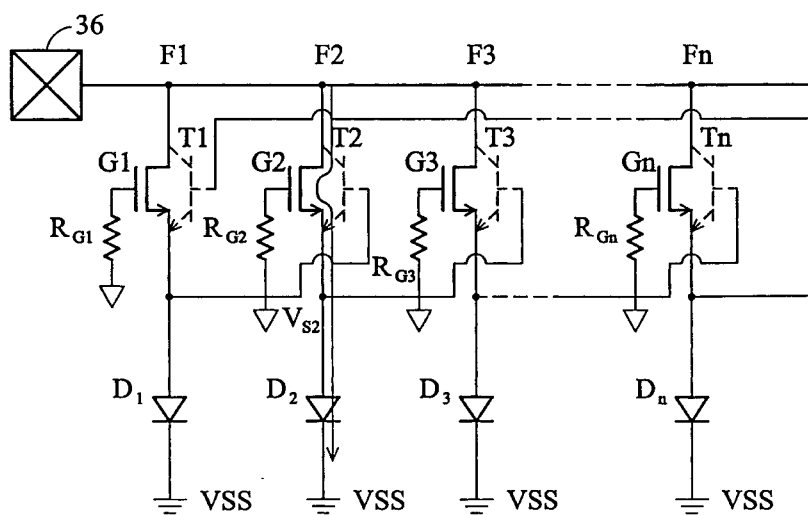
第16圖



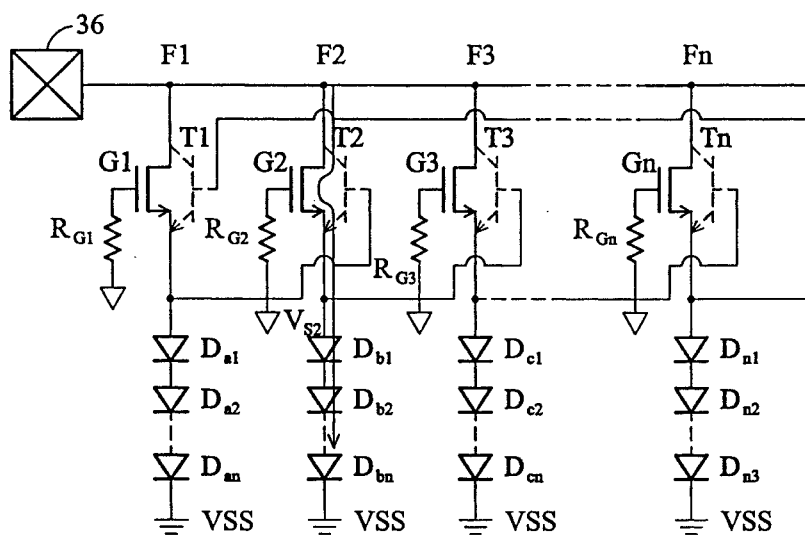
第 17 圖



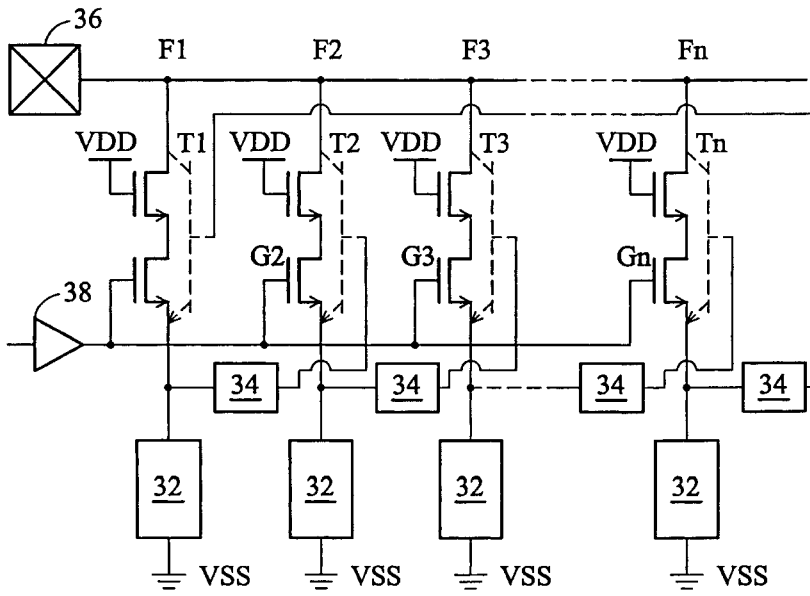
第 18 圖



第 21 圖



第 22 圖



第 23 圖

