

中華民國專利公報 [19] [12]

[11]公告編號：550780

[44]中華民國 92年(2003) 09月01日

發明

全16頁

[51] Int.Cl.⁷ : H01L23/60

[54]名稱：絕緣層上有矽之低電壓觸發矽控整流器結構及其靜電放電防護電路

[21]申請案號：091115505

[22]申請日期：中華民國 91年(2002) 07月12日

[72]發明人：

柯明道

洪根剛

黃紹璋

新竹市寶山路二〇〇巷三號四樓之三

彰化縣芬園鄉舊社村彰南路五段五十三號

嘉義縣布袋鎮復興里六六九號

[71]申請人：

聯華電子股份有限公司

新竹科學工業園區新竹市力行二路三號

[74]代理人：詹銘文 先生

蕭錫清 先生

1

2

[57]申請專利範圍：

1.一種絕緣層有矽之矽控整流器結構，

包括：

一基底；

一絕緣層，位於該基底之上；

複數個隔離結構，位於該絕緣層上，以在各該些隔離結構之間至少定義出一元件區；

一第一型井區與一第二型井區，該第一型與第二型井區彼此相連，且位於該元件區中；

一第一閘極結構，位於該第一型井區之上；

一第二閘極結構，位於該第二型井區之上；

一第一第二型離子植入區，位於該

第一型井區中；

一第一第一型離子植入區，位於該第一型井區中且位於該第一第二型離子植入區與該隔離結構之間，且緊鄰該第一第二型離子植入區，其中該第一第二型離子植入區與該第一第一型離子植入區係電性連接以構成該絕緣層有矽之矽控整流器結構之陽極；

5. 一第二第一型離子植入區，位於該第一型井區中，且位於該第一第二型離子植入區與該第一閘極結構之間，且緊鄰該第一第二型離子植入區；

10. 一第三第一型離子植入區，位於該

第一型與該第二型井區之中，且大致位於該第一型與該第二型井區之接合面位置，並位於該第一與該第二閘極結構之間；

一第二第二型離子植入區，位於該第二型井區中；以及

一第四第一型離子植入區，位於該第二型井區中且位於該第二第二型離子植入區與該第二閘極結構之間，且緊鄰該第二第二型離子植入區，其中該第二第二型離子植入區與該第四第一型離子植入區係電性連接以構成該絕緣層有矽之矽控整流器結構之陰極。

2.如申請專利範圍第1項所述之絕緣層有矽之矽控整流器結構，其中該基底為P型基底。

3.如申請專利範圍第1項所述之絕緣層有矽之矽控整流器結構，其中該第一型井區為N型淺摻雜，而該第二型井區為P型淺摻雜。

4.如申請專利範圍第3項所述之絕緣層有矽之矽控整流器結構，其中該第一與該第二第二型植入區為P型重摻雜，而該第一、該第二、該第三與該第四第一型離子植入區為N型重摻雜。

5.如申請專利範圍第4項所述之絕緣層有矽之矽控整流器結構，更包括兩第一淺摻雜區域，位於該第一閘極結構下，且分別與該第三第一型離子摻雜區與該第二第一型離子摻雜區相鄰。

6.如申請專利範圍第5項所述之絕緣層有矽之矽控整流器結構，其中該兩第一淺摻雜區域為N型。

7.如申請專利範圍第5項所述之絕緣層有矽之矽控整流器結構，更包括兩第二淺摻雜區域，位於該第二閘極結構下，且分別與該第三第一型離

子摻雜區與該第四第一型離子摻雜區相鄰。

8.如申請專利範圍第7項所述之絕緣層有矽之矽控整流器結構，其中該兩第二淺摻雜區域為N型。

9.如申請專利範圍第1項所述之絕緣層有矽之矽控整流器結構，其中該些隔離結構為淺溝渠隔離結構。

10.如申請專利範圍第1項所述之絕緣層有矽之矽控整流器結構，其中該絕緣層為埋入式氧化層。

11.一種絕緣層有矽之矽控整流器結構，包括：

一基底；

一絕緣層，位於該基底之上；

複數個隔離結構，位於該絕緣層上，以在各該些隔離結構之間至少定義出一元件區；

一第一型井區與一第二型井區，該第一型與第二型井區彼此相連，且位於該元件區中；

一第一閘極結構，位於該第一型井區之上；

一第二閘極結構，位於該第二型井區之上；

一第一第二型離子植入區，位於該第一型井區中，並鄰接於該第一閘極結構；

一第一第一型離子植入區，位於該第一型井區中且位於該第一第二型離子植入區與該隔離結構之間，且緊鄰該第一第二型離子植入區，其中該第一第二型離子植入區與該第一第一型離子植入區係電性連接以構成該絕緣層有矽之矽控整流器結構之陽極；

一第二第二型離子植入區，位於該第一型與該第二型井區之中，且大致位於該第一型與該第二型井區之接合面位置，並位於該第一與該

二閘極結構之間；

一第二第一型離子植入區，位於該第二型井中；

一第三第二型離子植入區，位於該第二型井區中且位於該第二第一型離子植入區與該隔離結構之間，且緊鄰該第二第一型離子植入區，其中該第二第一型離子植入區與該第三第二型離子植入區係電性連接以構成該絕緣層有矽之矽控整流器結構之陰極；以及

一第四第二型離子植入區，位於該第二型井區中，且位於該第二第一型離子植入區與該第二閘極結構之間，且緊鄰該第二第一型離子植入區。

12.如申請專利範圍第11項所述之絕緣層有矽之矽控整流器結構，其中該基底為P型基底。

13.如申請專利範圍第11項所述之絕緣層有矽之矽控整流器結構，其中該第一型井區為N型淺摻雜，而該第二型井區為P型淺摻雜。

14.如申請專利範圍第13項所述之絕緣層有矽之矽控整流器結構，其中該第一與該第二第一型植入區為N型重摻雜，而該第一、該第二、該第三與該第四第二型離子植入區為P型重摻雜。

15.如申請專利範圍第14項所述之絕緣層有矽之矽控整流器結構，更包括兩第一淺摻雜區域，位於該第一閘極結構下，且分別與該第一第二型離子摻雜區與該第二第二型離子摻雜區相鄰。

16.如申請專利範圍第15項所述之絕緣層有矽之矽控整流器結構，其中，該兩第一淺摻雜區域為P型。

17.如申請專利範圍第15項所述之絕緣層有矽之矽控整流器結構，更包括

兩第二淺摻雜區域，位於該第二閘極結構下，且分別與該第二第二型離子摻雜區與該第四第二型離子摻雜區相鄰。

5. 18.如申請專利範圍第17項所述之絕緣層有矽之矽控整流器結構，其中該兩第二淺摻雜區域為P型。

19.如申請專利範圍第11項所述之絕緣層有矽之矽控整流器結構，其中該些隔離結構為淺溝渠隔離結構。

10. 20.如申請專利範圍第11項所述之絕緣層有矽之矽控整流器結構，其中該絕緣層為埋入式氧化層。

21.一種絕緣層有矽之矽控整流器結構，包括：

一基底；

一絕緣層，位於該基底之上；

複數個隔離結構，位於該絕緣層上，以在各該些隔離結構之間至少定義出一元件區；

20. 一第一型井區與一第二型井區，該第一型與第二型井區彼此相連，且位於該元件區中；

一第一閘極結構，位於該第一型井區之上；

25. 一第二閘極結構，位於該第二型井區之上；

一第一第一型離子植入區，位於該第一型井區中，且僅緊鄰部分該第一閘極結構之側壁；

30. 一第一第二型離子植入區，位於部分該第一型井區中，且緊鄰於該第一第一型離子植入區；

一第二第一型離子植入區，位於該元件區中，且位於該第一第二型離子植入區與該隔離結構之間，且與該第一型井區相鄰，其中該第一第二型離子植入區與該第二第一型離子植入區係電性連接以構成該絕緣層有矽之矽控整流器結構之陽極；

35. 40.

- 一第三第一型離子植入區，位於該第一型與該第二型井區之中，且位於該第一型與該第二型井區之接合面位置，並位於部分該第一與該第二閘極結構的側壁之間；
- 一第二第二型離子植入區，位於該元件區中且緊鄰該第二型井區；以及
- 一第四第二型離子植入區，位於部分該第二型井區中且位於該第二第二型離子植入區與部分該第二閘極結構之側壁之間，其中該第二第二型離子植入區與該第四第一型離子植入區係電性連接以構成該絕緣層有矽之矽控整流器結構之陰極。
- 22.如申請專利範圍第21項所述之絕緣層有矽之矽控整流器結構，其中該基底為P型基底。
- 23.如申請專利範圍第21項所述之絕緣層有矽之矽控整流器結構，其中該第一型井區為N型淺摻雜，而該第二型井區為P型淺摻雜。
- 24.如申請專利範圍第23項所述之絕緣層有矽之矽控整流器結構，其中該第一與該第二第二型植入區為P型重摻雜，而該第一、該第二、該第三與該第四第一型離子植入區為N型重摻雜。
- 25.如申請專利範圍第21項所述之絕緣層有矽之矽控整流器結構，其中該些隔離結構為淺溝渠隔離結構。
- 26.如申請專利範圍第21項所述之絕緣層有矽之矽控整流器結構，其中該絕緣層為埋入式氧化層。
- 27.一種絕緣層有矽之矽控整流器結構，包括：
- 一基底；
 - 一絕緣層，位於該基底之上；
 - 複數個隔離結構，位於該絕緣層上，以在各該些隔離結構之間至少

- 定義出一元件區；
- 一第一型井區與一第二型井區，該第一型與第二型井區彼此相連，且位於該元件區中；
5. 一第一閘極結構，位於該第一型井區之上；
- 一第二閘極結構，位於該第二型井區之上；
10. 一第一第二型離子植入區，位於該第一型井區中，並鄰接於部分該第一閘極結構之側壁；
- 一第一第一型離子植入區，位於該元件區中且位於該第一第二型離子植入區與該隔離結構之間，且與該第一第二型離子植入區相鄰，其中該第一第二型離子植入區與該第一第一型離子植入區係電性連接以構成該絕緣層有矽之矽控整流器結構之陽極；
15. 一第二第二型離子植入區，位於部分該第一型與該第二型井區之中，且大致位於該第一型與該第二型井區之接合面位置，並位於部分該第一與該第二閘極結構之側壁之間；
20. 一第三第二型離子植入區，位於部分該第二型井中，且僅鄰接部分該第二閘極結構之側壁；
25. 一第二第一型離子植入區，位於部分該第二型井中，且與該第三第二型離子植入區緊鄰；以及
30. 一第四第二型離子植入區，位於該元件區中且位於該第二第一型離子植入區與另一該隔離結構之間，並且與該第二型井區相鄰，其中該第二第一型離子植入區與該第四第二型離子植入區係電性連接以構成該絕緣層有矽之矽控整流器結構之陰極。
35. 28.如申請專利範圍第27項所述之絕緣層有矽之矽控整流器結構，其中該
- 40.

基底為 P 型基底。

- 29.如申請專利範圍第28項所述之絕緣層有矽之矽控整流器結構，其中該第一型井區為 N 型淺摻雜，而該第二型井區為 P 型淺摻雜。
- 30.如申請專利範圍第29項所述之絕緣層有矽之矽控整流器結構，其中該第一與該第二第一型植入區為 N 型重摻雜，而該第一、該第二、該第三與該第四第一型離子植入區為 P 型重摻雜。
- 31.如申請專利範圍第27項所述之絕緣層有矽之矽控整流器結構，其中該些隔離結構為淺溝渠隔離結構。
- 32.如申請專利範圍第27項所述之絕緣層有矽之矽控整流器結構，其中該絕緣層為埋入式氧化層。
- 33.一種具有絕緣層有矽之矽控整流器的靜電放電防護電路，耦接於一輸出入焊墊與一內部電路之間，該電路包括：
 - 一具有絕緣層有矽之矽控整流器，具有一陽極、一陰極、一第一閘極與一第二閘極，其中該陽極耦接至該輸出入焊墊，而該陰極耦接至一接地端；以及
 - 一靜電放電偵測電路，耦接於該輸出入焊墊與該接地端之間，該靜電放電偵測電路更至少包括兩個輸出端分別與該具有絕緣層有矽之矽控整流器之該第一閘極與該第二閘極耦接。
- 34.如申請專利範圍第33項所述之具有絕緣層有矽之矽控整流器的靜電放電防護電路，其中該具有絕緣層有矽之矽控整流器為一 N 型絕緣層有矽之矽控整流器，且該第一閘極與該第二閘極為 N 型摻雜。
- 35.如申請專利範圍第33項所述之具有絕緣層有矽之矽控整流器的靜電放

電防護電路，其中該具有絕緣層有矽之矽控整流器為一 P 型絕緣層有矽之矽控整流器，且該第一閘極與該第二閘極為 P 型摻雜。

5. 36.如申請專利範圍第34項所述之具有絕緣層有矽之矽控整流器的靜電放電防護電路，其中該靜電放電偵測電路更包括：
 - 一第二型 MOS 電晶體，其源極耦接至該輸出入焊墊，且基底與源極彼此連接；
 - 一第一型 MOS 電晶體，其汲極耦接至該第一第二型 MOS 電晶體之汲極，源極耦接至一接地端，閘極耦接至該第一第二型 MOS 電晶體之閘極，且基底與源極彼此連接，其中該第一型 MOS 電晶體與該第二型 MOS 電晶體之汲極均耦接到該 N 型絕緣層有矽之矽控整流器之該第一閘極與該第二閘極；
 - 一電阻，耦接於該輸出入焊墊與該第一第二型 MOS 電晶體之閘極；以及
 - 一電容器，耦接於該第一第二型 MOS 電晶體之閘極與該接地端之間。
10. 37.一種具有絕緣層有矽之矽控整，流器的靜電放電防護電路，耦接於一第一電壓源與一第二電壓源之間，該電路包括：
 - 一具有絕緣層有矽之矽控整流器，具有一陽極、一陰極、一第一閘極與一第二閘極，其中該陽極耦接至該第一電壓源；
 - 一靜電放電偵測電路，耦接於該第一電壓源與該第二電壓源之間，該靜電放電偵測電路更至少包括兩個輸出端分別與該具有絕緣層有矽之矽控整流器之該第一閘極與該第二閘極耦接；以及
15. 40.
- 20.
- 25.
- 30.
- 40.

一二極體串，由複數個二極體所構成，該二極體串之陽極耦接至該具有絕緣層有矽之矽控整流器之陰極，而該二極體串之陰極耦接至該第二電壓源。

38.如申請專利範圍第37項所述之具有絕緣層有矽之矽控整流器的靜電放電防護電路，其中該具有絕緣層有矽之矽控整流器為一N型絕緣層有矽之矽控整流器，且該第一閘極與該第二閘極為N型摻雜。

39.如申請專利範圍第37項所述之具有絕緣層有矽之矽控整流器的靜電放電防護電路，其中該具有絕緣層有矽之矽控整流器為一P型絕緣層有矽之矽控整流器，且該第一閘極與該第二閘極為P型摻雜。

40.如申請專利範圍第39項所述之具有絕緣層有矽之矽控整流器的靜電放電防護電路，其中該靜電放電偵測電路更包括：

一第一第二型 MOS 電晶體，其源極耦接至該第一電壓源，且基底與源極彼此連接；

一第一第一型 MOS 電晶體，其汲極耦接至該第一第二型 MOS 電晶體之汲極，源極耦接至該第二電壓源，閘極耦接至該第二型 MOS 電晶體之閘極，且基底與源極彼此連接；

一第二第二型 MOS 電晶體，其源極耦接至該第一電壓源，且基底與源極彼此連接；

一第二第一型 MOS 電晶體，其汲極耦接至該第二第二型 MOS 電晶體之汲極，源極耦接至該第二電壓源，閘極耦接至該第二第二型 MOS 電晶體之閘極與該第一第二型 MOS 電晶體及第一第一型 MOS 電晶體的汲極，且基底與源極彼此連接，該第二第一型 MOS 電晶體與該第二第二

型 MOS 電晶體之汲極均耦接到該 P 型具有絕緣層有矽之矽控整流器之該第一閘極與該第二閘極；一電阻，耦接於該第一電壓源與該第一第二型 MOS 電晶體之閘極；以及一電容器，耦接於該第二型 MOS 電晶體之閘極與該第二電壓源之間。

圖式簡單說明：

第 1 圖繪示習知之靜電放電防護

10. 電路之矽控整流器的結構剖面圖；

第 2 圖繪示習知之靜電放電防護電路之矽控整流器的結構剖面圖；

第 3 圖繪示習知之靜電放電防護電路之矽低電壓觸發控整流器的結構剖面圖；

15. 第 4 圖習知一種絕緣層有矽之雙穩態矽控整流器的開關電路結構剖面圖；

第 5A 圖係依據本發明之第一較佳實施例所繪製之部分空乏型絕緣層有矽之矽控整流器結構的剖面圖；

20. 第 5B 圖繪示第 5A 圖之立體透視示意圖；

第 6A 圖係依據本發明之第二較佳實施例所繪製之部分空乏型絕緣層有矽之矽控整流器結構的剖面圖；

25. 第 6B 圖繪示第 6A 圖之立體透視示意圖；

第 7A 圖係依據本發明之第三較佳實施例所繪製之完全空乏型絕緣層有矽之矽控整流器結構的剖面圖；

30. 第 7B 圖繪示第 7A 圖之立體透視示意圖；

第 8A 圖係依據本發明之較佳實施例所繪製之完全空乏型絕緣層有矽之矽控整流器結構的剖面圖；

35. 第 8B 圖繪示第 8A 圖之立體透視示意圖；

第 9A 圖與第 9B 圖分別繪示本發明之絕緣層有矽之矽控整流器的電路

40. 明之絕緣層有矽之矽控整流器的電路

13

14

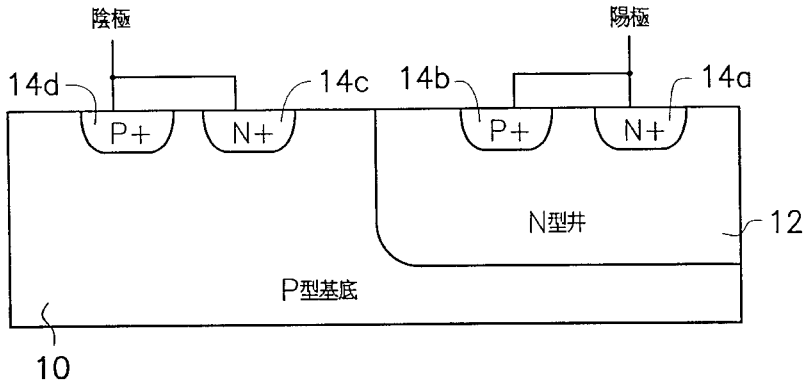
符號圖；

第9C圖與第9D圖分別繪示本發明之具有絕緣層有矽之矽控整流器的靜電放電防護電路示意圖；

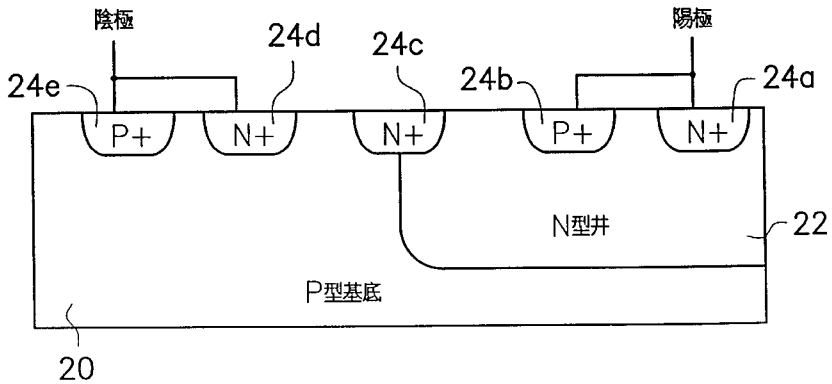
第9E圖繪示第9C圖所示之電路的一範例電路；

第10A圖與第10B圖分別繪示本發明之另一具有絕緣層有矽之矽控整流器的靜電放電防護電路示意圖；以及

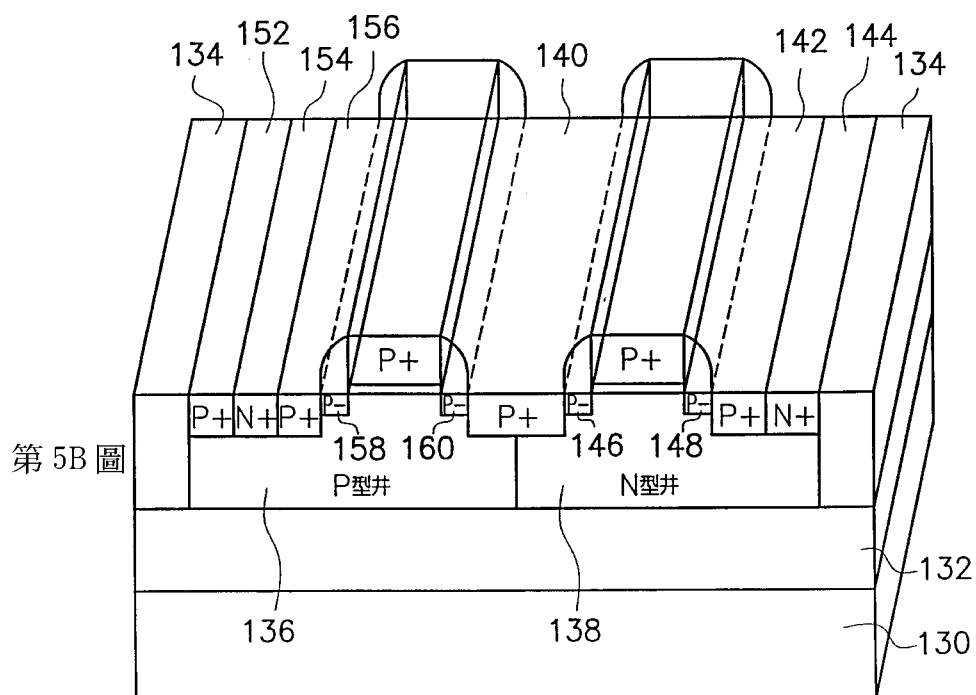
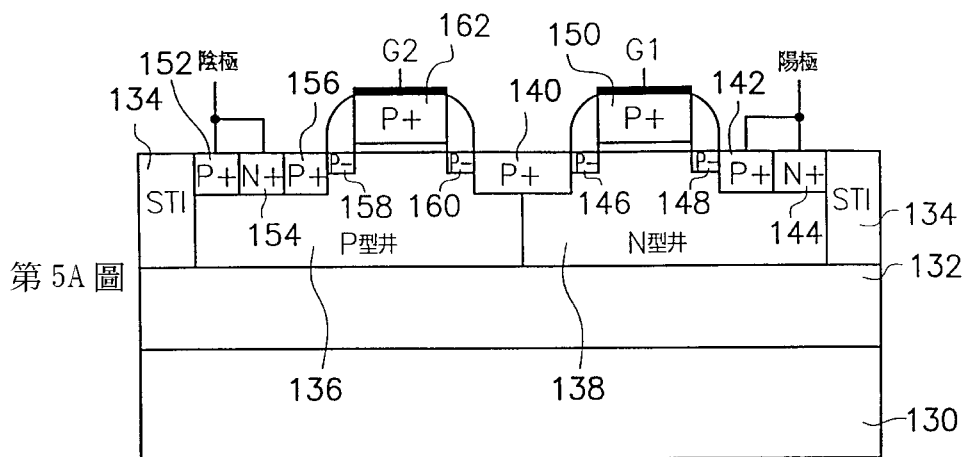
第10C圖繪示第10B圖所示之電路的一範例電路。

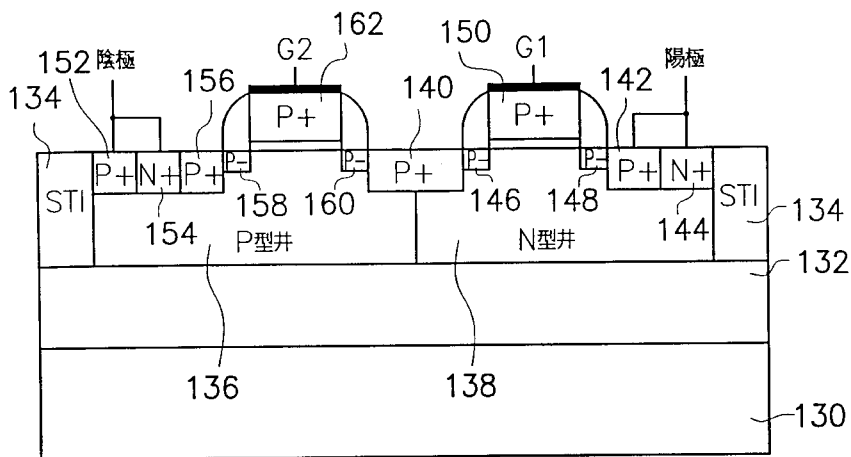


第 1 圖

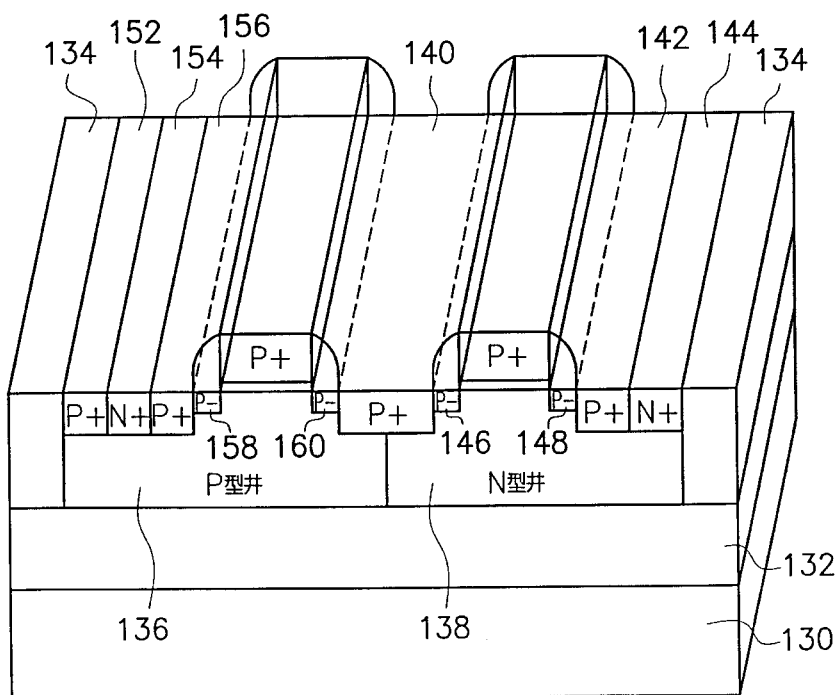


第 2 圖

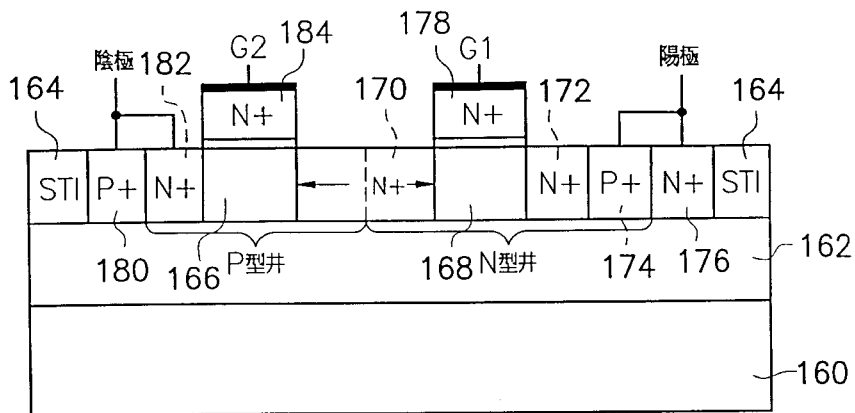




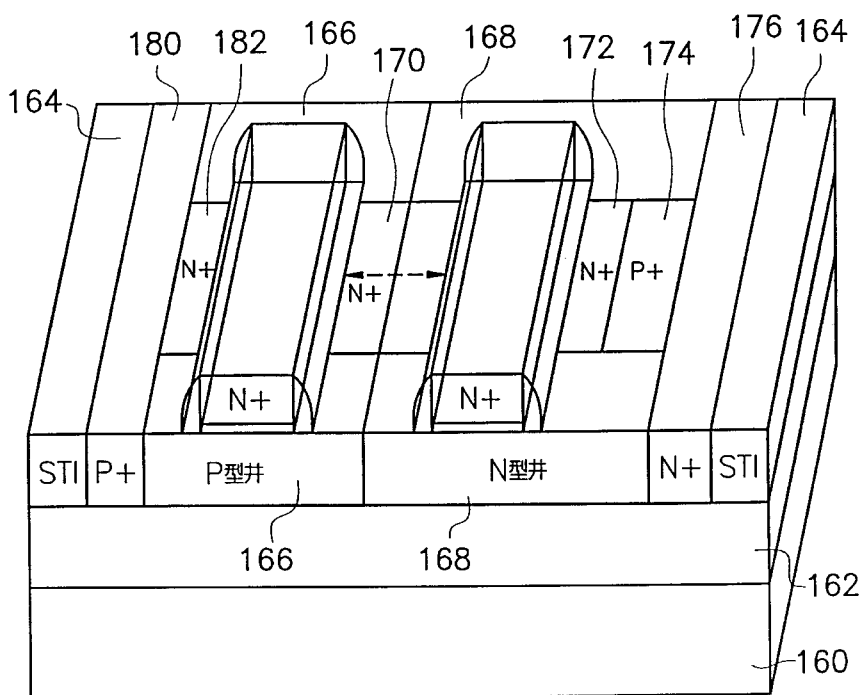
第 6A 圖



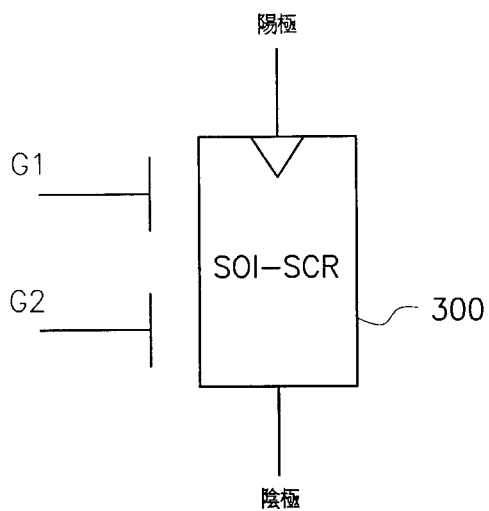
第 6B 圖



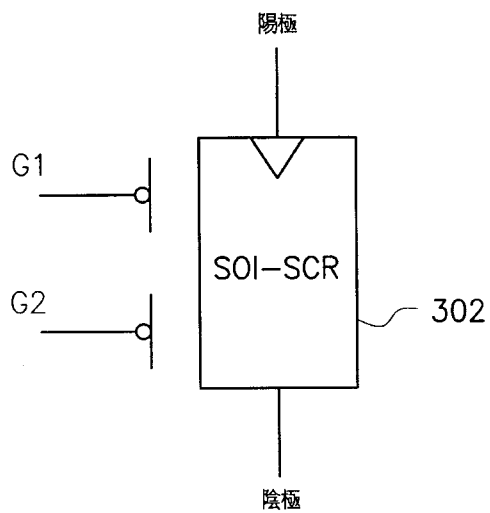
第7A圖



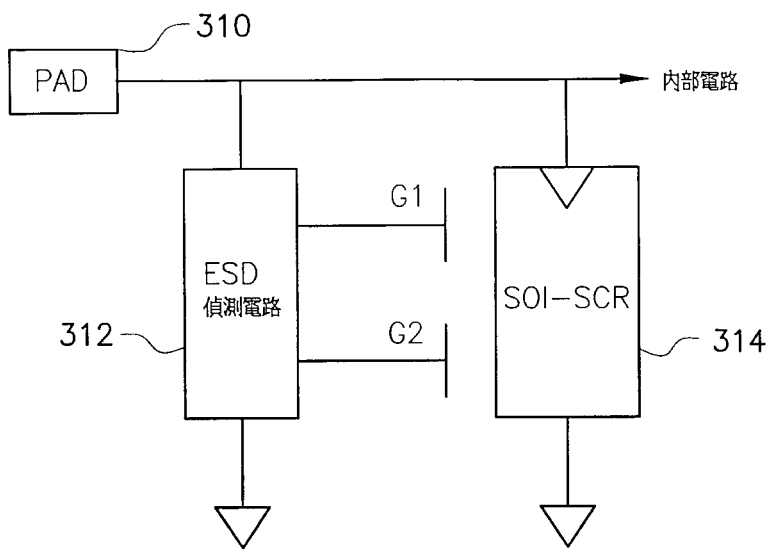
第7B圖



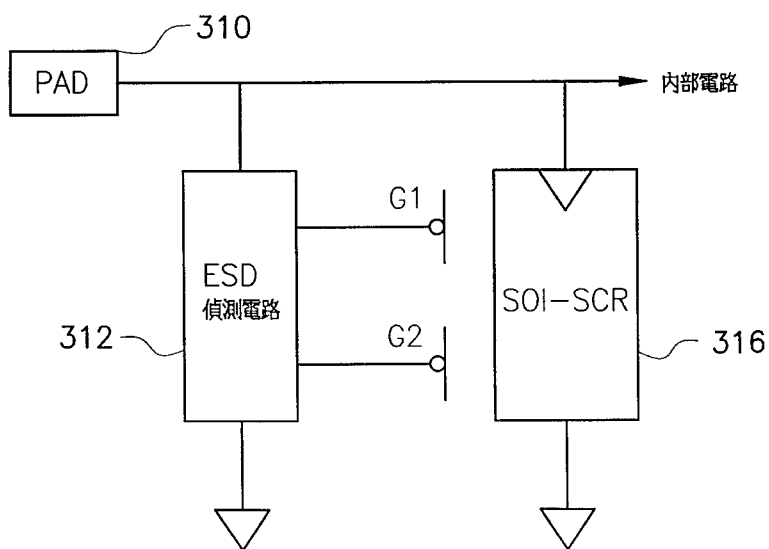
第 9A 圖



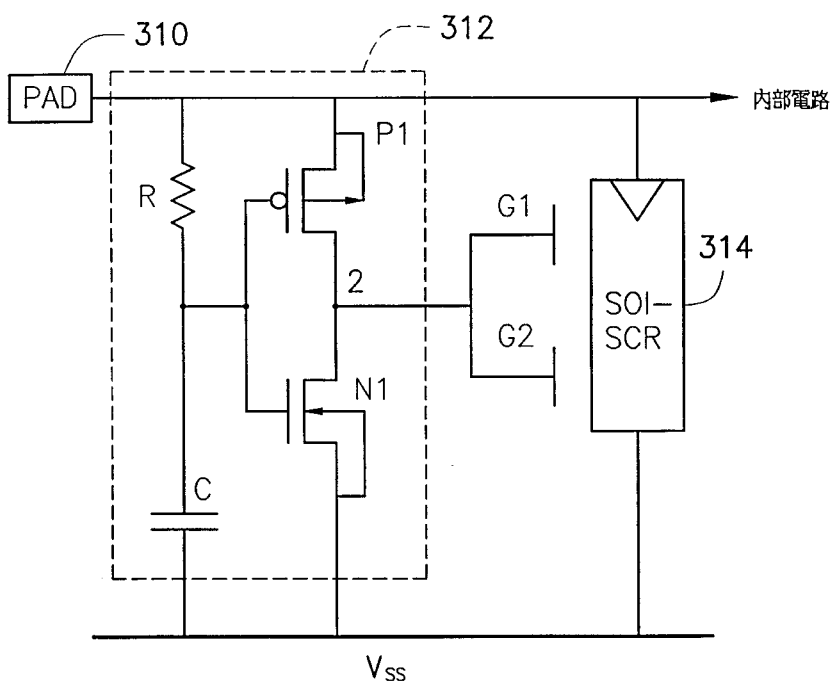
第 9B 圖



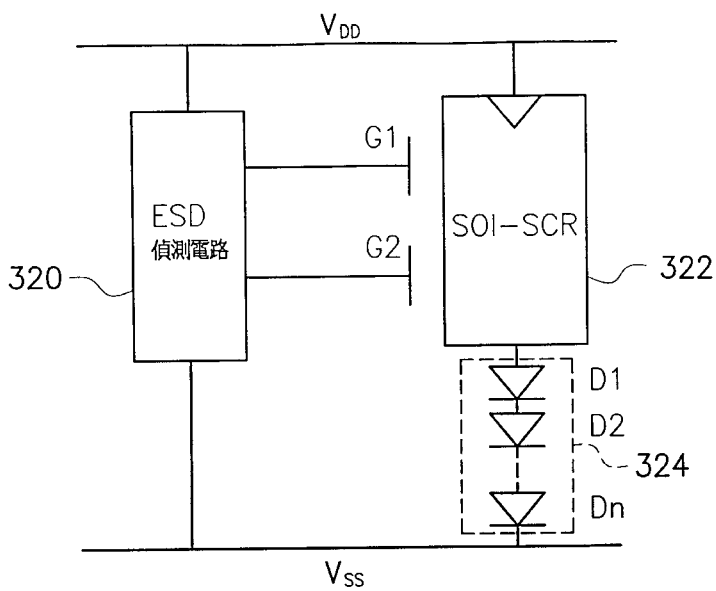
第 9C 圖



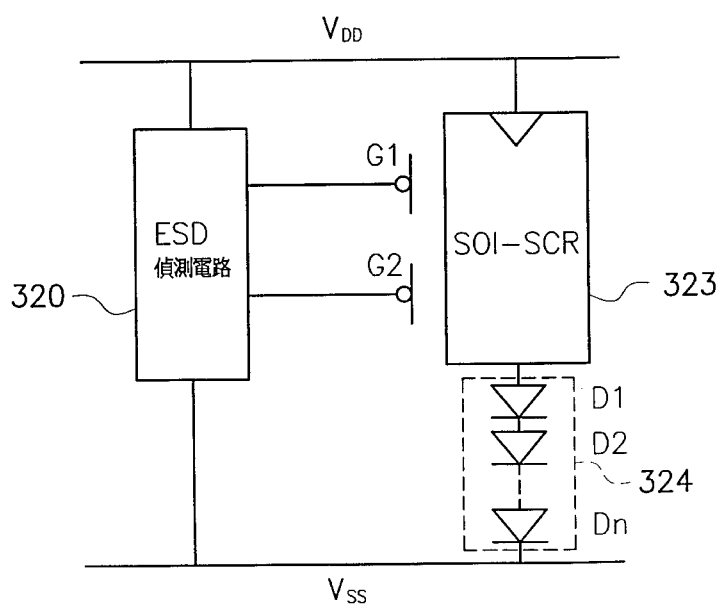
第 9D 圖



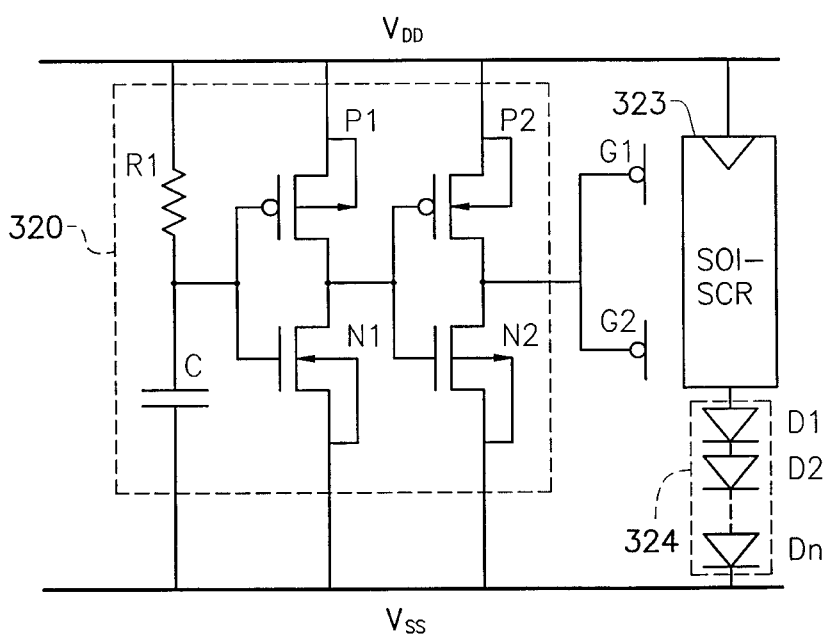
第 9E 圖



第 10A 圖



第 10B 圖



第 10C 圖