

中華民國專利公報 [19] [12]

[11]公告編號：560038

[44]中華民國 92年 (2003) 11月 01日

發明

全 14 頁

[51] Int.Cl.⁷ : H01L23/60

[54]名稱：應用全晶片觸發技術之靜電放電防護電路

[21]申請案號：091111477

[22]申請日期：中華民國 91年 (2002) 05月 29日

[72]發明人：

陳子平

張智毅

柯明道

臺北縣新店市光明街五十八號

臺北縣新莊市中和街一二五巷二十號九樓

新竹市寶山路二〇〇巷三號四樓之三

[71]申請人：

財團法人工業技術研究院

新竹縣竹東鎮中興路四段一九五號

[74]代理人：

1

2

[57]申請專利範圍：

1.一種靜電放電防護電路，用於一晶片中，上述晶片包含至少一輸入輸出墊，並且上述晶片中並且設置有一高壓電源線及一低壓電源線，其包括：

複數個靜電放電防護元件，分別設置於上述高壓電源線和上述輸入輸出墊之間、或上述低壓電源線與上述輸入輸出墊之間、或上述高壓電源線和上述低壓電源線之間；以及至少一靜電放電偵測電路，設置於上述高壓電源線和上述低壓電源線之間，當上述輸入輸出墊發生靜電放電電流並且旁通至上述低壓電源線或上述高壓電源線之一時，上述

靜電放電偵測電路則產生複數啟動信號，分別啟動上述靜電放電防護元件，用以旁通上述靜電放電電流。

5. 2.如申請專利範圍第1項所述之靜電放電防護電路，其中上述靜電放電元件包含一金氧半(MOS)電晶體。

3.如申請專利範圍第2項所述之靜電放電防護電路，其中上述啟動信號為一基體觸發信號，用以透過上述金氧半電晶體之基體觸發並且啟動上述靜電放電元件。

10. 4.如申請專利範圍第2項所述之靜電放電防護電路，其中上述啟動信號為一閘極驅動信號，用以透過上述金

氧半電晶體之閘極驅動並且啟動上述靜電放電元件。

- 5.如申請專利範圍第1項所述之靜電放電防護電路，其中上述靜電放電偵測電路包括：

一電阻及一電容，兩者串聯並且耦接於上述高壓電源線和上述低壓電源線之間；以及

至少一偵測用 MOS 電晶體，其閘極耦接於上述電阻和上述電容之耦接點，其源極耦接於上述高壓電源線或上述低壓電源線之一，其汲極則送出上述啟動信號。

- 6.如申請專利範圍第5項所述之靜電放電防護電路，其中當上述偵測用 MOS 電晶體為 PMOS 電晶體時，則送出上述啟動信號啟動上述靜電放電防護元件之 NMOS 電晶體。

- 7.如申請專利範圍第5項所述之靜電放電防護電路，其中當上述偵測用 MOS 電晶體為 NMOS 電晶體時，則送出上述啟動信號啟動上述靜電放電防護元件之 PMOS 電晶體。

- 8.如申請專利範圍第1項所述之靜電放電防護電路，其中上述靜電放電偵測電路包括：

一電阻及一電容，兩者串聯並且耦接於上述高壓電源線和上述低壓電源線之間；

一第一反相器，其輸入端耦接於上述電阻和上述電容之耦接點，其輸出端則輸出上述啟動信號中之第一啟動信號，用以啟動上述靜電放電防護元件中之 NMOS 電晶體；以及
一第二反相器，其輸入端耦接於上述第一反相器之輸出端，其輸出端則輸出上述啟動信號中之第二啟動信號，用以啟動上述靜電放電防護元件中之 PMOS 電晶體。

- 9.如申請專利範圍第1項所述之靜電放

電防護電路，其中上述靜電放電偵測電路包括：

一電阻及一電容，兩者串聯並且耦接於上述高壓電源線和上述低壓電源線之間；

5. 一偵測用 PMOS 電晶體，其閘極耦接於上述電阻和上述電容之耦接點，其源極耦接於上述高壓電源線，其汲極則送出上述啟動信號中之第一啟動信號，用以啟動上述靜電放電防護元件中之 NMOS 電晶體；以及

10. 一偵測用 NMOS 電晶體，其閘極耦接於上述偵測用 PMOS 電晶體之汲極，其源極耦接於上述低壓電源線，其汲極則送出上述啟動信號中之第二啟動信號，用以啟動上述靜電放電防護元件中之 PMOS 電晶體。

20. 10.一種靜電放電防護電路，用於一晶片中，上述晶片包含複數輸入墊，並且上述晶片中並且設置有一高壓電源線及一低壓電源線，其包括：
至少一電源箝制電路，分別設置於上述高壓電源線和上述低壓電源線之間；

25. 複數防護用 PMOS 電晶體，分別對應於上述輸入輸出墊，其設置於對應之上述輸入墊及上述高壓電源線之間；

30. 複數防護用 NMOS 電晶體，分別對應於上述輸入輸出墊，其設置於對應之上述輸入墊及上述低壓電源線之間；以及

35. 至少一靜電放電偵測電路，設置於上述高壓電源線和上述低壓電源線之間，當上述輸入墊之一發生靜電放電電流並且通過對應之上述防護用 PMOS 電晶體旁通至上述高壓電源線或者通過對應之上述防護用

NMOS 電晶體旁通至上述低壓電源線時，上述靜電放電偵測電路則產生複數啟動信號，分別啟動上述電源箝制電路、上述防護用 PMOS 電晶體和上述防護用的 MOS 電晶體之兩者，用以旁通上述靜電放電電流。

11.如申請專利範圍第 10 項所述之靜電放電防護電路，其中上述啟動信號為一基體觸發信號，用以透過上述防護用 PMOS 電晶體、上述防護用 NMOS 電晶體和上述電源箝制電路中之 MOS 電晶體之基體觸發。

12.如申請專利範圍第 10 項所述之靜電放電防護電路，其中上述啟動信號為一閘極驅動信號，用以透過上述防護用 PMOS 電晶體、上述防護用 NMOS 電晶體和上述電源箝制電路中之 MOS 電晶體之閘極驅動。

13.如申請專利範圍第 10 項所述之靜電放電防護電路，其中上述靜電放電偵測電路包括：

一電阻及一電容，兩者串聯並且耦接於上述高壓電源線和上述低壓電源線之間；以及
至少一偵測用 MOS 電晶體，其閘極耦接於上述電阻和上述電容之耦接點，其源極耦接於上述高壓電源線或上述低壓電源線之一，其汲極則送出上述啟動信號。

14.如申請專利範圍第 13 項所述之靜電放電防護電路，其中當上述偵測用 MOS 電晶體為 PMOS 電晶體時，則送出上述啟動信號啟動上述防護用 NMOS 電晶體及上述電源箝制電路中之 NMOS 電晶體。

15.如申請專利範圍第 13 項所述之靜電放電防護電路，其中當上述偵測用 MOS 電晶體為 NMOS 電晶體時，則送出上述啟動信號啟動上述防護用

PMOS 電晶體及上述電源箝制電路中之 PMOS 電晶體。

16.如申請專利範圍第 10 項所述之靜電放電防護電路，其中上述靜電放電偵測電路包括：

一電阻及一電容，兩者串聯並且耦接於上述高壓電源線和上述低壓電源線之間；

一第一反相器，其輸入端耦接於上述電阻和上述電容之耦接點，其輸出端則輸出上述啟動信號中之第一啟動信號，用以啟動上述防護用 NMOS 電晶體及上述電源箝制電路中之 NMOS 電晶體；以及

一第二反相器，其輸入端耦接於上述第一反相器之輸出端，其輸出端則輸出上述啟動信號中之第二啟動信號，用以啟動上述防護用 PMOS 電晶體及上述電源箝制電路中之 PMOS 電晶體。

17.如申請專利範圍第 10 項所述之靜電放電防護電路，其中上述靜電放電偵測電路包括：

一電阻及一電容，兩者串聯並且耦接於上述高壓電源線和上述低壓電源線之間；

一偵測用 PMOS 電晶體，其閘極耦接於上述電阻和上述電容之耦接點，其源極耦接於上述高壓電源線，其汲極則送出上述啟動信號中之第一啟動信號，用以啟動上述防護用 NMOS 電晶體及上述電源箝制電路中之 NMOS 電晶體；以及
一偵測用的 NMOS 電晶體，其閘極耦接於上述偵測用 PMOS 電晶體之汲極，其源極耦接於上述低壓電源線，其汲極則送出上述啟動信號中之第二啟動信號，用以啟動上述防護用 PMOS 電晶體及上述電源箝制電路中之 PMOS 電晶體。

圖式簡單說明：

第 1 圖表示利用閘極驅動技術所設計之習知 ESD 防護電路的電路圖。

第 2 圖表示利用基體觸發技術所設計之習知 ESD 防護電路的電路圖。

第 3 圖表示本發明第一實施例中採用全晶片 NMOS 基體觸發技術之 ESD 防護電路的電路圖。

第 4 圖表示本發明第二實施例中採用全晶片 PMOS 基體觸發技術之 ESD 防護電路的電路圖。

第 5 圖表示本發明第三實施例中採用全晶片基體觸發技術之 ESD 防護電路的電路圖。

第 6 圖表示本發明第三實施例中採用全晶片基體觸發技術之 ESD 防護

電路另一例的電路圖。

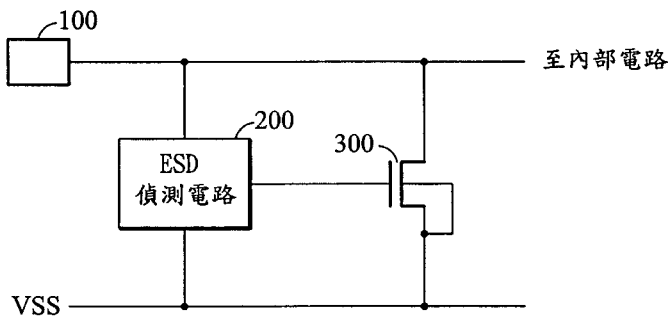
第 7 圖表示本發明第四實施例中採用全晶片 NMOS 閘極驅動技術之 ESD 防護電路的電路圖。

第 8 圖表示本發明第五實施例中採用全晶片 PMOS 閘極驅動技術之 ESD 防護電路的電路圖。

第 9 圖表示本發明第六實施例中採用全晶片閘極驅動技術之 ESD 防護電路的電路圖。

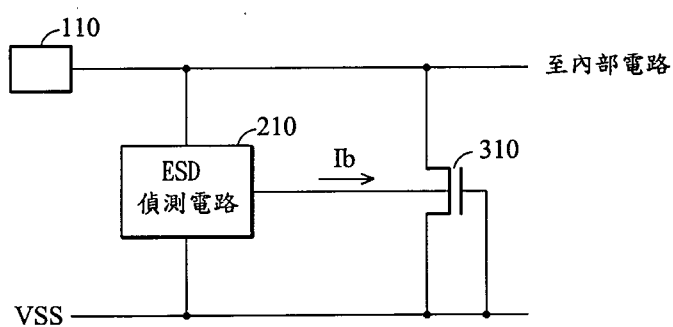
第 10 圖表示本發明第六實施例中採用全晶片閘極驅動技術之 ESD 防護電路另一例的電路圖。

第 11 圖表示本發明第七實施例中採用全晶片 ESD 防護設計並且適用於輸出墊之 ESD 防護電路的電路圖。

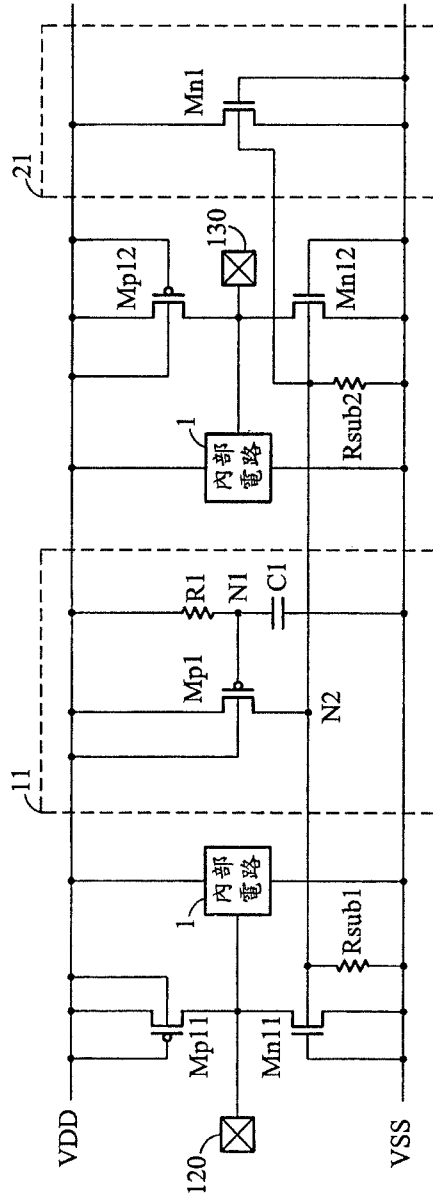


第 1 圖

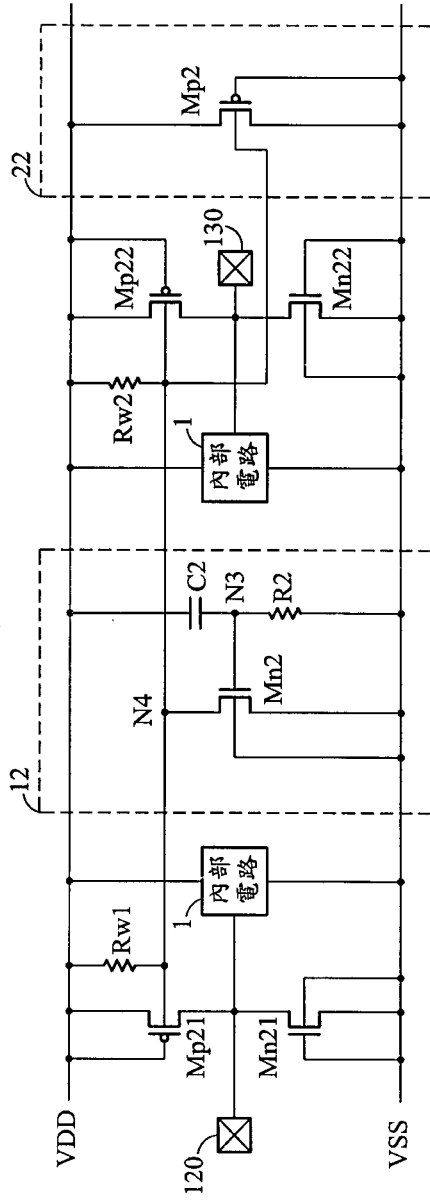
(5)



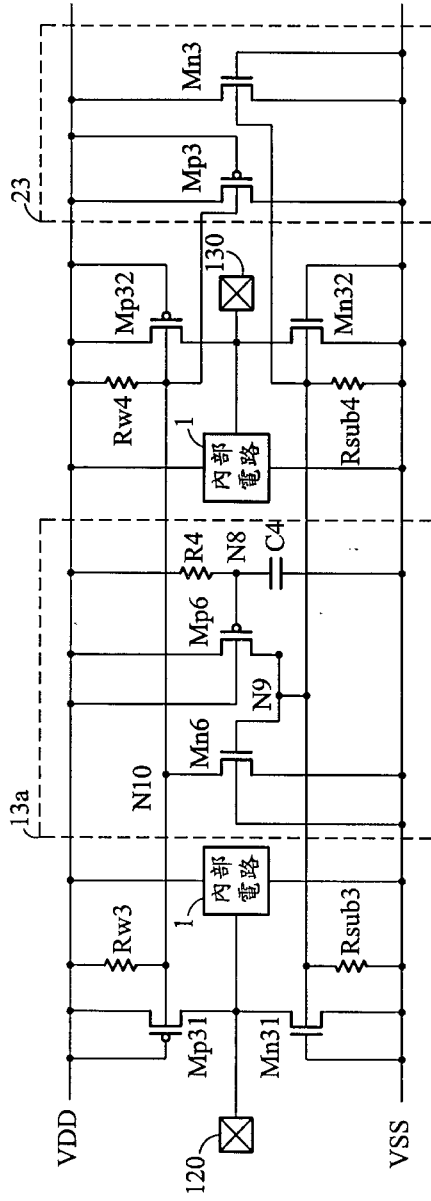
第 2 圖



第 3 圖



第 4 圖



第 6 圖

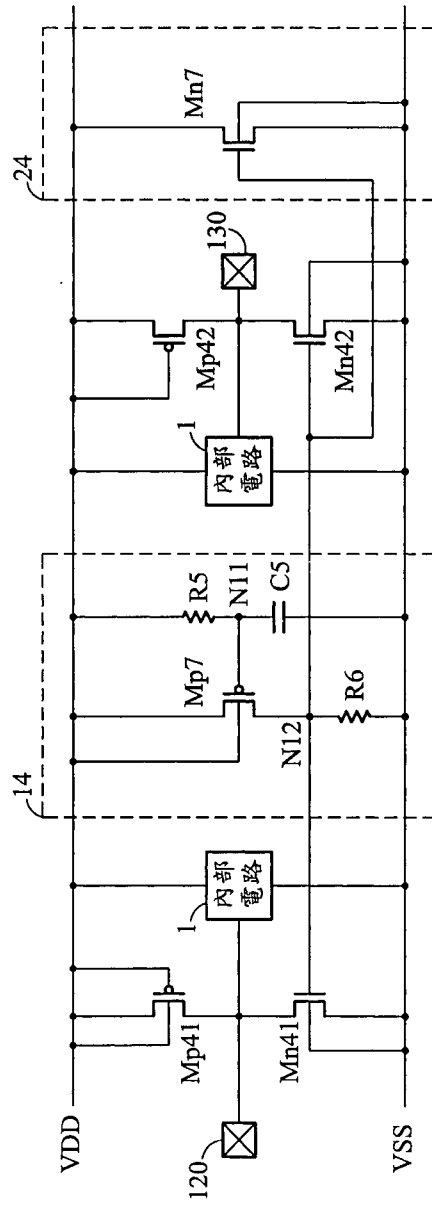
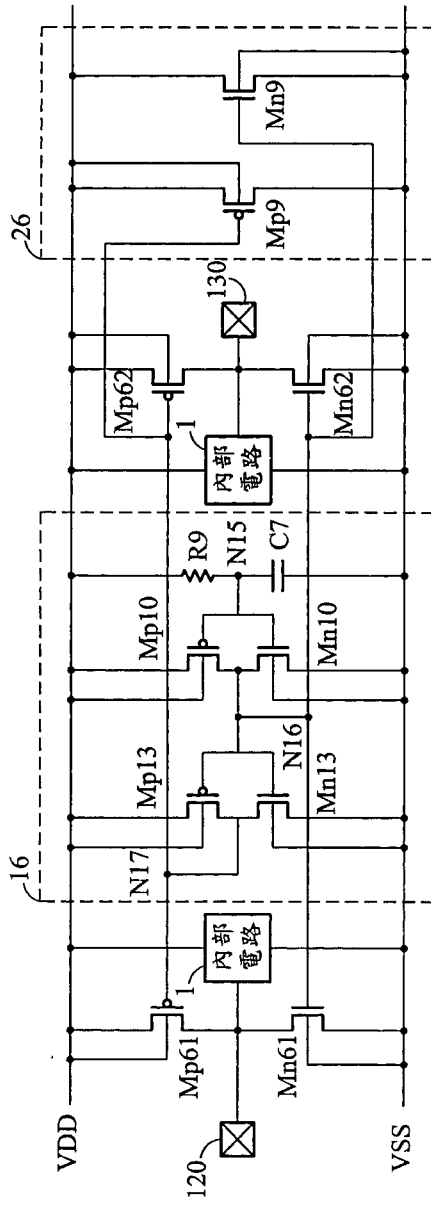
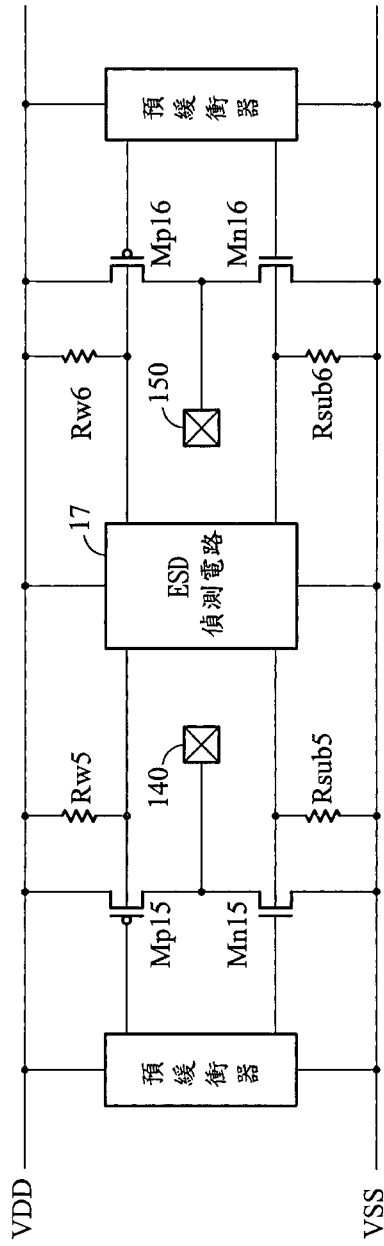


圖 7 第 7



第 9 圖



第 11 圖