

中華民國專利公報 [19] [12]

[11]公告編號：560040

[44]中華民國 92年(2003) 11月01日

發明

全10頁

[51] Int.Cl.⁷ : H01L23/60

[54]名稱：利用堆疊電晶體觸發整流元件之靜電放電防護電路

[21]申請案號：091117399

[22]申請日期：中華民國 91年(2002) 08月02日

[30]優先權：[31]09/987,616

[32]2001/11/15

[33]美國

[72]發明人：

柯明道

莊健暉

姜信欽

新竹市寶山路二〇〇巷三號四樓之三

臺北縣新店市安和路三段五十五巷六號二樓

臺北市信義區信安街十號六樓

[71]申請人：

財團法人工業技術研究院

新竹縣竹東鎮中興路四段一九五號

[74]代理人：

1

2

[57]申請專利範圍：

1.一種靜電放電防護電路，係包含：

一個整流器，所述整流器具有一陽極端和一陰極端，而其內部結構含有一第一P型半導體區，一第一N型半導體區，一第二P型半導體區，一第二N型半導體區，所述第一N型半導體區與所述第一P型半導體區相連接，所述第二P型半導體區與所述第一N型半導體區相連接，所述第二N型半導體區與所述第二P型半導體區相連接，所述第一P型半導體區又與所述陽極端相連接，所述第二N型半導體區又與所述陰極端相連接；

一個第一電晶體，所述第一電晶體具有一第一端點，一第二端點，和

一閘極端點，其第一端點與所述整流器的該第一N型半導體區相連接；

一個第二電晶體，所述第二電晶體具有一第一端點，一第二端點，和一閘極端點，其第一端點與所述第一電晶體的該第二端點相連接，其第二端點與所述整流器的該第二N型半導體區相連接；以及

一個電壓耦合電路，所述電壓耦合電路具有一第一端點，一第二端點，一第三端點，和一第四端點，其第一端點與所述整流器的陽極端相連接，其第二端點與第一電晶體的閘極端點相連接，其第三端點與

第二電晶體的閘極端點相連接，而其第四端點與所述整流器的陰極端相連接。

- 2.如申請專利範圍第1項所述之電路，其中該電壓耦合電路提供一第一電壓訊號給所述第一電晶體的閘極端點，和一第二電壓訊號給所述第二電晶體的閘極端點，來使該整流器導通。
- 3.如申請專利範圍第2項所述之電路，其中該電壓耦合電路含有一第一電容器接在該電壓耦合電路的第一端點與該第一電晶體的閘極端之間，含有一第二電容器接在該電壓耦合電路的第一端點與該第二電晶體的閘極端之間。
- 4.如申請專利範圍第3項所述之電路，其中該電壓耦合電路還含有一第三電晶體，此第三電晶體具有一源極端，一汲極端，和一閘極端，此第三電晶體的汲極端與閘極端是相接在一起，而此第三電晶體的源極端是與該第一電晶體的閘極端相接。
- 5.如申請專利範圍第3項所述之電路，其中該電壓耦合電路還含有一箝制電路，一第一電阻器，和一第二電阻器，此箝制電路接在第一電阻器與第一電晶體的閘極端之間，而第一電阻器是接在箝制電路與整流器的陰極端之間，另外第二電阻器是接在第二電晶體的閘極端點與整流器的陰極端之間。
- 6.如申請專利範圍第5項所述之電路，其中該箝制電路能箝制提供到該第一電晶體的閘極端的電壓訊號，而第一電阻器、第二電阻器、第一電容器、和第二電容器相接合在一起可以控制時間延遲以使該整流器導通。
- 7.如申請專利範圍第5項所述之電路，

其中該箝制電路由一電晶體所組成。

- 8.如申請專利範圍第1項所述之電路，其中該整流器的第二P型半導體區是由一P型半導體基座所組成。
- 9.如申請專利範圍第1項所述之電路，其中該整流器的第一N型半導體區是由一位於P型半導體基座中的N型井所組成。
- 10.如申請專利範圍第8項所述之電路，其中該整流器的第一N型半導體區是由一位於P型半導體基座中的N型井所組成，而該整流器的第一P型半導體區則是由一位於此N型井中的P型擴散半導體區所組成。
- 11.如申請專利範圍第10項所述之電路，其中該整流器的第二N型半導體區是由一位於P型半導體基座中的N型擴散半導體區所組成，此N型擴散半導體區與第一N型半導體區是分開不在一起的。
- 12.如申請專利範圍第5項所述之電路，其中該電壓耦合電路還包括有一第四電晶體，此第四電晶體具有一源極端、一汲極端、和一閘極端，其汲極端連接至第二電晶體的閘極端，其閘極端連接至第三電晶體的汲極端，而其源極端連接至陰極端。
- 13.一種積體電路，係包含：
 - 一個接收與輸出訊號的訊號鉀墊；
 - 一個整流器，此整流器具有一陽極端和一陰極端，而內部結構含有一第一P型半導體區，一第一N型半導體區，一第二P型半導體區，一第二N型半導體區，其中第一N型半導體區與第一P型半導體區相連接，其中第二P型半導體區與第一N型半導體區相連接，第二N型半導體區與第二P型半導體區相連接，第一P型半

導體區又與陽極端相連接，第二 N 型半導體區又與陰極端相連接，而陽極端則與訊號鉀墊相連接；

一個第一電晶體，此第一電晶體具有一第一端點，一第二端點，和一閘極端點，其中第一端點與整流器的第一 N 型半導體區相連接；以及一個第二電晶體，此第二電晶體具有一第一端點，一第二端點，和一閘極端點，其第一端點與第一電晶體的第二端點相連接，其第二端點與整流器的第二 N 型半導體區相連接。

14. 如申請專利範圍第 13 項所述之電路，還含有一電壓耦合電路，其與第一電晶體的閘極端及第二電晶體的閘極端相接。

15. 如申請專利範圍第 13 項所述之電路，其陽極端與第一 P 型半導體區相連接。

16. 如申請專利範圍第 13 項所述之電路，其陰極端與第二 N 型半導體區相連接。

17. 如申請專利範圍第 14 項所述之電路，其中電壓耦合電路提供一第一電壓訊號給第一電晶體的閘極端、提供一第二電壓訊號給第二電晶體的閘極端，藉此來使整流器導通。

18. 如申請專利範圍第 14 項所述之電路，其中電壓耦合電路包含一第一電容器和一第二電容器，此第一電容器接到第一電晶體的閘極端，而此第二電容器接到第二電晶體的閘極端。

19. 如申請專利範圍第 18 項所述之電路，其中第一電容器和第二電容器還一起接到訊號鉀墊上。

20. 如申請專利範圍第 18 項所述之電路，還進一步含有一輸出緩衝器，此輸出緩衝器含有一第一端點和一

第二端點，其第一端點與訊號鉀墊相連接。

21. 如申請專利範圍第 20 項所述之電路，其中輸出緩衝器還進一步含有電晶體，而輸出緩衝器的第二端點與此電晶體的 N 型井端相連接。

22. 如申請專利範圍第 16 項所述之電路，其中電壓耦合電路還進一步含有一箝制電路，此箝制電路用來箝制第一電晶體的閘極端上的第一電壓訊號。

23. 如申請專利範圍第 13 項所述之電路，其中整流器的第二 P 型半導體區是由一 P 型半導體基座所組成。

24. 如申請專利範圍第 13 項所述之電路，其中整流器的第一 N 型半導體區是出一位於 P 型半導體基座中的 N 型井所組成。

25. 如申請專利範圍第 23 項所述之電路，其中整流器的第一 N 型半導體區是由一位於 P 型半導體基座中的 N 型井所組成，而整流器的第一 P 型半導體區則是由一位於此 N 型井中的 P 型擴散半導體區所組成。

26. 一種積體電路，係包含：
一個接收與輸出訊號的訊號鉀墊；
一個輸出緩衝器，此輸出緩衝器具有一第一端點和一第二端點，其第二端點與訊號鉀墊相連接；

一個整流器，此整流器具有一陽極端和一陰極端，而內部結構含有一第一 P 型半導體區，一第一 N 型半導體區，一第二 P 型半導體區，一第二 N 型半導體區，所述第一 N 型半導體區與第一 P 型半導體區相連接，所述第二 P 型半導體區與第一 N 型半導體區相連接，所述第二 N 型半導體區與第二 P 型半導體區相連接，所述第一 P 型半導體區又與陽極端相連接，所述第二 N 型半導體區又與陰極端

相連接，而陽極端則與輸出緩衝器的第一端點相連接、至於陰極端則與地端相連接；

一個第一電晶體，此第一電晶體具有一第一端點，一第二端點，和一閘極端點，其第一端點與整流器的第一 N 型半導體區相連接；

一個第二電晶體，此第二電晶體具有一第一端點，一第二端點，和一閘極端點，其第一端點與第一電晶體的第二端點相連接，其第二端點與整流器的第二 N 型半導體區相連接；以及

一個電壓耦合電路，此電壓耦合電路具有一第一端點，一第二端點，一第三端點，和一第四端點，其第一端點與整流器的陽極端相連接，其第二端點與第一電晶體的閘極端點相連接，其第三端點與第二電晶體的閘極端點相連接，而其第四端點與整流器的陰極端相連接。

27.如申請專利範圍第 26 項所述之電路，其中該電壓耦合電路提供一第一電壓訊號給第一電晶體的閘極端點，和一第二電壓訊號給第二電晶體的閘極端點，來使整流器導通。

28.如申請專利範圍第 27 項所述之電路，其中該電壓耦合電路含有一第一電容器接在電壓耦合電路的第一端點與第一電晶體的閘極端之間，含有一第二電容器接在電壓耦合電路的第一端點與第二電晶體的閘極端之間。

29.如申請專利範圍第 28 項所述之電路，其中該電壓耦合電路還含有一第三電晶體，此第三電晶體具有一源極端，一汲極端，和一閘極端，此第三電晶體的汲極端與閘極端是相接在一起，而此第三電晶體的源極端是與第一電晶體的閘極端相

接。

30.如申請專利範圍第 28 項所述之電路，其中該電壓耦合電路還含有一箝制電路，一第一電阻器，和一第二電阻器，此箝制電路接在第一電阻器與第一電晶體的閘極端之間，而第一電阻器是接在箝制電路與整流器的陰極端之間，另外第二電阻器是接在第二電晶體的閘極端點與整流器的陰極端之間。

31.如申請專利範圍第 30 項所述之電路，其中該箝制電路能箝制提供到第一電晶體的閘極端的電壓訊號，而第一電阻器，第二電阻器，第一電容器，和第二電容器相接合在一起可以控制時間延遲以使整流器導通。

32.如申請專利範圍第 30 項所述之電路，其中該箝制電路由一電晶體所組成。

33.如申請專利範圍第 26 項所述之電路，其中該整流器的第二 P 型半導體區是由一 P 型半導體基座所組成。

34.如申請專利範圍第 26 項所述之電路，其中該整流器的第一 N 型半導體區是由一位於 P 型半導體基座中的 N 型井所組成。

35.如申請專利範圍第 33 項所述之電路，其中該整流器的第一 N 型半導體區是由一位於 P 型半導體基座中的 N 型井所組成，而整流器的第一 P 型半導體區則是由一位於此 N 型井中的 P 型擴散半導體區所組成。

36.如申請專利範圍第 35 項所述之電路，其中該整流器的第二 N 型半導體區是由一位於 P 型半導體基座中的 N 型擴散半導體區所組成，此 N 型擴散半導體區與第一 N 型半導體區是分開不在一起的。

37.如申請專利範圍第 30 項所述之電

路，其中該電壓耦合電路還包括有一第四電晶體，此第四電晶體具有一源極端，一汲極端，和一閘極端，其汲極端連接至第二電晶體的閘極端，其閘極端連接至第三電晶體的汲極端，而其源極端連接至陰極端。

38.一種積體電路，係包含：

一個接收與輸出訊號的訊號鉀墊；
一個輸出緩衝器，此輸出緩衝器具有一第一端點和第一第二端點，其第二端點與訊號鉀墊相連接；

一個整流器，此整流器具有一陽極端和一陰極端，而內部結構含有一第一P型半導體區，一第一N型半導體區，一第二P型半導體區，一第二N型半導體區，第一N型半導體區與第一P型半導體區相連接，第二P型半導體區與第一N型半導體區相連接，第二N型半導體區與第二P型半導體區相連接，第一P型半導體區又與陽極端相連接，第二N型半導體區又與陰極端相連接，而陽極端則與輸出緩衝器的第二端點相連接，至於陰極端則與地端相連接；

一個第一電晶體，此第一電晶體具有一第一端點，一第二端點，和一閘極端點；

一個第二電晶體，此第二電晶體具有一第一端點，一第二端點，和一閘極端點，其第一端點與第一電晶體的第二端點相連接，其第二端點與整流器的第二N型半導體區相連接；以及

一個電壓耦合電路，此電壓耦合電路具有一第一端點，一第二端點，一第三端點，和一第四端點，其第一端點與輸出緩衝器的第一端點相連接，其第二端點與第一電晶體的閘極端點相連接，其第三端點與第

二電晶體的閘極端點相連接，而其第四端點與整流器的陰極端相連接。

39.如申請專利範圍第 38 項所述之電路，其中該電壓耦合電路提供一第一電壓訊號給第一電晶體的閘極端點，和一第二電壓訊號給第二電晶體的閘極端點，來使整流器導通。

40.如申請專利範圍第 39 項所述之電路，其中該電壓耦合電路含有一第一電容器接在電壓耦合電路的第一端點與第一電晶體的閘極端之間，含有一第二電容器接在電壓耦合電路的第一端點與第二電晶體的閘極端之間。

41.如申請專利範圍第 40 項所述之電路，其中該電壓耦合電路還含有一第三電晶體，此第三電晶體具有一源極端，一汲極端，和一閘極端，此第三電晶體的汲極端與閘極端是相接在一起，而此第三電晶體的源極端是與第一電晶體的閘極端相接。

42.如申請專利範圍第 40 項所述之電路，其中該電壓耦合電路還含有一箝制電路，一第一電阻器，和一第二電阻器，此箝制電路接在第一電阻器與第一電晶體的閘極端之間，而第一電阻器是接在箝制電路與整流器的陰極端之間，另外第二電阻器是接在第二電晶體的閘極端點與整流器的陰極端之間。

43.如申請專利範圍第 42 項所述之電路，其中該箝制電路能箝制提供到第一電晶體的閘極端的電壓訊號，而第一電阻器，第二電阻器，第一電容器，和第二電容器相接合在一起可以控制時間延遲以使整流器導通。

44.如申請專利範圍第 42 項所述之電

路，其中該箝制電路由一電晶體所組成。

- 45.如申請專利範圍第 38 項所述之電路，其中該整流器的第二 P 型半導體區是由一 P 型半導體基座所組成。
- 46.如申請專利範圍第 38 項所述之電路，其中該整流器的第一 N 型半導體區是由一位於 P 型半導體基座中的 N 型井所組成。
- 47.如申請專利範圍第 45 項所述之電路，其中該整流器的第一 N 型半導體區是由一位於 P 型半導體基座中的 N 型井所組成，而整流器的第一 P 型半導體區則是由一位於此 N 型井中的 P 型擴散半導體區所組成。
- 48.如申請專利範圍第 47 項所述之電路，其中該整流器的第二 N 型半導體區是由一位於 P 型半導體基座中的 N 型擴散半導體區所組成，此 N 型擴散半導體區與第一 N 型半導體區是分開不在一起的。
- 49.如申請專利範圍第 42 項所述之電路，其中該電壓耦合電路還包括有一第四電晶體，此第四電晶體具有一源極端，一汲極端，和一閘極端，其汲極端連接至第二電晶體的閘極端，其閘極端連接至第三電晶體的汲極端，而其源極端連接至陰極端。
- 50.一種用來保護具有輸入 / 輸出訊號鉗墊的積體電路不受靜電放電所破壞之方法，係包含：

提供一整流器，此整流器包含有一第一 P 型半導體區，一與第一 P 型半導體區相接的第一 N 型半導體區，一與第一 N 型半導體區相接的第二 P

型半導體區，和一與第二 P 型半導體區相接的第二 N 型半導體區；

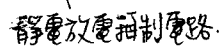
5. 提供一第一電晶體，此第一電晶體具有一第一端點，一第二端點，和一閘極端點，其第一端點與整流器的第一 N 型半導體區相連接；
- 提供一第二電晶體，此第二電晶體具有一第一端點，一第二端點，和一閘極端點，其第一端點與第一電晶體的第二端點相連接，其第二端點與整流器的第二 N 型半導體區相連接。
10. 51.如申請專利範圍第 50 項所述之方法，其中防護方法更進一步包含提供第一電壓給第一電晶體的閘極端，和提供第二電壓給第二電晶體的閘極端，以導通整流器。
- 15.

圖式簡單說明：

20. 第 1 圖係繪示一習知靜電放電防護電路的電路圖。
- 第 2 圖係繪示本發明的一較佳實施例的電路圖。
- 第 3 圖係繪示與第 2 圖中本發明的一較佳實施例相同的電路圖，只是電路中的 Stacked-NMOS-Triggered Silicon-Controlled-Rectifier (SNTSCR) 元件係以剖面圖呈現。
- 第 4 圖係繪示本發明的另一較佳實施例的電路圖。
30. 第 5 圖係繪示第 2 圖中本發明的一較佳實施例的電路圖的另一種呈現方式。
- 第 6 圖係繪示本發明的又另一較佳實施例的電路圖。
35. 第 7 圖係繪示本發明的再另一較佳實施例的電路圖。

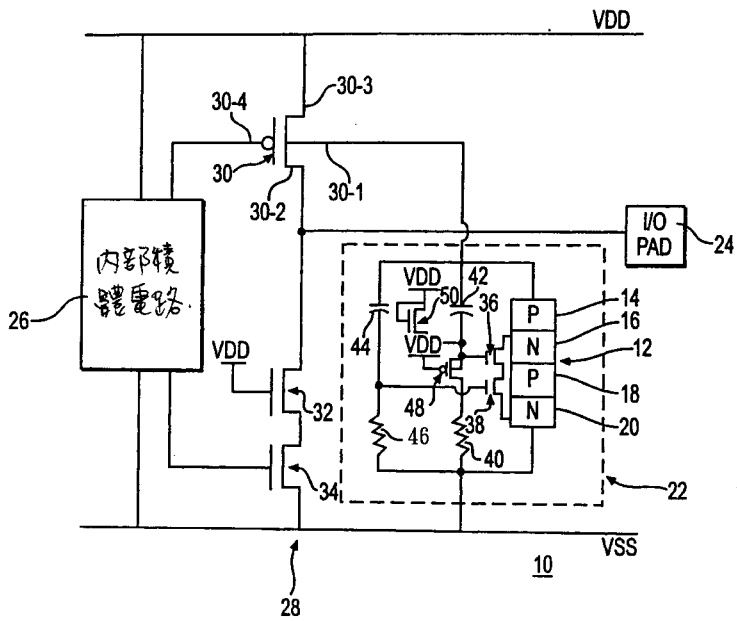


第 3 圖

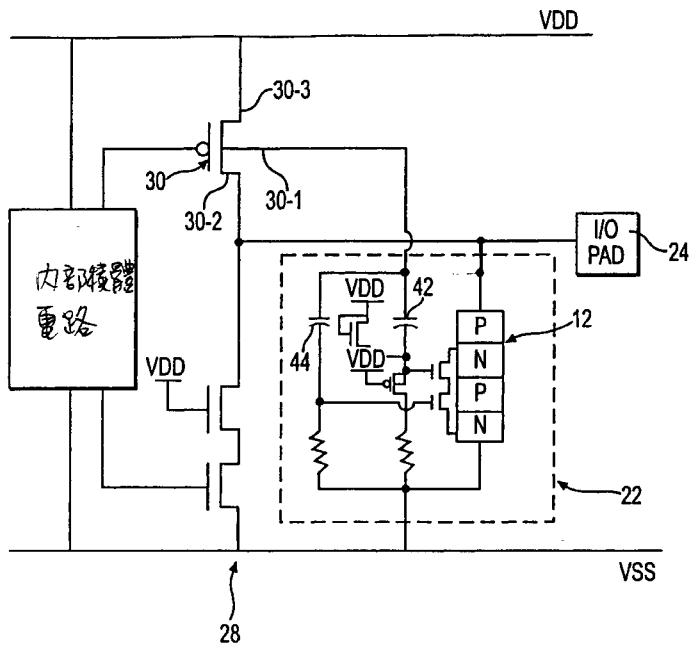


第 5 圖

(9)



第 4 圖



第 6 圖

