

中華民國專利公報 [19] [12]

[11]公告編號：560042

[44]中華民國 92年(2003) 11月01日

發明

全 22 頁

[51] Int.Cl.⁷ : H01L23/60

[54]名稱：靜電放電防護裝置

[21]申請案號：091121370

[22]申請日期：中華民國 91年(2002) 09月18日

[72]發明人：

柯明道

新竹市東區寶山路二〇〇巷三號四樓之三

林耿立

新竹縣竹東鎮中興路二段六五八巷十弄一號六樓之一

徐新智

桃園縣平鎮市承德路十一號

[71]申請人：

世界先進積體電路股份有限公司

新竹市新竹科學工業園區園區三路一二三號

[74]代理人：洪澄文 先生

顏錦順 先生

1

2

[57]申請專利範圍：

1.一種靜電放電防護裝置，包括：

一基底；

一絕緣層，位於該基底，並包圍形成一作用區；

一第一閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；

一第二閘極，位於該第一閘極之一第一側並靠近該第一閘極之該第一端；以及

一第一及第二摻雜區，分別位於該第一閘極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點，該第一摻雜區在該第二閘極下方具有一不連續區。

2.如申請專利範圍第1項所述之靜電放電防護裝置，其中該絕緣層係一淺溝槽絕緣層。

3.如申請專利範圍第1項所述之靜電放電防護裝置，其中該第一節點係一接地點，該第二節點係一鉚墊。

4.如申請專利範圍第1項所述之靜電放電防護裝置，其中更包括：

一第三閘極，位於該第一閘極之該第一側並靠近該第一閘極之該第二端，該第一摻雜區在該第三閘極下方具有一第二不連續區。

5.如申請專利範圍第4項所述之靜電放電防護裝置，其中更包括：

一第四閘極，具有與該絕緣層重疊

之一第一及第二端而橫跨該作用區，並電性耦接至該第一節點，該第一摻雜區位於該第一及第四閘極之間；

一第五及第六閘極，位於該第四閘極之一第一側並分別靠近該第四閘極之該第一及第二端，該第一摻雜區在該第五及第六閘極下方分別具有一第三及第四不連續區；以及
一第三摻雜區，位於該第四閘極之一第二側並電性耦接至該第二節點。

6.如申請專利範圍第5項所述之靜電放電防護裝置，其中該第二、第三、第五及第六閘極之一端分別與該絕緣層重疊。

7.如申請專利範圍第5項所述之靜電放電防護裝置，其中每一第一、第二、第三、第四、第五及第六閘極包括：

一導電層；
一閘極氧化層，位於該導電層下方；以及
一第一及第二分離子，分別位於該導電層及該閘極氧化層之兩側。

8.如申請專利範圍第7項所述之靜電放電防護裝置，其中該導電層係多晶矽層，而該閘極氧化層、該第一及第二分離子係氧化矽層。

9.如申請專利範圍第1項所述之靜電放電防護裝置，其中更包括一包圍該絕緣層之第四摻雜區。

10.如申請專利範圍第9項所述之靜電放電防護裝置，其中該基底係P型基底，該第一、第二及第三摻雜區係N型摻雜區，該第四摻雜區係P型摻雜區。

11.一種靜電放電防護裝置，包括：

一基底；
一絕緣層，位於該基底，並包圍形

成一作用區；

一第一閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；

5. 一第二閘極，位於該第一閘極之一第二側並靠近該第一閘極之該第一端；以及

一第一及第二摻雜區，分別位於該第一閘極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點，該第二摻雜區在該第二閘極下方具有一不連續區。

10. 12.如申請專利範圍第11項所述之靜電放電防護裝置，其中該絕緣層係一淺溝槽絕緣層。

15. 13.如申請專利範圍第11項所述之靜電放電防護裝置，其中該第一節點係一接地點，該第二節點係一鉚墊。

20. 14.如申請專利範圍第11項所述之靜電放電防護裝置，其中更包括：
一第三閘極，位於該第一閘極之該第二側並靠近該第一閘極之該第二端，該第二摻雜區在該第三閘極下方具有一第二不連續區。

25. 15.如申請專利範圍第14項所述之靜電放電防護裝置，其中更包括：

一第四閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至該第一節點，該第一摻雜區位於該第一及第四閘極之間；

一第五及第六閘極，位於該第四閘極之一第一側並分別靠近該第四閘極之該第一及第二端；以及

30. 一第三摻雜區，位於該第四閘極之該第一側並電性耦接至該第二節點，該第三摻雜區在該第五及第六閘極下方分別具有一第三及第四不連續區。

35. 40. 16.如申請專利範圍第15項所述之靜電

放電防護裝置，其中該第二、第三、第五及第六閘極之一端分別與該絕緣層重疊。

17.如申請專利範圍第15項所述之靜電放電防護裝置，其中每一第一、第二、第三、第四、第五及第六閘極包括：

一導電層；

一閘極氧化層，位於該導電層下方；以及

一第一及第二分離子，分別位於該導電層及該閘極氧化層之兩側。

18.如申請專利範圍第17項所述之靜電放電防護裝置，其中該導電層係多晶矽層，而該閘極氧化層、該第一及第二分離子係氧化矽層。

19.如申請專利範圍第11項所述之靜電放電防護裝置，其中更包括一包圍該絕緣層之第四摻雜區。

20.如申請專利範圍第19項所述之靜電放電防護裝置，其中該基底係P型基底，該第一、第二及第三摻雜區係N型摻雜區，該第四摻雜區係P型摻雜區。

21.一種靜電放電防護裝置，包括：

一基底；

一絕緣層，位於該基底，並包圍形成一作用區；

一閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；以及

一第一及第二摻雜區，分別位於該閘極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點，該第一摻雜區在靠近該閘極之該第一端處具有一不連續區。

22.如申請專利範圍第21項所述之靜電放電防護裝置，其中該第一節點係一接地點，該第二節點係一鉅墊。

23.如申請專利範圍第21項所述之靜電

放電防護裝置，其中該絕緣層係一淺溝槽絕緣層。

24.如申請專利範圍第21項所述之靜電放電防護裝置，其中該第一摻雜區更在靠近該閘極之該第二端處具有一第二不連續區。

25.如申請專利範圍第24項所述之靜電放電防護裝置，其中更包括：

一第二閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至該第一節點，該第一摻雜區位於該第二閘極之一第一側；以及

一第三摻雜區，位於該第二閘極之一第二側並電性耦接至該第二節點；

其中，該第一摻雜區分別在靠近該第二閘極之該第一及第二端處具有一第三及第四不連續區。

26.如申請專利範圍第25項所述之靜電放電防護裝置，其中該第一、第二、第三及第四不連續區之一端分別與該絕緣層連接。

27.如申請專利範圍第26項所述之靜電放電防護裝置，其中每一第一及第二閘極包括：

一導電層；

一閘極氧化層，位於該導電層下方；以及

一第一及第二分離子，分別位於該導電層及該閘極氧化層之兩側。

28.如申請專利範圍第27項所述之靜電放電防護裝置，其中該導電層係多晶矽層，而該閘極氧化層、該第一及第二分離子係氧化矽層。

29.如申請專利範圍第21項所述之靜電放電防護裝置，其中更包括一包圍該絕緣層之第四摻雜區。

30.如申請專利範圍第29項所述之靜電放電防護裝置，其中該基底係P型基

底，該第一、第二及第三摻雜區係N型摻雜區，該第四摻雜區係P型摻雜區。

31.一種靜電放電防護裝置，包括：

- 一基底；
- 一絕緣層，位於該基底，並包圍形成一作用區；
- 一閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；以及
- 一第一及第二摻雜區，分別位於該閘極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點，該第二摻雜區在靠近該閘極之該第一端處具有一不連續區。

32.如申請專利範圍第31項所述之靜電放電防護裝置，其中該第一節點係一接地點，該第二節點係一鉚墊。

33.如申請專利範圍第31項所述之靜電放電防護裝置，其中該絕緣層係一淺溝槽絕緣層。

34.如申請專利範圍第31項所述之靜電放電防護裝置，其中該第二摻雜區更在靠近該閘極之該第二端處具有一第二不連續區。

35.如申請專利範圍第34項所述之靜電放電防護裝置，其中更包括：

- 一第二閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至該第一節點，該第一摻雜區位於該第二閘極之一第一側；以及
- 一第三摻雜區，位於該第二閘極之一第二側並電性耦接至該第二節點；
- 其中，該第二摻雜區分別在靠近該第二閘極之該第一及第二端處具有一第三及第四不連續區。

36.如申請專利範圍第35項所述之靜電放電防護裝置，其中該第一、第

二、第三及第四不連續區之一端分別與該絕緣層連接。

37.如申請專利範圍第36項所述之靜電放電防護裝置，其中每一第一及第二閘極包括：

- 一導電層；
- 一閘極氧化層，位於該導電層下方；以及
- 一第一及第二分離子，分別位於該導電層及該閘極氧化層之兩側。

38.如申請專利範圍第37項所述之靜電放電防護裝置，其中該導電層係多晶矽層，而該閘極氧化層、該第一及第二分離子係氧化矽層。

15. 39.如申請專利範圍第31項所述之靜電放電防護裝置，其中更包括一包圍該絕緣層之第四摻雜區。

40.如申請專利範圍第39項所述之靜電放電防護裝置，其中該基底係P型基底，該第一、第二及第三摻雜區係N型摻雜區，該第四摻雜區係P型摻雜區。

41.一種靜電放電防護裝置，包括：

- 一基底；
- 一絕緣層，位於該基底，並包圍形成一作用區；
- 一閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；以及
- 一第一及第二摻雜區，分別位於該閘極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點；
- 其中，該絕緣層於該閘極之該第一端處具有一突出部突入該第一摻雜區中。

42.如申請專利範圍第41項所述之靜電放電防護裝置，其中該第一節點係一接地點，該第二節點係一鉚墊。

40. 43.如申請專利範圍第41項所述之靜電

放電防護裝置，其中該絕緣層係一淺溝槽絕緣層。

44.如申請專利範圍第41項所述之靜電放電防護裝置，其中該絕緣層於該閘極之該第二端處更具有一第二突出部突入該第一摻雜區中。

45.如申請專利範圍第44項所述之靜電放電防護裝置，其中更包括：

一第二閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至該第一節點，該第一摻雜區位於該第二閘極之一第一側；以及

一第三摻雜區，位於該第二閘極之一第二側並電性耦接至該第二節點；

其中，該絕緣層於該第二閘極之該第一及第二端處更分別具有一第三及第四突出部突入該第一摻雜區中。

46.如申請專利範圍第45項所述之靜電放電防護裝置，其中每一第一及第二閘極包括：

一導電層；

一閘極氧化層，位於該導電層下方；以及

一第一及第二分離子，分別位於該導電層及該閘極氧化層之兩側。

47.如申請專利範圍第46項所述之靜電放電防護裝置，其中該導電層係多晶矽層，而該閘極氧化層、該第一及第二分離子係氧化矽層。

48.如申請專利範圍第41項所述之靜電放電防護裝置，其中更包括一包圍該絕緣層之第四摻雜區。

49.如申請專利範圍第48項所述之靜電放電防護裝置，其中該基底係P型基底，該第一、第二及第三摻雜區係N型摻雜區，該第四摻雜區係P型摻雜區。

50.一種靜電放電防護裝置，包括：

一基底；

一絕緣層，位於該基底，並包圍形成一作用區；

5. 一閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；以及

一第一及第二摻雜區，分別位於該閘極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點；

10. 其中，該絕緣層於該閘極之該第一端處具有一突出部突入該第二摻雜區中。

15. 51.如申請專利範圍第50項所述之靜電放電防護裝置，其中該第一節點係一接地點，該第二節點係一鉚墊。

52.如申請專利範圍第50項所述之靜電放電防護裝置，其中該絕緣層係一淺溝槽絕緣層。

20. 53.如申請專利範圍第50項所述之靜電放電防護裝置，其中該絕緣層於該閘極之該第二端處更具有一第二突出部突入該第二摻雜區中。

25. 54.如申請專利範圍第53項所述之靜電放電防護裝置，其中更包括：

一第二閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至該第一節點，該第一摻雜區位於該第二閘極之一第一側；以及

30. 一第三摻雜區，位於該第二閘極之一第二側並電性耦接至該第二節點；

35. 其中，該絕緣層於該第二閘極之該第一及第二端處更分別具有一第三及第四突出部突入該第二摻雜區中。

55.如申請專利範圍第54項所述之靜電放電防護裝置，其中每一第一及第

二閘極包括：

一導電層；

一閘極氧化層，位於該導電層下方；以及

一第一及第二分離子，分別位於該導電層及該閘極氧化層之兩側。

56.如申請專利範圍第55項所述之靜電放電防護裝置，其中該導電層係多晶矽層，而該閘極氧化層、該第一及第二分離子係氧化矽層。

57.如申請專利範圍第50項所述之靜電放電防護裝置，其中更包括一包圍該絕緣層之第四摻雜區。

58.如申請專利範圍第57項所述之靜電放電防護裝置，其中該基底係P型基底，該第一、第二及第三摻雜區係N型摻雜區，該第四摻雜區係P型摻雜區。

59.一種靜電放電防護裝置，包括：

一基底；

一絕緣層，位於該基底，並包圍形成一作用區；

一閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；以及

一第一及第二摻雜區，分別位於該閘極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點；

其中，該絕緣層於該閘極之該第一端之下方具有一突出部突入該第一及第二摻雜區中。

60.如申請專利範圍第59項所述之靜電放電防護裝置，其中該第一節點係一接地點，該第二節點係一鉚墊。

61.如申請專利範圍第59項所述之靜電放電防護裝置，其中該絕緣層係一淺溝槽絕緣層。

62.如申請專利範圍第59項所述之靜電放電防護裝置，其中該絕緣層於該

閘極之該第二端下方更具有一第二突出部突入該第一及第二摻雜區中。

63.如申請專利範圍第62項所述之靜電放電防護裝置，其中更包括：

一第二閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至該第一節點，該第一摻雜區位於該第二閘極之一第一側；以及

一第三摻雜區，位於該第二閘極之一第二側並電性耦接至該第二節點；

其中，該絕緣層於該第二閘極之該第一及第二端下方更分別具有一第三及第四突出部突入該第一及第二摻雜區中。

64.如申請專利範圍第63項所述之靜電放電防護裝置，其中每一第一及第二閘極包括：

一導電層；

一閘極氧化層，位於該導電層下方；以及

一第一及第二分離子，分別位於該導電層及該閘極氧化層之兩側。

65.如申請專利範圍第64項所述之靜電放電防護裝置，其中該導電層係多晶矽層，而該閘極氧化層、該第一及第二分離子係氧化矽層。

66.如申請專利範圍第59項所述之靜電放電防護裝置，其中更包括一包圍該絕緣層之第四摻雜區。

67.如申請專利範圍第66項所述之靜電放電防護裝置，其中該基底係P型基底，該第一、第二及第三摻雜區係N型摻雜區，該第四摻雜區係P型摻雜區。

68.一種靜電放電防護裝置，包括：

一基底；

一絕緣層，位於該基底，並包圍形

成一作用區；

一閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；

一第一及第二摻雜區，分別位於該閘極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點；以及

一第三摻雜區，位於該第一及第二摻雜區下方靠近該閘極之該第一端處，其摻雜濃度小於該第一及第二摻雜區之摻雜濃度。

69.如申請專利範圍第68項所述之靜電放電防護裝置，其中該第一節點係一接地點，該第二節點係一鉚墊。

70.如申請專利範圍第68項所述之靜電放電防護裝置，其中該絕緣層係一淺溝槽絕緣層。

71.如申請專利範圍第68項所述之靜電放電防護裝置，其中更包括一第四摻雜區，位於該第一及第二摻雜區下方靠近該閘極之該第二端處，其摻雜濃度小於該第一及第二摻雜區之摻雜濃度。

72.如申請專利範圍第71項所述之靜電放電防護裝置，其中更包括：

一第二閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至該第一節點，該第一摻雜區位於該第二閘極之一第一側；以及

一第五摻雜區，位於該第二閘極之一第二側並電性耦接至該第二節點；

其中，該第三摻雜區係位於該第一、第二及第五摻雜區下方靠近該第一及第二閘極之該第一端處，而該第四摻雜區係位於該第一、第二及第五摻雜區下方靠近該第一及第二閘極之該第二端處。

73.如申請專利範圍第72項所述之靜電放電防護裝置，其中每一第一及第二閘極包括：

一導電層；

5. 一閘極氧化層，位於該導電層下方；以及

一第一及第二分離子，分別位於該導電層及該閘極氧化層之兩側。

74.如申請專利範圍第73項所述之靜電放電防護裝置，其中該導電層係多晶矽層，而該閘極氧化層、該第一及第二分離子係氧化矽層。

75.如申請專利範圍第68項所述之靜電放電防護裝置，其中更包括一包圍該絕緣層之第六摻雜區。

76.如申請專利範圍第75項所述之靜電放電防護裝置，其中該基底係P型基底，該第一、第二、第三、第四及第五摻雜區係N型摻雜區，該第六摻雜區係P型摻雜區。

77.一種靜電放電防護裝置，包括：

一基底；

一絕緣層，位於該基底，並包圍形成一作用區；

25. 一閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；

一第一及第二摻雜區，分別位於該閘極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點；以及

30. 一井區，位於該第一摻雜區下方靠近該閘極之該第一端處。

78.如申請專利範圍第77項所述之靜電放電防護裝置，其中該第一節點係一接地點，該第二節點係一鉚墊。

79.如申請專利範圍第77項所述之靜電放電防護裝置，其中該絕緣層係一淺溝槽絕緣層。

40. 80.如申請專利範圍第77項所述之靜電

放電防護裝置，其中更包括一第二井區，位於該第一摻雜區下方靠近該閘極之該第二端處。

81.如申請專利範圍第80項所述之靜電放電防護裝置，其中更包括：

一第二閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至該第一節點，該第一摻雜區位於該第二閘極之一第一側；以及

一第三摻雜區，位於該第二閘極之一第二側並電性耦接至該第二節點。

82.如申請專利範圍第81項所述之靜電放電防護裝置，其中每一第一及第二閘極包括：

一導電層；

一閘極氧化層，位於該導電層下方；以及

一第一及第二分離子，分別位於該導電層及該閘極氧化層之兩側。

83.如申請專利範圍第82項所述之靜電放電防護裝置，其中該導電層係多晶矽層，而該閘極氧化層、該第一及第二分離子係氧化矽層。

84.如申請專利範圍第77項所述之靜電放電防護裝置，其中更包括一包圍該絕緣層之第四摻雜區。

85.如申請專利範圍第84項所述之靜電放電防護裝置，其中該基底係P型基底，該第一、第二、第三摻雜區及第一、第二井區係N型摻雜區，該第四摻雜區係P型摻雜區。

86.一種靜電放電防護裝置，包括：

一基底；

一絕緣層，位於該基底，並包圍形成一作用區；

一閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至一第一節點；以及

一第一及第二摻雜區，分別位於該閘極之該第一側與一第二側，且分別耦接至一第二節點及該第一節點；

5. 其中，該閘極之一中間部向該第一摻雜區突入，使靠近該閘極之該第一與第二端之該第一摻雜區寬度大於靠近該閘極中間部之該第一摻雜區寬度。

10. 87.如申請專利範圍第86項所述之靜電放電防護裝置，其中該第一節點係一接地點，該第二節點係一鉗墊。

88.如申請專利範圍第86項所述之靜電放電防護裝置，其中該絕緣層係一淺溝槽絕緣層。

15. 89.如申請專利範圍第86項所述之靜電放電防護裝置，其中更包括：

一第二閘極，具有與該絕緣層重疊之一第一及第二端而橫跨該作用區，並電性耦接至該第一節點，該第一摻雜區位於該第二閘極之一第一側；以及

20. 一第三摻雜區，位於該第二閘極之一第二側並電性耦接至該第二節點；

25. 其中，該第二閘極之一中間部向該第一摻雜區突入。

90.如申請專利範圍第89項所述之靜電放電防護裝置，其中每一第一及第二閘極包括：

30. 一導電層；

一閘極氧化層，位於該導電層下方；以及

35. 一第一及第二分離子，分別位於該導電層及該閘極氧化層之兩側。

91.如申請專利範圍第90項所述之靜電放電防護裝置，其中該導電層係多晶矽層，而該閘極氧化層、該第一及第二分離子係氧化矽層。

40. 92.如申請專利範圍第86項所述之靜電

放電防護裝置，其中更包括一包圍該絕緣層之第四摻雜區。

93.如申請專利範圍第92項所述之靜電放電防護裝置，其中該基底係P型基底，該第一、第二、第三摻雜區係N型摻雜區，該第四摻雜區係P型摻雜區。

圖式簡單說明：

第1A及1B圖分別顯示了一傳統靜電放電防護元件之上視圖與剖面圖；

第2A及2B圖分別顯示了一N型金氧半導體(NMOS)之結構及等效電路；

第3圖顯示了一N型金氧半導體(NMOS)之崩潰電壓-電流曲線圖；

第4A及4B圖分別顯示了另一種傳統靜電放電防護元件結構之上視圖與剖面圖；

第5A及5B圖分別顯示了本發明第一實施例中之靜電放電防護裝置之上視圖與剖面圖；

第6A及6B圖分別顯示了本發明第二實施例中之靜電放電防護裝置之上視圖與剖面圖；

第7A及7B圖分別顯示了本發明第三實施例中之靜電放電防護裝置之上視圖與剖面圖；

第8A及8B圖分別顯示了本發明第四實施例中之靜電放電防護裝置之上視圖與剖面圖；

第9A及9B圖分別顯示了本發明第五實施例中之靜電放電防護裝置之上視圖與剖面圖；

第10A及10B圖分別顯示了本發明第六實施例中之靜電放電防護裝置之上視圖與剖面圖；

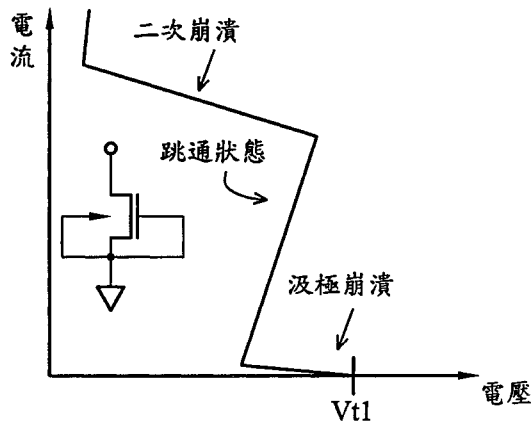
第11A及11B圖分別顯示了本發明第七實施例中之靜電放電防護裝置之上視圖與剖面圖；

第12A及12B圖分別顯示了本發明第八實施例中之靜電放電防護裝置之上視圖與剖面圖；

第13A及13B圖分別顯示了本發明第九實施例中之靜電放電防護裝置之上視圖與剖面圖；

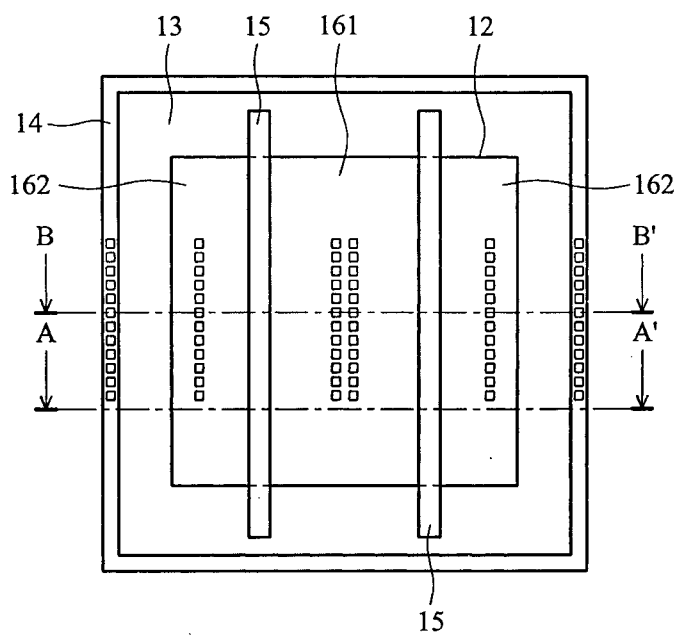
第14A及14B圖分別顯示了本發明第十實施例中之靜電放電防護裝置之上視圖與剖面圖。

25.

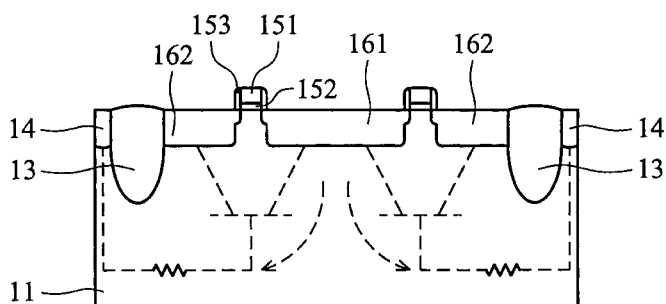


第3圖

(10)

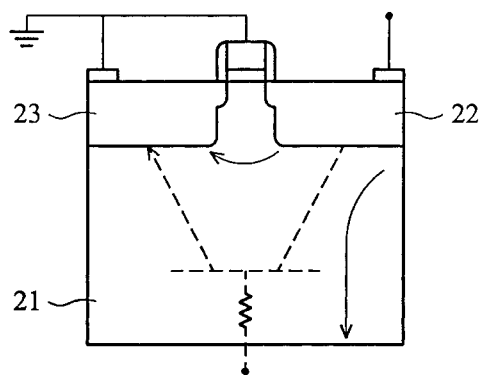


第1A圖

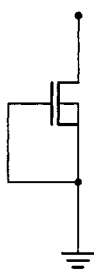


第1B圖

(11)

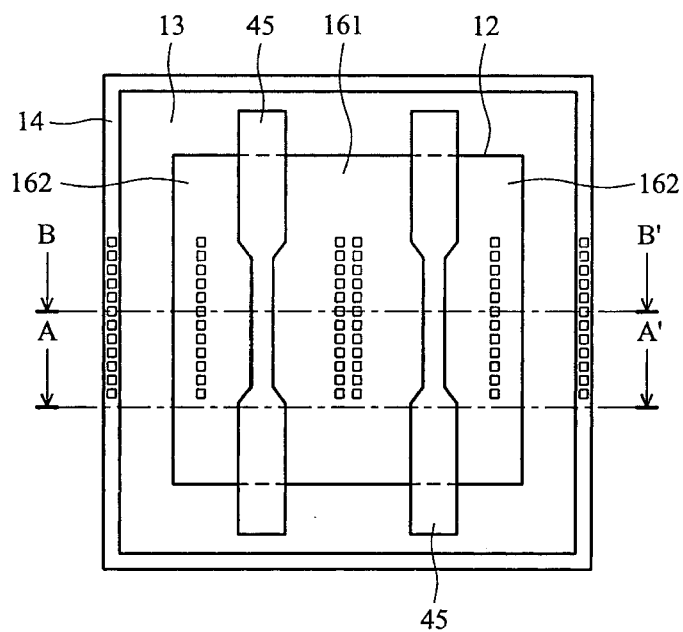


第 2A 圖

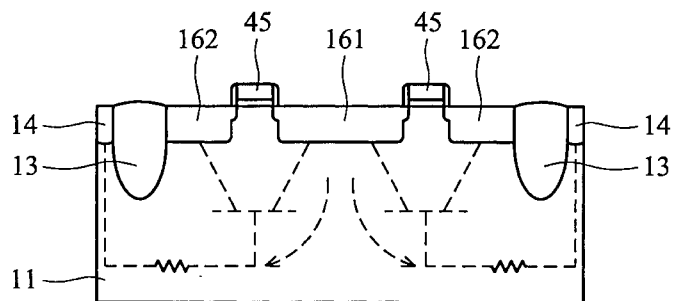


第 2B 圖

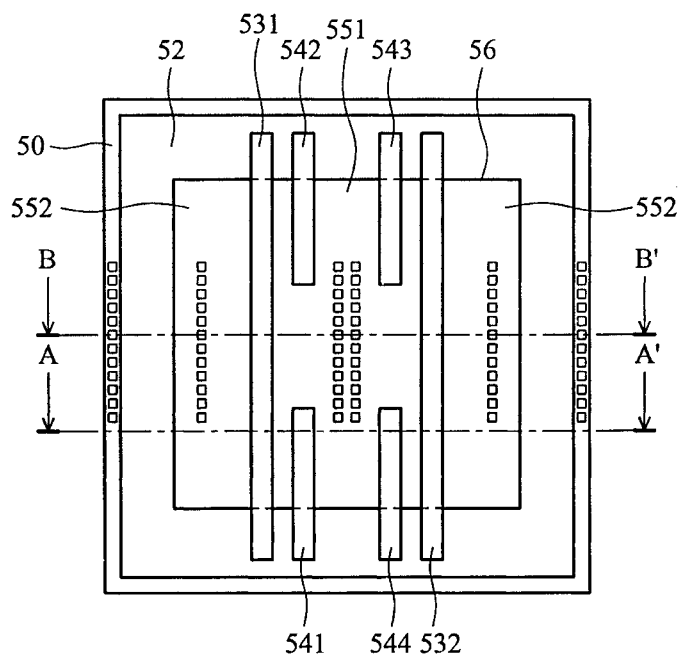
(12)



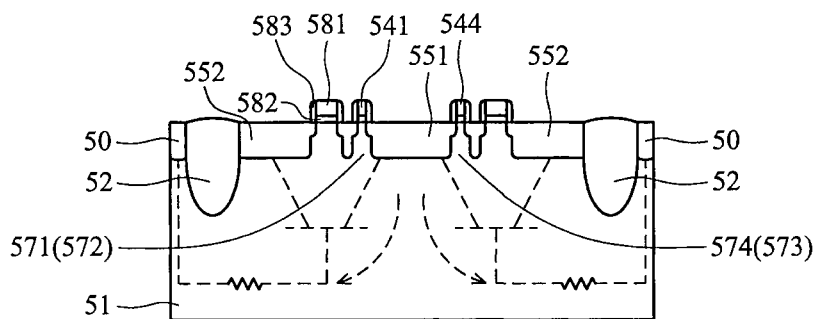
第 4A 圖



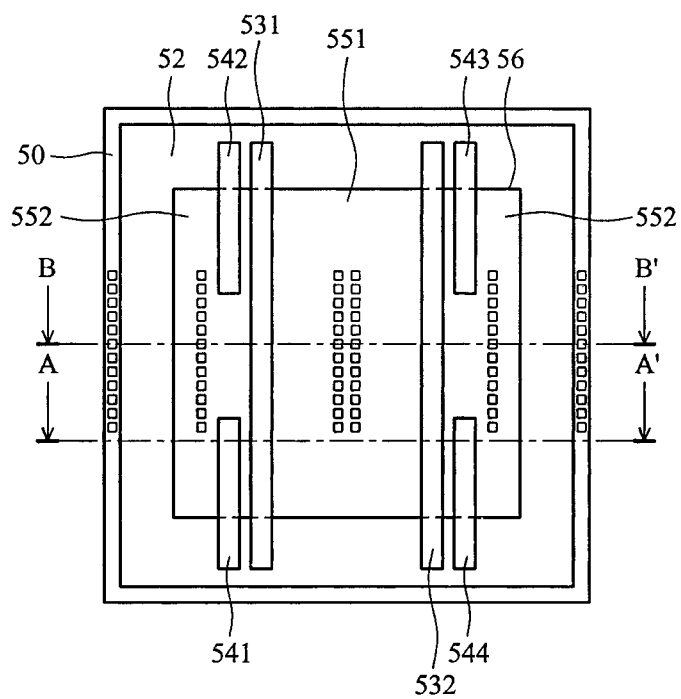
第 4B 圖



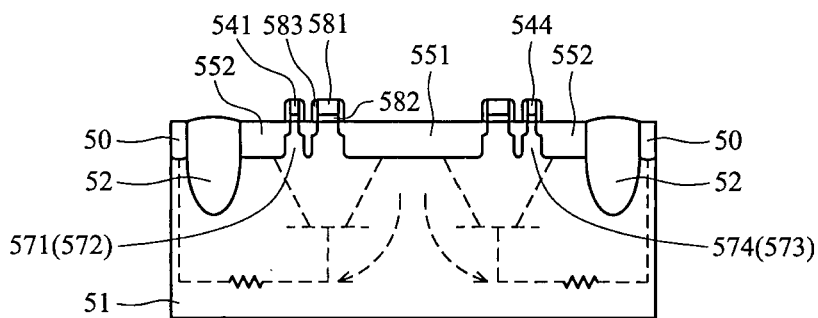
第 5A 圖



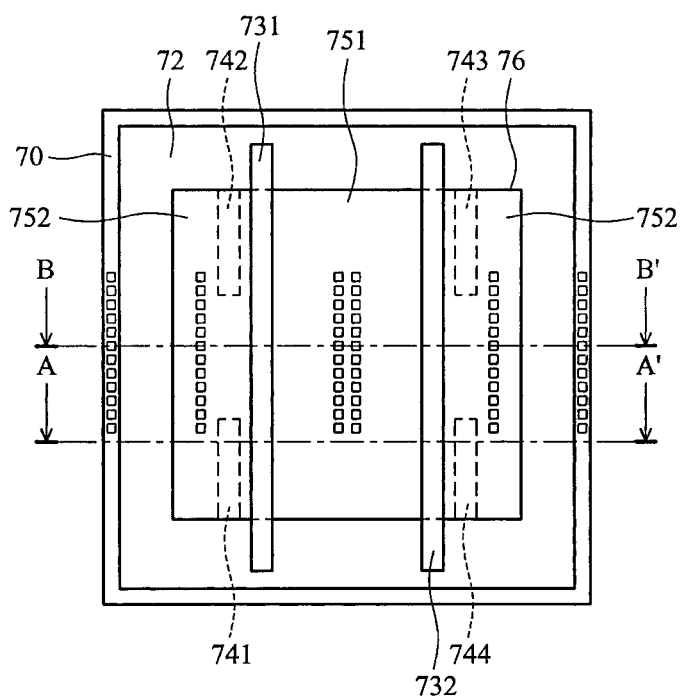
第 5B 圖



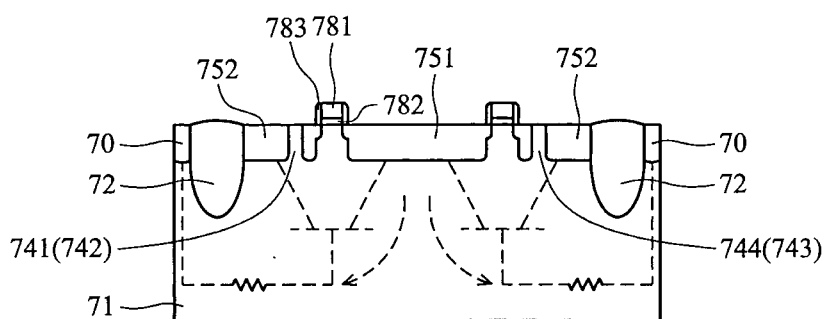
第 6A 圖



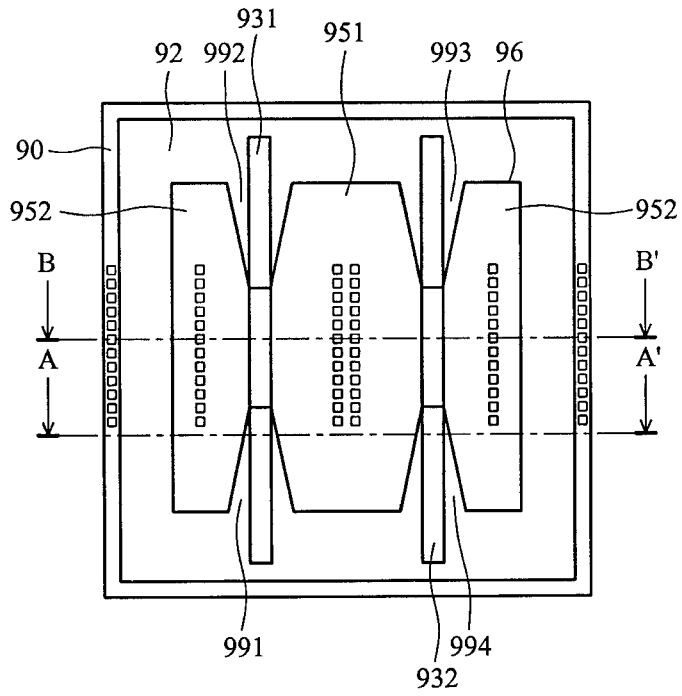
第 6B 圖



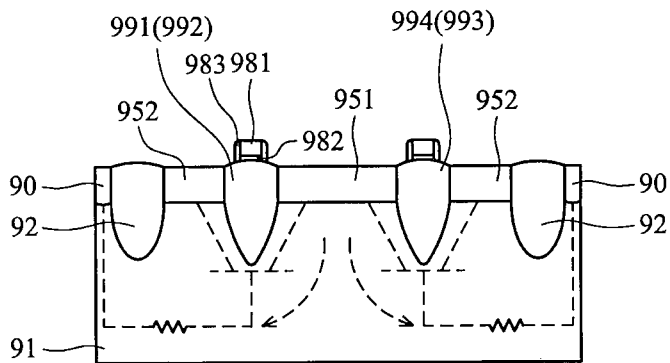
第 8A 圖



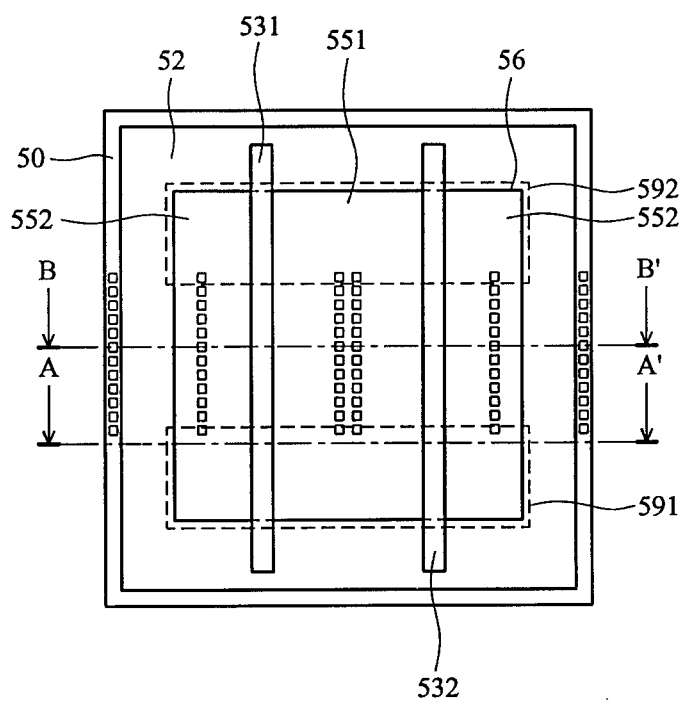
第 8B 圖



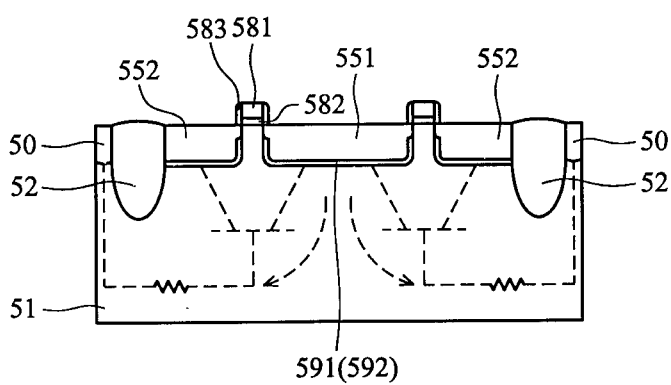
第 11A 圖



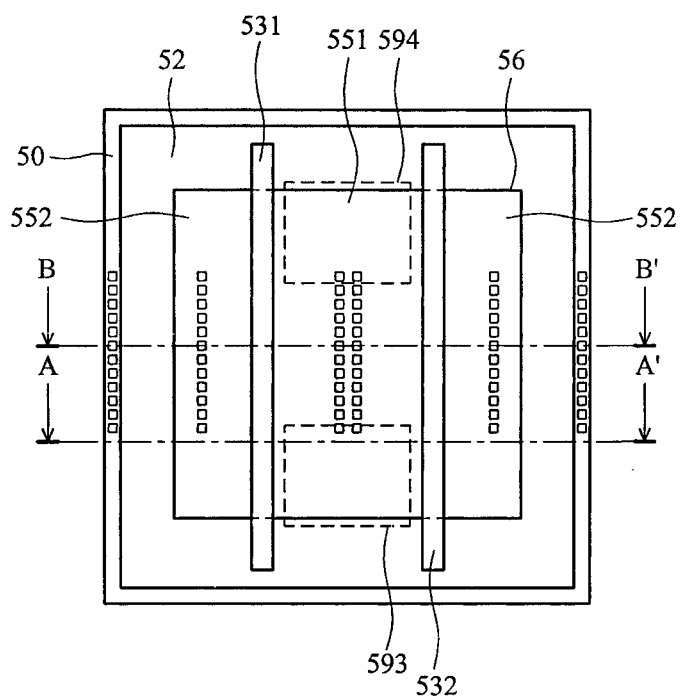
第 11B 圖



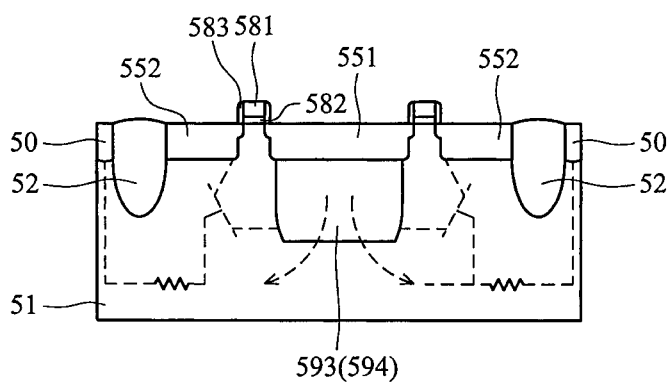
第 12A 圖



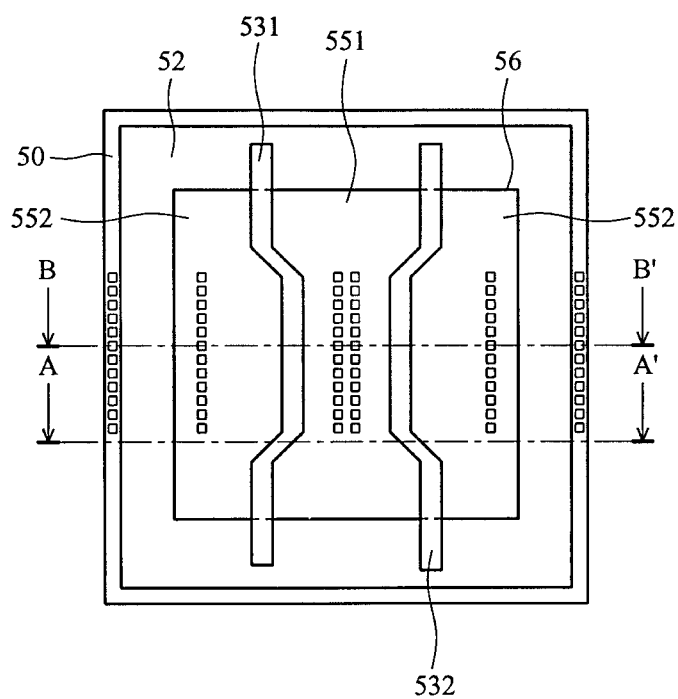
第 12B 圖



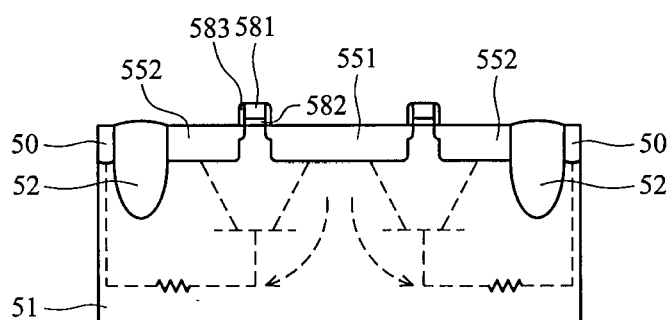
第 13A 圖



第 13B 圖



第 14A 圖



第 14B 圖