

中華民國專利公報 [19] [12]

[11]公告編號：561608

[44]中華民國 92年 (2003) 11月 11日

發明

全 12 頁

[51] Int.Cl.⁷ : H01L23/60

[54]名稱：適用於過高或過低輸入電壓準位之靜電放電保護裝置

[21]申請案號：091132361

[22]申請日期：中華民國 91年 (2002) 11月 01日

[72]發明人：

柯明道

新竹市寶山路二〇〇巷三號四樓之三

羅文裕

臺中縣東勢鎮東崎街三八五之十五號

[71]申請人：

矽統科技股份有限公司

新竹市新竹科學園區研新一路十六號

[74]代理人：洪澄文 先生

顏錦順 先生

1

2

[57]申請專利範圍：

1.一種適用於過高或過低輸入電壓準位之靜電放電保護裝置，在一第一及第二節點間提供一靜電放電電流路徑以保護一積體電路不受靜電放電損害，該裝置包括：

一基底，具有一第一型導電性，電性耦接至該第一節點；

一第一摻雜區，位於該基底中，具有一第二型導電性，且處於浮接狀態；

一第二摻雜區，位於該第一摻雜區中，具有該第一型導電性，電性耦接至該第二節點；以及

一第三摻雜區，位於該基底中且與該第一摻雜區鄰接。

2.如申請專利範圍第1項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中該第三摻雜區具有該第二型導電性。

5. 3.如申請專利範圍第2項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中該第三摻雜區之一摻雜濃度大於該第一摻雜區之一摻雜濃度。

10. 4.如申請專利範圍第3項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中更包括一第四摻雜區，位於該基底中，具有該第一型導電性，且將該基底電性耦接至該第一節點。

15.

- 5.如申請專利範圍第4項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中更包括一靜電放電離子佈值區，位於該基底中及該第三摻雜區下方，並與該第三摻雜區鄰接。
- 6.如申請專利範圍第5項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中更包括複數絕緣層，位於該基底，將該第二、第三及第四摻雜區相互隔離。
- 7.如申請專利範圍第6項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中該第一型導電性係P型，該第二型導電性係N型。
- 8.如申請專利範圍第2項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中該積體電路分別經由一第一及第二電源線接收一第一供應電壓準位及一低於該第一供應電壓準位之第二供應電壓準位，且經由一輸入鉀墊接收一輸入信號，該第一及第二節點分別電性耦接至該第二電源線及該輸入鉀墊，該輸入信號具有一高於該第一供應電壓準位之最高電壓準位，以及一低於該第二供應電壓準位之最低電壓準位。
- 9.如申請專利範圍第6項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中更包括一電源線間靜電放電鉗制電路，連接於該第一及第二電源線之間。
- 10.如申請專利範圍第7項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中更包括一二極體將該第一節點電性耦接至該第二電源線，具有一正端連接至該第一節點以及一負端連接至該第二電源線。

- 11.如申請專利範圍第7項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中更包括一組同向串聯之二極體將該第一節點電性耦接至該第二電源線，具有一正端連接至該第一節點以及一負端連接至該第二電源線。
- 12.如申請專利範圍第1項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中該第三摻雜區具有該第一型導電性。
- 13.如申請專利範圍第12項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中該第三摻雜區之一摻雜濃度大於該基底之一摻雜濃度。
- 14.如申請專利範圍第13項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中更包括一第四摻雜區，位於該基底中，具有該第一型導電性，且將該基底電性耦接至該第一節點。
- 15.如申請專利範圍第14項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中更包括一靜電放電離子佈值區，位於該基底中及該第三摻雜區下方，並與該第三摻雜區鄰接。
- 16.如申請專利範圍第15項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中更包括複數絕緣層，位於該基底，將該第二、第三及第四摻雜區相互隔離。
- 17.如申請專利範圍第16項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中該第一型導電性係P型，該第二型導電性係N型。
- 18.如申請專利範圍第12項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中該積體電路分

別經由一第一及第二電源線接收一第一供應電壓準位及一低於該第一供應電壓準位之第二供應電壓準位，且經由一輸入鉀墊接收一輸入信號，該第一及第二節點分別電性耦接至該第二電源線及該輸入鉀墊，該輸入信號具有一高於該第一供應電壓準位之最高電壓準位，以及一低於該第二供應電壓準位之最低電壓準位。

19.如申請專利範圍第18項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中更包括一電源線間靜電放電鉗制電路，連接於該第一及第二電源線之間。

20.如申請專利範圍第19項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中更包括一二極體將該第一節點電性耦接至該第二電源線，具有一正端連接至該第一節點以及一負端連接至該第二電源線。

21.如申請專利範圍第19項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中更包括一組同向串聯之二極體將該第一節點電性耦接至該第二電源線，具有一正端連接至該第一節點以及一負端連接至該第二電源線。

22.如申請專利範圍第1項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中該第三摻雜區具有該第一型導電性，且將該基底電性耦接至該第一節點。

23.如申請專利範圍第22項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中該第三摻雜區之一摻雜濃度大於該基底之一摻雜濃度。

24.如申請專利範圍第23項所述之適用

於過高或過低輸入電壓準位之靜電放電保護裝置，其中更包括一靜電放電離子佈置區，位於該基底中及該第三摻雜區下方，並與該第三摻雜區鄰接。

25.如申請專利範圍第24項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中更包括複數絕緣層，位於該基底，將該第二及第三摻雜區相互隔離。

26.如申請專利範圍第25項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中該第一型導電性係P型，該第二型導電性係N型。

15. 27.如申請專利範圍第22項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中該積體電路分別經由一第一及第二電源線接收一第一供應電壓準位及一低於該第一供應電壓準位之第二供應電壓準位，且經由一輸入鉀墊接收一輸入信號，該第一及第二節點分別電性耦接至該第二電源線及該輸入鉀墊，該輸入信號具有一高於該第一供應電壓準位之最高電壓準位，以及一低於該第二供應電壓準位之最低電壓準位。

28.如申請專利範圍第27項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中更包括一電源線間靜電放電鉗制電路，連接於該第一及第二電源線之間。

29.如申請專利範圍第28項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中更包括一二極體將該第一節點電性耦接至該第二電源線，具有一正端連接至該第一節點以及一負端連接至該第二電源線。

40. 30.如申請專利範圍第28項所述之適用

於過高或過低輸入電壓準位之靜電放電保護裝置，其中更包括一組同向串聯之二極體將該第一節點電性耦接至該第二電源線，具有一正端連接至該第一節點以及一負端連接至該第二電源線。

31.一種適用於過高或過低輸入電壓準位之靜電放電保護裝置，分別在一第一及第二節點間與該第二及第一第三節點間提供一靜電放電電流路徑以保護一積體電路不受靜電放電損害，該裝置包括：

一基底，具有一第一型導電性，電性耦接至該第一節點；

一第一摻雜區，位於該基底中，具有一第二型導電性，且處於浮接狀態；

一第二摻雜區，位於該第一摻雜區中，具有該第一型導電性，電性耦接至該第二節點；

一第三摻雜區，位於該基底中且與該第一摻雜區鄰接；以及

一第四摻雜區，具有該第一型導電性，位於該第一摻雜區中並電性耦接至該第三節點。

32.如申請專利範圍第31項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中該第三摻雜區具有該第二型導電性。

33.如申請專利範圍第32項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中該第三摻雜區之一摻雜濃度大於該第一摻雜區之一摻雜濃度。

34.如申請專利範圍第33項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中更包括一第五摻雜區，位於該基底中，具有該第一型導電性，且將該基底電性耦接至該第一節點。

35.如申請專利範圍第34項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中更包括一靜電放電離子佈置區，位於該基底中及該第三摻雜區下方，並與該第三摻雜區鄰接。

36.如申請專利範圍第35項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中更包括複數絕緣層，位於該基底，將該第二、第三、第四及第五摻雜區相互隔離。

37.如申請專利範圍第36項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中該第一型導電性係P型，該第二型導電性係N型。

38.如申請專利範圍第32項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中該積體電路分別經由一第一及第二電源線接收一第一供應電壓準位及一低於該第一供應電壓準位之第二供應電壓準位，且經由一輸入鉀墊接收一輸入信號，該第一、第二及第三節點分別電性耦接至該第二電源線、該輸入鉀墊及該第一電源線，該輸入信號具有一高於該第一供應電壓準位之最高電壓準位，以及一低於該第二供應電壓準位之最低電壓準位。

39.如申請專利範圍第31項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中該第三摻雜區具有該第一型導電性。

40.如申請專利範圍第39項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中該第三摻雜區之一摻雜濃度大於該基底之一摻雜濃度。

41.如申請專利範圍第40項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中更包括一第五

摻雜區，位於該基底中，具有該第一型導電性，且將該基底電性耦接至該第一節點。

42.如申請專利範圍第41項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中更包括一靜電放電離子佈值區，位於該基底中及該第三摻雜區下方，並與該第三摻雜區鄰接。

43.如申請專利範圍第42項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中更包括複數絕緣層，位於該基底，將該第二、第三、第四及第五摻雜區相互隔離。

44.如申請專利範圍第43項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中該第一型導電性係P型，該第二型導電性係N型。

45.如申請專利範圍第39項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中該積體電路分別經由一第一及第二電源線接收一第一供應電壓準位及一低於該第一供應電壓準位之第二供應電壓準位，且經由一輸入鉀墊接收一輸入信號，該第一、第二及第三節點分別電性耦接至該第二電源線、該輸入鉀墊及該第一電源線，該輸入信號具有一高於該第一供應電壓準位之最高電壓準位，以及一低於該第二供應電壓準位之最低電壓準位。

46.如申請專利範圍第31項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中該第三摻雜區具有該第二型導電性，且將該基底電性耦接至該第一節點。

47.如申請專利範圍第46項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中該第三摻雜區之一摻雜濃度大於該基底之一摻雜

濃度。

48.如申請專利範圍第47項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中更包括一靜電放電離子佈值區，位於該基底中及該第三摻雜區下方，並與該第三摻雜區鄰接。

49.如申請專利範圍第48項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中更包括複數絕緣層，位於該基底，將該第二、第三、第四及第五摻雜區相互隔離。

50.如申請專利範圍第49項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中該第一型導電性係P型，該第二型導電性係N型。

51.如申請專利範圍第46項所述之適用於過高或過低輸入電壓準位之靜電放電保護裝置，其中該積體電路分別經由一第一及第二電源線接收一第一供應電壓準位及一低於該第一供應電壓準位之第二供應電壓準位，且經由一輸入鉀墊接收一輸入信號，該第一、第二及第三節點分別電性耦接至該第二電源線、該輸入鉀墊及該第一電源線，該輸入信號具有一高於該第一供應電壓準位之最高電壓準位，以及一低於該第二供應電壓準位之最低電壓準位。

30. 圖式簡單說明：

第1圖顯示第一種適用於輸入信號電壓準位居中之傳統輸入電路設計；

第2圖顯示第二種適用於輸入信號電壓準位居中之傳統輸入電路設計；

第3圖顯示第三種適用於輸入信號電壓準位居中之傳統輸入電路設計；

40. 第4圖顯示了一種適用於輸入信

號電壓準位過高之傳統輸入電路設計；

第 5 圖顯示了一種適用於輸入信號電壓準位過低之傳統輸入電路設計；

第 6 圖顯示了一種適用於輸入信號電壓準位過高及過低之傳統輸入電路設計；

第 7 圖顯示了本發明第一實施例中用於輸入電路設計之靜電放電保護元件；

第 8 圖顯示了一種使用第 7 圖之靜電放電保護元件之輸入電路設計；

第 9 圖顯示了另一種使用第 7 圖之靜電放電保護元件之輸入電路設計；

第 10 圖顯示了本發明第二實施例中用於輸入電路設計之靜電放電保護元件；

第 11 圖顯示了本發明第三實施例中用於輸入電路設計之靜電放電保護元件；

第 12 圖顯示了本發明第四實施例

中用於輸入電路設計之靜電放電保護元件；

第 13 圖顯示了本發明第五實施例中用於輸入電路設計之靜電放電保護元件；

第 14 圖顯示了本發明第六實施例中用於輸入電路設計之靜電放電保護元件；

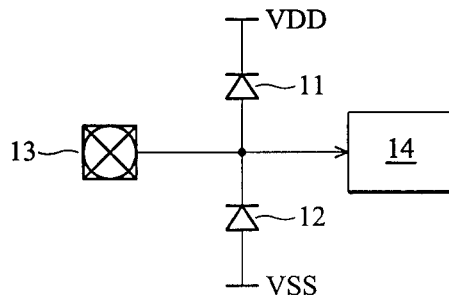
第 15 圖顯示了本發明第七實施例中用於輸入電路設計之靜電放電保護元件；

第 16 圖顯示了一種使用第 15 圖之靜電放電保護元件之輸入電路設計；

第 17 圖顯示了本發明第八實施例中用於輸入電路設計之靜電放電保護元件；

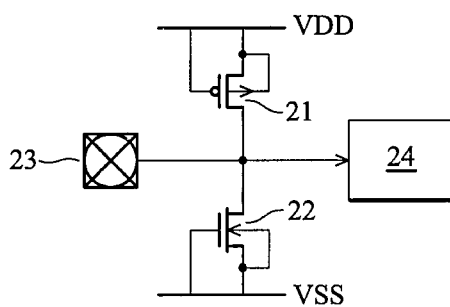
第 18 圖顯示了本發明第九實施例中用於輸入電路設計之靜電放電保護元件；

第 19 圖顯示了本發明第十實施例中用於輸入電路設計之靜電放電保護元件。

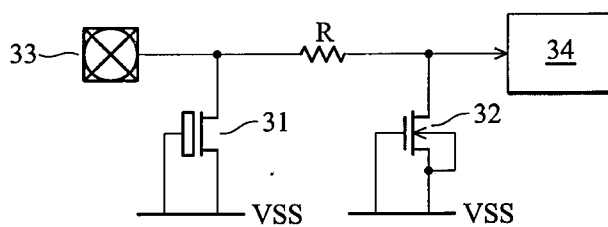


第 1 圖

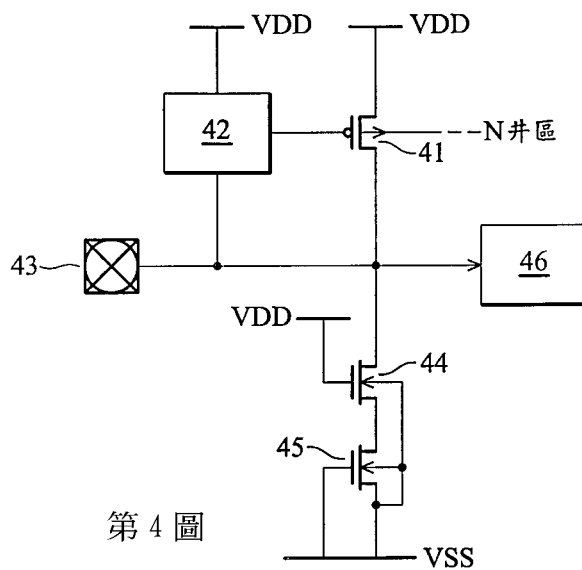
(7)



第 2 圖

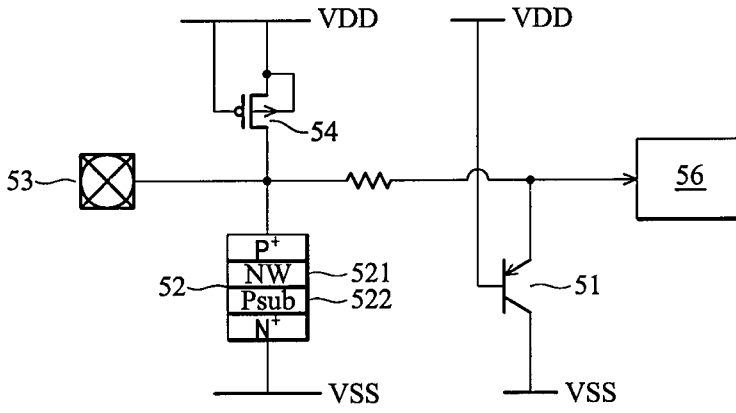


第 3 圖

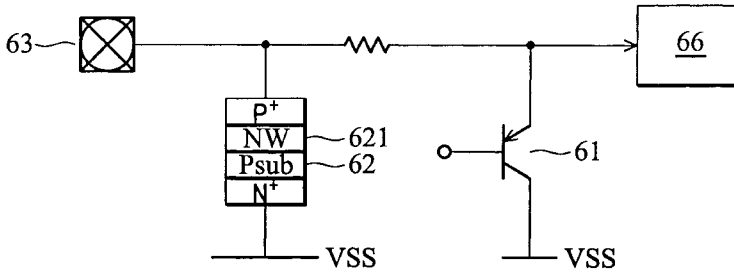


第 4 圖

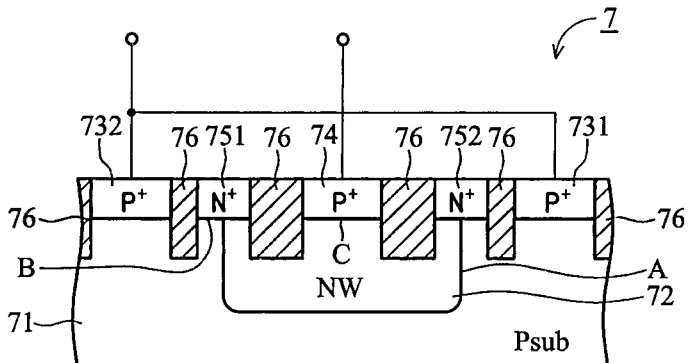
(8)



第 5 圖

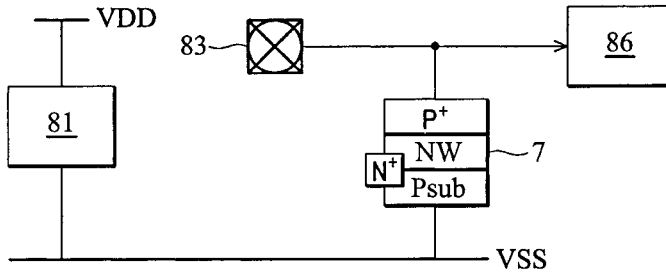


第 6 圖

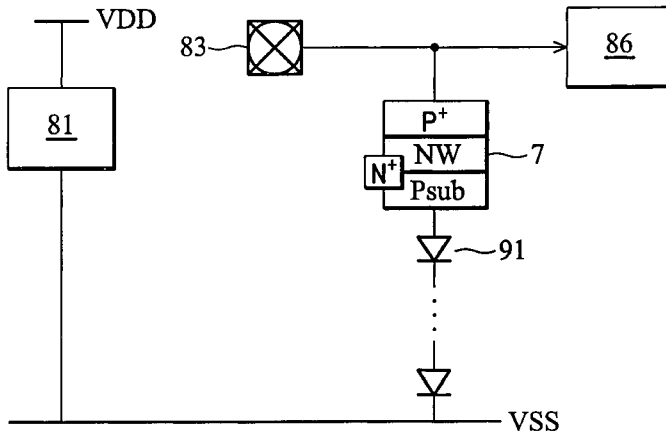


第 7 圖

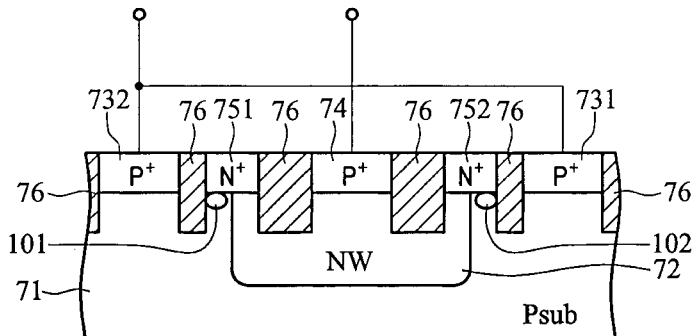
(9)



第 8 圖

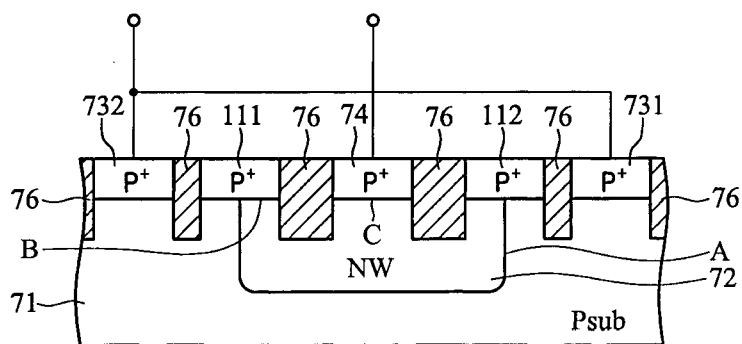


第 9 圖

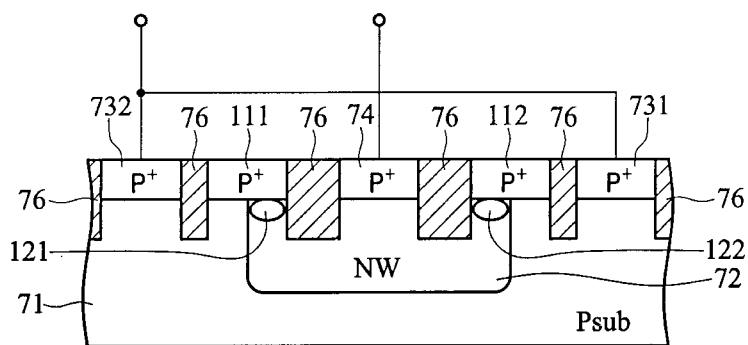


第 10 圖

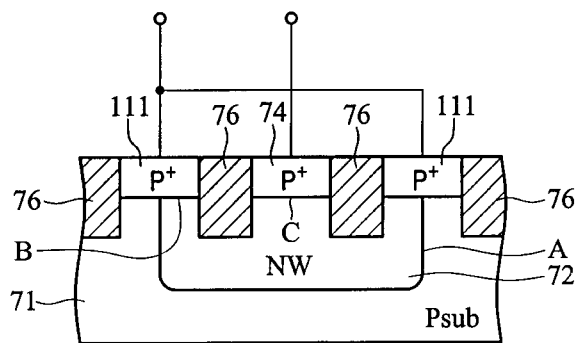
(10)



第 11 圖

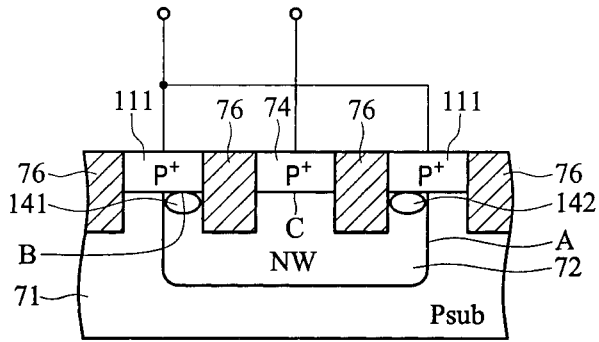


第 12 圖

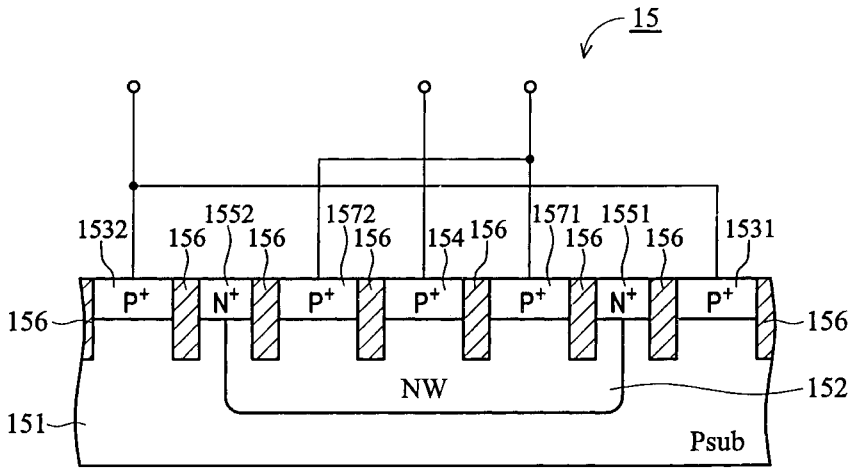


第 13 圖

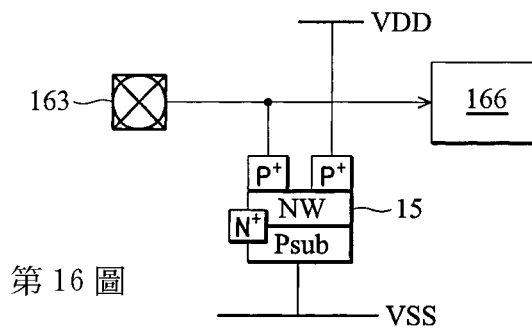
(11)



第 14 圖



第 15 圖



第 16 圖

A cross-sectional view of a semiconductor device. The device consists of a substrate (Psub) with a top layer (NW) and a bottom layer (Psub). The NW layer contains several regions: P+ (1532), N+ (1552), P+ (1572), P+ (154), P+ (156), P+ (1571), N+ (1551), and P+ (1531). The P+ regions are connected to a common line (156) which is connected to a terminal (151). The N+ regions are connected to a common line (156) which is connected to a terminal (152). The P+ regions are also connected to a common line (156) which is connected to a terminal (153).

[illegible]

— 5098 —