

中華民國專利公報 [19] [12]

[11]公告編號：563298

[44]中華民國 92年(2003) 11月21日

發明

全 8 頁

[51] Int.Cl.⁷ : H03K17/22

[54]名稱：晶片上之積體電路栓鎖現象防護電路

[21]申請案號：091111475 [22]申請日期：中華民國 91年(2002) 05月29日

[72]發明人：

柯明道

新竹市寶山路二〇〇巷三號四樓之三

彭政傑

桃園縣觀音鄉大潭村四鄰二十七號

姜信欽

臺北市信義區信安街十號六樓

[71]申請人：

財團法人工業技術研究院

新竹縣竹東鎮中興路四段一九五號

[74]代理人：

1

2

[57]申請專利範圍：

1. 一種晶片上之積體電路栓鎖現象

(latchup)防護電路，包含有：

一核心電路；

一電源開關(power switch)，用以控制流經該核心電路之主要電流(major circuit)；以及

一電流偵測電路(current extractor)，用以偵測該主要電流之大小；

其中，該核心電路、該電源開關以及該電流偵測電路彼此串聯且耦接於一相對高電壓電源線與一相對低電壓電源線之間；以及，當該主要電流因該核心電路發生栓鎖現象而超過一預設值時，該電流偵測電路使該電源開關，進而使該栓鎖現象

消失。

2. 如申請專利範圍第1項之栓鎖現象防護電路，其中，由該相對高電壓電源線至該相對低電壓電源線，依序串接的為該電源開關、該核心電路以及該電流偵測器。

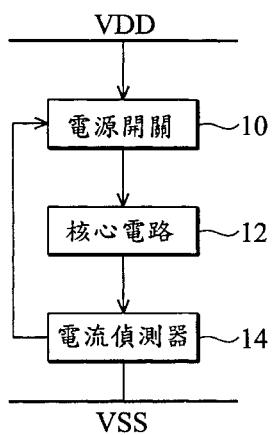
3. 如申請專利範圍第1項之栓鎖現象防護電路，其中，由該相對高電壓電源線至該相對低電壓電源線，依序串接的為該電源開關、該電流偵測器以及該核心電路。

4. 如申請專利範圍第1項之栓鎖現象防護電路，其中，由該相對高電壓電源線至該相對低電壓電源線，依序串接的為該電流偵測器、該核心電

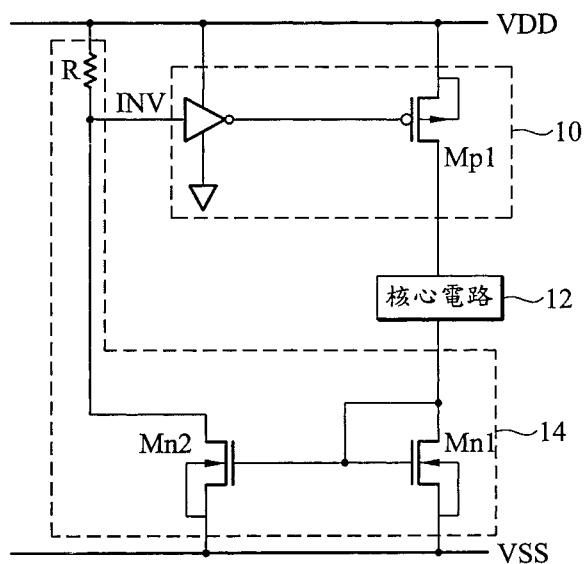
- 路以及該電源開關。
- 5.如申請專利範圍第1項之栓鎖現象防護電路，其中，由該相對高電壓電源線至該相對低電壓電源線，依序串接的為該核心電路、該電流偵測器以及該電源開關。
- 6.如申請專利範圍第1項之栓鎖現象防護電路，其中，由該相對高電壓電源線至該相對低電壓電源線，依序串接的為該核心電路、該電源開關以及該電流偵測器。
- 7.如申請專利範圍第1項之栓鎖現象防護電路，其中，由該相對高電壓電源線至該相對低電壓電源線，依序串接的為該電流偵測器、該電源開關以及該核心電路。
- 8.如申請專利範圍第1項之栓鎖現象防護電路，其中，該電流偵測電路包含有：一電流鏡(current mirror)電路，具有第一電晶體以及第二電晶體，該第一電晶體與該第二電晶體之二控制閘相耦接，該主要電流係主要流經該第一電晶體，流經該第二電晶體之映射電流係正比於該主要電流；以及
一負載，與該第二電晶體相串接於該相對高電壓電源線與該相對低電壓電源線之間。
- 9.如申請專利範圍第8項之栓鎖現象防護電路，其中，該第一電晶體與該第二電晶體均為NMOS。
- 10.如申請專利範圍第8項之栓鎖現象防護電路，其中，該第一電晶體與該第二電晶體均為PMOS。
- 11.如申請專利範圍第1項之栓鎖現象防護電路，其中，該電流偵測電路係為一電阻。
- 12.如申請專利範圍第1項之栓鎖現象防護電路，其中，該電源開關係包含有一金氧半電晶體(MOSFET)，其

- 閘極受控於該電流偵測器。
- 13.如申請專利範圍第12項之栓鎖現象防護電路，其中，該金氧半電晶體係為NMOS。
5. 14.如申請專利範圍第12項之栓鎖現象防護電路，其中，該金氧半電晶體係為PMOS。
10. 15.如申請專利範圍第12項之栓鎖現象防護電路，其中，該金氧半電晶體之閘極與該電流偵測器之間串有一反向器(inverter)。
- 16.如申請專利範圍第1項之栓鎖現象防護電路，其中，該電源開關與該電流偵測器之間串有一延遲電路(delay circuit)，用以降低該電源開關對該電流偵測器之反應速度。
- 圖式簡單說明：
- 第1A圖為本發明之第一實施例的功能方塊圖；
第1B圖為第1A圖之第一種具體電路圖；
第1C圖為第1A圖之第二種具體電路圖；
第1D圖為第1A圖之第三種具體電路圖；
25. 第2A圖為本發明之第二實施例的功能方塊圖；
第2B圖為第2A圖之第一種具體電路圖；
第2C圖為第2A圖之第二種具體電路圖；
第2D圖為第2A圖之第三種具體電路圖；
30. 第3A圖為本發明之第一實施例的功能方塊圖；
第3B圖為第3A圖之第一種具體電路圖；
第3C圖為第3A圖之第二種具體電路圖；以及
40. 第4A圖至第4C圖分別為第四至

第六實施例。

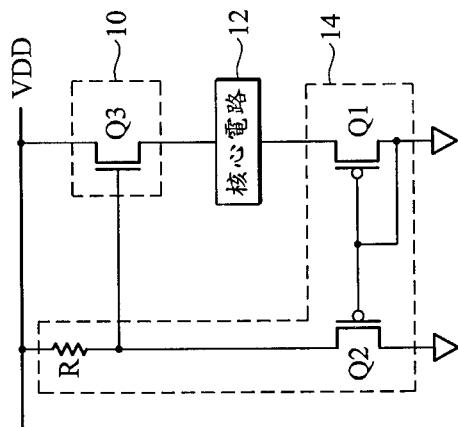


第 1A 圖

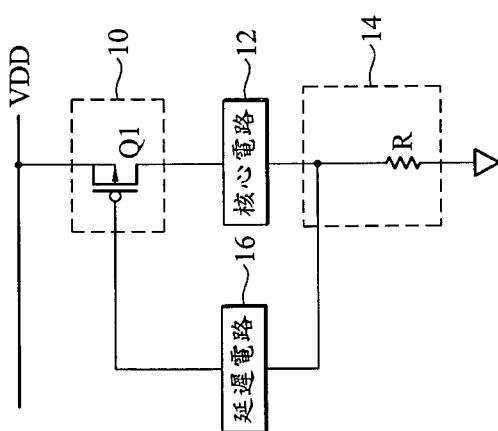


第 1B 圖

(4)

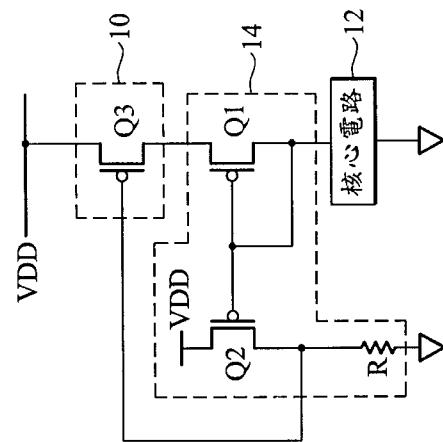


第 1D 圖



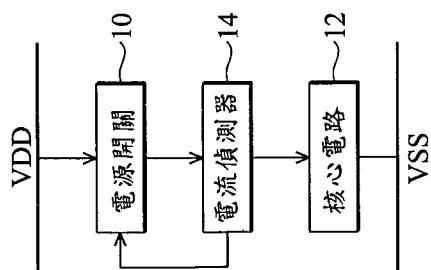
第 1C 圖

(5)

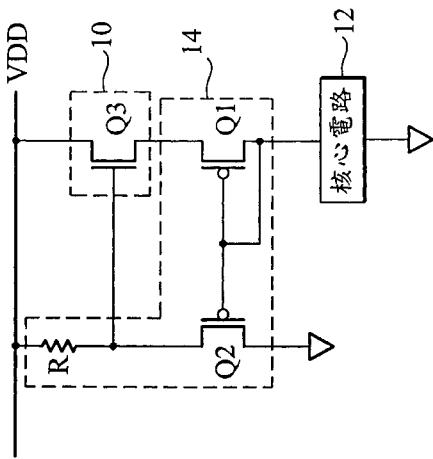


第 2A 圖

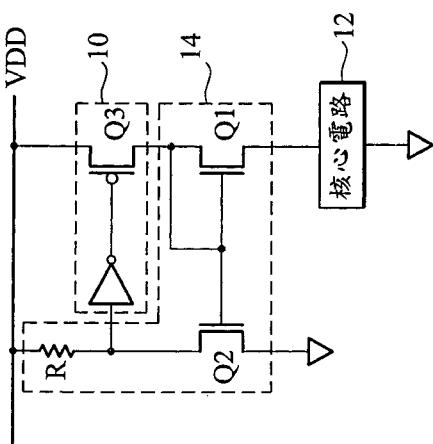
第 2B 圖



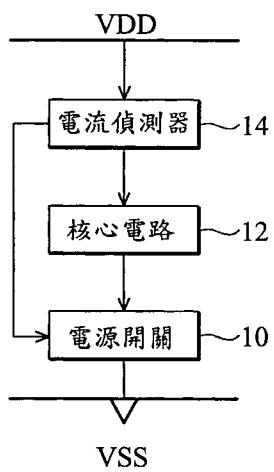
(6)



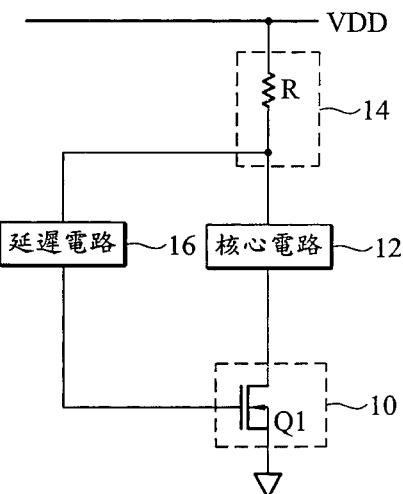
第 2D 圖



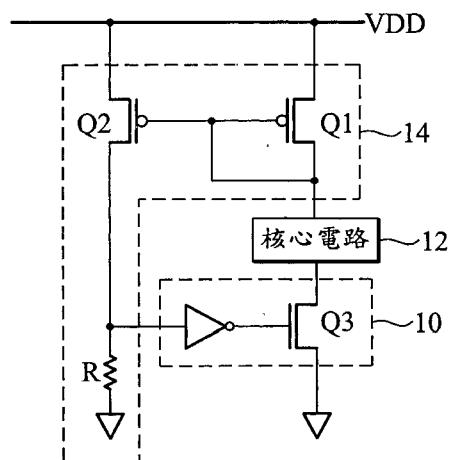
第 2C 圖



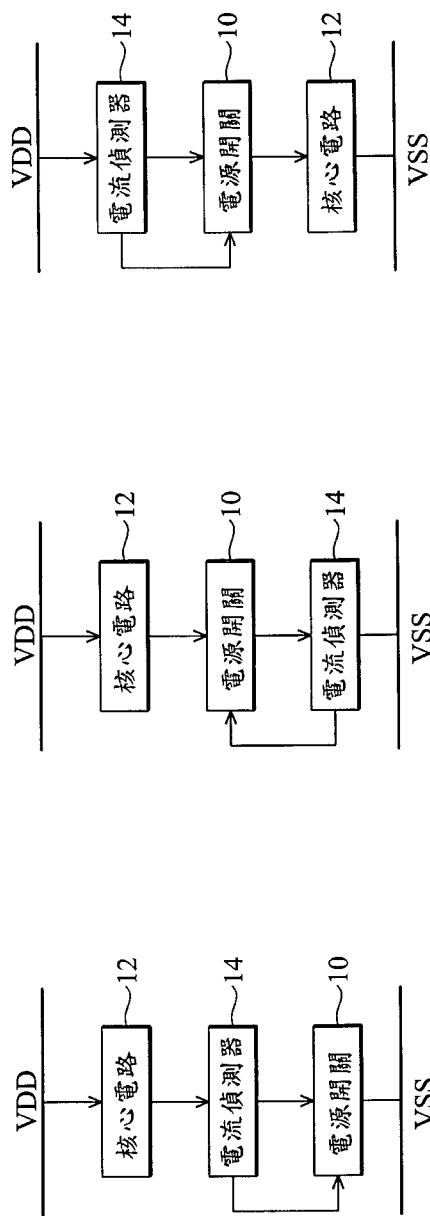
第 3A 圖



第 3B 圖



第 3C 圖



第 4A 圖

第 4B 圖

第 4C 圖