

中華民國專利公報 [19] [12]

[11]公告編號：563299

[44]中華民國 92年 (2003) 11月 21日

發明

全 17 頁

[51] Int.Cl.⁷ : H03K19/00

[54]名稱：微控制器／微處理器在電磁干擾下之自動回復方法與裝置

[21]申請案號：089101680

[22]申請日期：中華民國 89年 (2000) 02月 01日

[72]發明人：

柯明道

新竹市寶山路二〇〇巷三號四樓之三

宋尤昱

新竹縣芎林鄉光復街一五三巷八號

[71]申請人：

財團法人工業技術研究院

新竹縣竹東鎮中興路四段一九五號

[74]代理人：

1

2

[57]申請專利範圍：

1.一種微控制器／微處理器在電磁干擾下之自動回復裝置，用於將一積體電路在遭遇到靜電放電事件後自動回復其正常功能，其中所提到的積體電路必須至少含有一個微處理器或一個微控制器，必須至少含有一VDD線和一VSS線，所提到的裝置是與所提到的積體電路結合在同一個靜電放電感測器，具有偵測靜電放電電壓的功能，此靜電放電感測器連接於所提到的VDD線和VSS線之間，當所提到的VDD線和VSS線之間有靜電放電電壓發生且被此靜電放電感測器偵測到時，此靜電放電感測器具有發出指示訊號的功

能；

一個靜電放電旗標，具有根據由所提到的靜電放電感測器傳來的指示訊號做出反應的功能，具有輸出一旗標訊號表示靜電放電電壓已被所提到的靜電放電感測器偵測到的功能；以及

一個控制器，具有當所提到的積體電路的電源開啟時，執行所提到的積體電路的重置程序的功能，具有當靜電放電旗標輸出一旗標訊號表示靜電放電電壓已被所提到的靜電放電感測器偵測到時，執行所提到的積體電路的回復程序的功能，以回復所提到的積體電路回到已設定

好的動作。

- 2.如申請專利範圍第1項所述之裝置，其中的重置程序包括有第一組程序，前述第一組程序是在積體電路的電源開啟時提供重置程序，另外其中的回復程序包括有第二組程序，前述第二組程序為積體電路遭靜電放電事件時，在接收到靜電放電旗標訊號所提供的回復程序，第二組程序與第一組程序有所不同。
- 3.如申請專利範圍第2項所述之裝置，其中的第二組程序是第一組程序的一個子程序。
- 4.如申請專利範圍第2項所述之裝置，其中的第二組程序中的部分步驟與第一組程序的部分步驟相同。
- 5.如申請專利範圍第1項所述之裝置，其中的感測器包括有複數個靜電放電感測器置放於所提到的積體電路中的不同位置，其中所提到的裝置包括有一邏輯運算單元，負責運算由複數個靜電放電感測器輸出的訊號並輸出一個邏輯訊號給所提到的靜電放電旗標作為其輸入訊號。
- 6.如申請專利範圍第5項所述之裝置，其中的邏輯運算單元是由一OR閘組成。
- 7.如申請專利範圍第5項所述之裝置，其中的邏輯運算單元是由一NAND閘組成。
- 8.如申請專利範圍第1項所述之裝置，其中的靜電放電旗標是由一個D式正反器組成。
- 9.如申請專利範圍第5項所述之裝置，其中的複數個靜電放電感測器包含有第一種靜電放電感測器，其NMOS的通道寬度/通道長度的尺寸比值比PMOS的通道寬度/通道長度的尺寸比值大；以及包含有第二種靜電放電感測器，其PMOS的通道

寬度/通道長度的尺寸比值比NMOS的通道寬度/通道長度的尺寸比值大。

- 10.一種微控制器/微處理器在電磁干擾下之自動回復方法，用於將一積體電路在遭遇到靜電放電事件後自動回復其正常功能，所提到的積體電路必須至少含有一個微處理器或一個微控制器，必須至少含有一VDD線和一VSS線，所提到的方法的執行步驟包括有：
 - (a)利用電源開啟重置程序啟動所提到的積體電路，所提到的電源開啟重置程序包含有將所提到的靜電放電旗標設定在第一邏輯狀態；以及
 - (b)偵測所提到的VDD線和VSS線上的靜電放電電壓；以及
 - (c)當偵測到VDD線和VSS線上的靜電放電電壓時，將靜電放電旗標改設定在第二邏輯狀態；以及
 - (d)當靜電放電旗標在步驟(c)中被設定在所提到的第二邏輯狀態時，執行一回復程序，回復所提到的積體電路的已設定好的動作；以及
 - (e)在執行完步驟(d)後，重新將所提到的靜電放電旗標設定在第一邏輯狀態。
- 11.如申請專利範圍第10項所述之方法，其中的步驟(b)是由一個靜電放電感測器所執行的，另外在步驟(a)的電源開啟重置程序中還包括將所提到的靜電放電感測器的輸出狀態設定在第一邏輯狀態。
- 12.如申請專利範圍第11項所述之方法，其中的步驟(c)包括當所提到的靜電放電感測器的輸出狀態被設定在第二邏輯狀態時，將所提到的靜電放電旗標的旗標狀態改設定在第二邏輯狀態。
- 13.如申請專利範圍第12項所述之方

法，其中的步驟(e)還包括將所提到的靜電放電感測器的輸出狀態重新設定在所提到的第一邏輯狀態。

- 14.如申請專利範圍第 13 項所述之方法，所提到的第一邏輯狀態是邏輯“0”，所提到的第二邏輯狀態是邏輯“1”。
- 15.如申請專利範圍第 13 項所述之方法，所提到的第一邏輯狀態是邏輯“1”，所提到的第二邏輯狀態是邏輯“0”。
- 16.如申請專利範圍第 10 項所述之方法，其中的重置程序包括有第一組程序，前述第一組程序是在積體電路的電源開啟時提供重置程序，另外其中的回復程序包括有第二組程序，前述第二組程序為積體電路遭靜電放電事件時，在接收到靜電放電旗標訊號所提供的回復程序，第二組程序與第一組程序有所不同。
- 17.如申請專利範圍第 16 項所述之方法，其中第二組程序是第一組程序的一個子程序。
- 18.如申請專利範圍第 16 項所述之方法，其中第二組程序中的部分步驟與第一組程序的部分步驟相同。

圖式簡單說明：

第 1 圖係繪示一習知應用於含有微處理器/微控制器的電路板上的靜電放電防護架構，其採用額外外接的個別元件來將暫態電壓突波旁通或吸收掉；

第 2 圖係繪示一習知的個別元件，用於將電腦鍵盤從系統級靜電放電事件中回復至正常狀態；

第 3 圖係繪示一含有微處理器/微控制器的積體電路，其結合了本發明的靜電放電感測器，此靜電放電感測器是用來偵測微處理器/微控制器的 VDD 和 VSS 電源線間因系統級靜電放

電而產生的暫態電壓突波；

第 4 圖係繪示本發明的靜電放電感測器及靜電放電旗標的電路架構；

5. 第 5(a)及 5(b)圖係繪示本發明的韌體的流程圖，其顯示一微處理器/微控制器中的靜電放電感測器在偵測到因系統級靜電放電而產生的暫態電壓時的重置子程序；

10. 第 6 圖係繪示本發明的一流程圖，其顯示一重置程序的步驟，而此重置程序是由微處理器/微控制器在發現靜電放電旗標被設成邏輯“1”時所啟動的；

15. 第 7 圖係繪示當一靜電放電槍以正 1000-V 的靜電電壓打在一置放鍵盤的桌上時，從鍵盤中的微控制器上所量測到的 VDD 和 VSS 的波形。

20. 第 8 圖係繪示當一靜電放電槍以負 3000-V 的靜電電壓打在一置放鍵盤的桌上時，從鍵盤中的微控制器上所量測到的 VDD 和 VSS 的波形。

25. 第 9 圖係繪示當一靜電放電槍以正 500-V 的靜電電壓打在一接有鍵盤的個人電腦機殼後方時，從鍵盤中的微控制器上所量測到的 VDD 和 VSS 的波形。

30. 第 10 圖係繪示當一靜電放電槍以負 2000-V 的靜電電壓打在一接有鍵盤的個人電腦機殼後方時，從鍵盤中的微控制器上所量測到的 VDD 和 VSS 的波形。

35. 第 11(a)圖係繪示在做系統級靜電放電測試時，當一靜電放電槍以正 1000-V 的靜電電壓打在一置放鍵盤的桌上時，從鍵盤中的微控制器上所量測到的 VDD-to-VSS 的相對電壓波形。

40. 第 11(b)圖係繪示在做系統級靜電放電測試時，當一靜電放電槍以負 1000-V 的靜電電壓打在一置放鍵盤的桌上時，從鍵盤中的微控制器上所量

測到的VDD-to-VSS的相對電壓波形。

第 12(a)圖係繪示在做系統級靜電放電測試時，當一靜電放電槍以正 3000-V 的靜電電壓打在一置放鍵盤的桌上時，從鍵盤中的微控制器上所量測到的VDD-to-VSS的相對電壓波形。

第 12(b)圖係繪示在做系統級靜電放電測試時，當一靜電放電槍以負 3000-V 的靜電電壓打在一置放鍵盤的桌上時，從鍵盤中的微控制器上所量測到的VDD-to-VSS的相對電壓波形。

第 13(a)圖係繪示在做系統級靜電放電測試時，當一靜電放電槍以正 500-V 的靜電電壓打在一接有鍵盤的個人電腦機殼後方時，從鍵盤中的微控制器上所量測到的VDD-to-VSS的相對電壓波形。

第 13(b)圖係繪示在做系統級靜電放電測試時，當一靜電放電槍以負 500-V 的靜電電壓打在一接有鍵盤的個人電腦機殼後方時，從鍵盤中的微控制器上所量測到的VDD-to-VSS的相對電壓波形。

第 14(a)圖係繪示在做系統級靜電放電測試時，當一靜電放電槍以正 2000-V 的靜電電壓打在一接有鍵盤的個人電腦機殼後方時，從鍵盤中的微控制器上所量測到的VDD-to-VSS的相對電壓波形。

第 14(b)圖係繪示在做系統級靜電放電測試時，當一靜電放電槍以負 2000-V 的靜電電壓打在一接有鍵盤的個人電腦機殼後方時，從鍵盤中的微控制器上所量測到的VDD-to-VSS的相對電壓波形。

第 15(a)圖係繪示在做系統級靜電放電測試時，VDD-to-VSS的相對電壓波形的正尖端值與靜電放電轟擊電壓值間的關係圖。

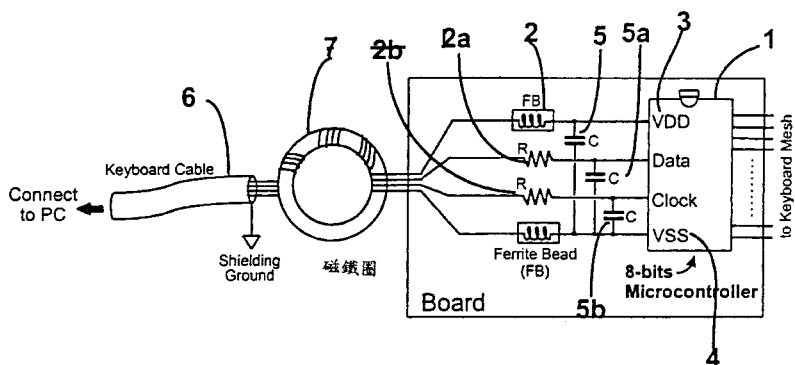
第 15(b)圖係繪示在做系統級靜電放電測試時，VDD-to-VSS的相對電壓波形的負尖端值與靜電放電轟擊電壓值間的關係圖。

第 16 圖係繪示 HSPICE 的模擬結果，其描述靜電放電感測器電路的輸出端Q變換它的狀態正邏輯“1”的過程，此變換是發生在 VDD 有掉到負 1.2V 的突波發生時，而此時 VSS 是維持相對偏壓在 0V。

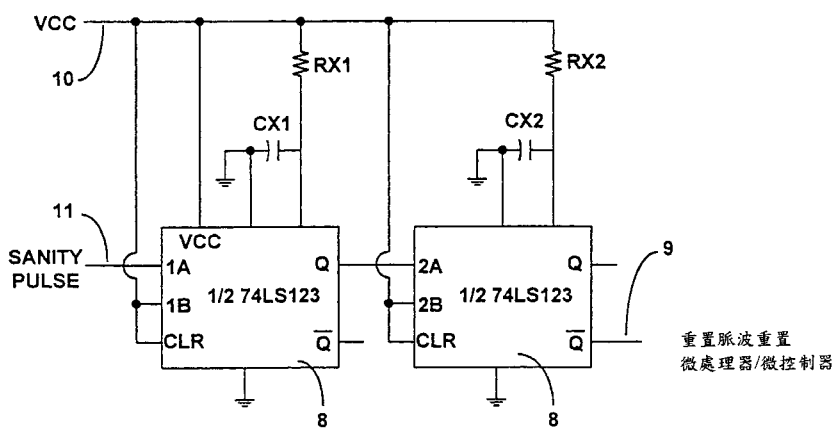
第 17 圖係繪示 HSPICE 的模擬結果，其描述靜電放電感測器電路的輸出端Q變換它的狀態正邏輯“1”的過程，此變換是發生在 VSS 有升到正 6.2V 的突波發生時，而此時 VDD 是維持相對偏壓在 5V。

第 18 圖係繪示具有實現本發明在內的一 8 位元微控制器之實際全晶片佈局圖。

(5)

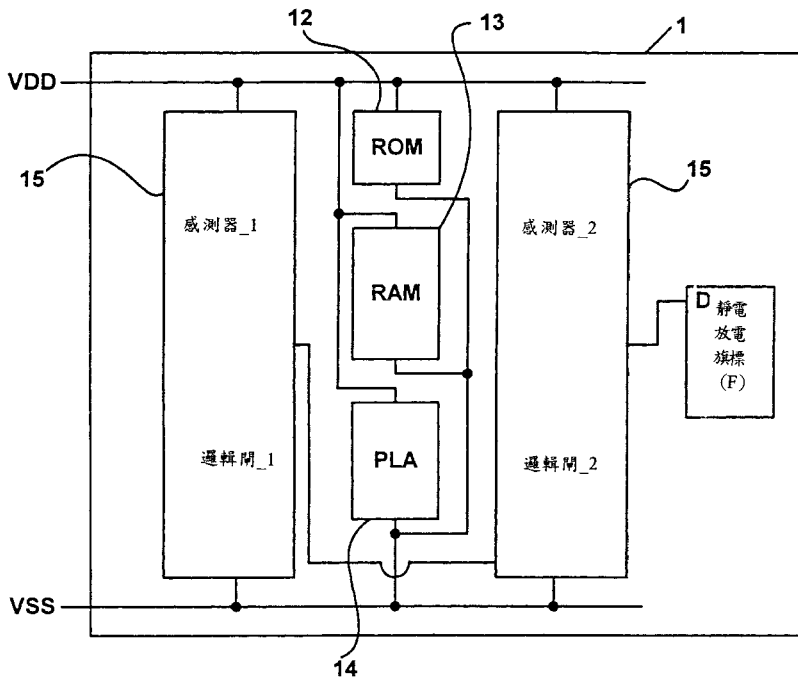


第 1 圖

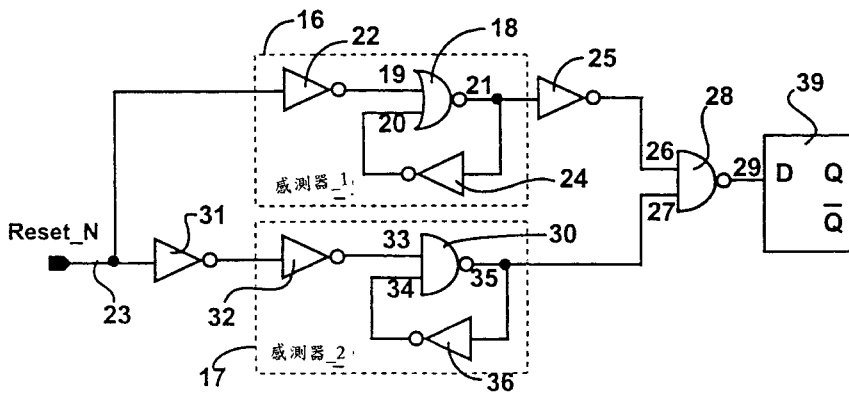


第 2 圖

(6)

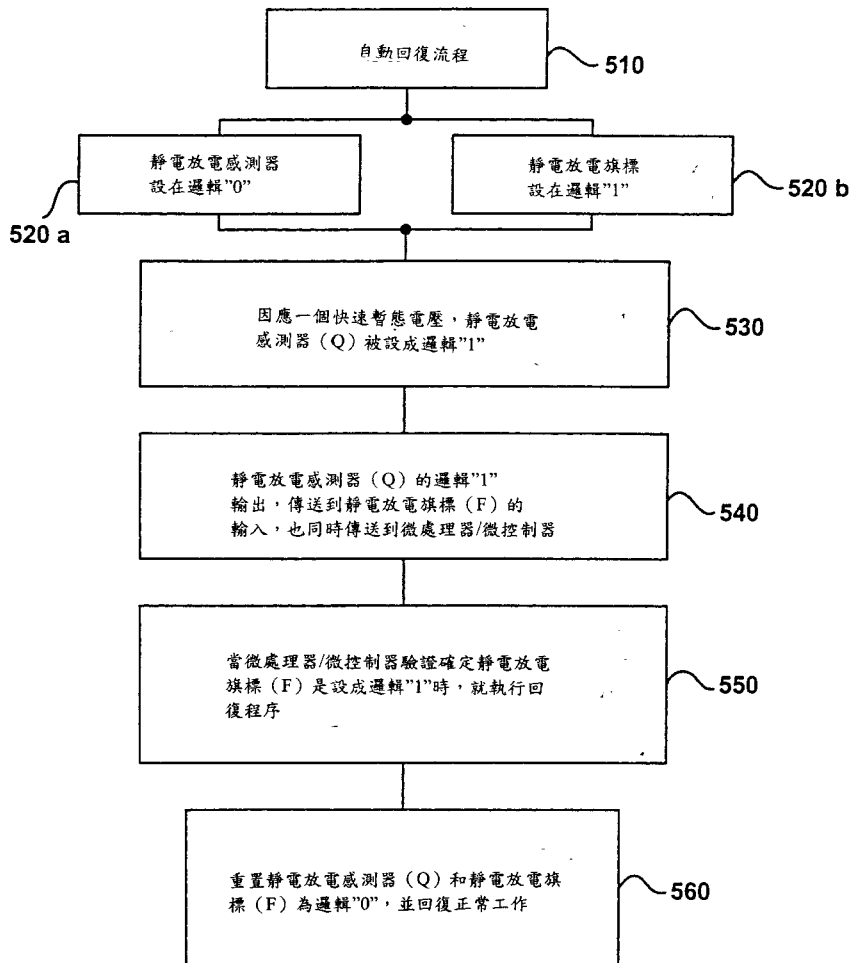


第 3 圖

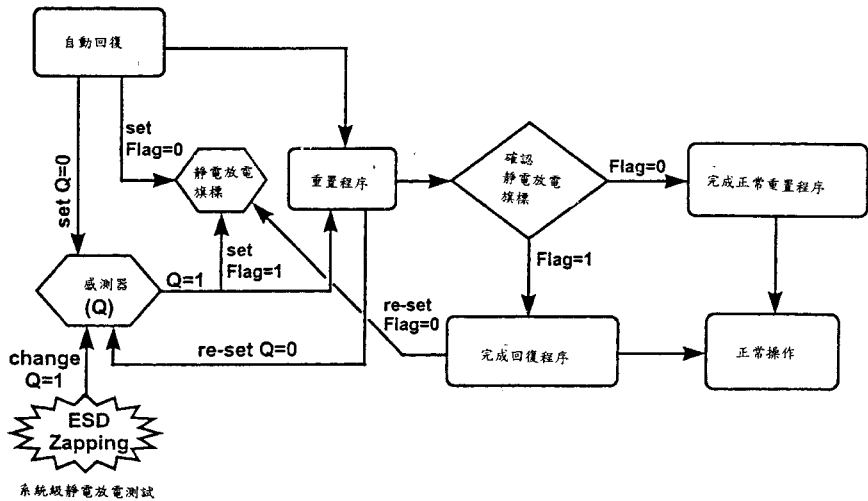


第 4 圖

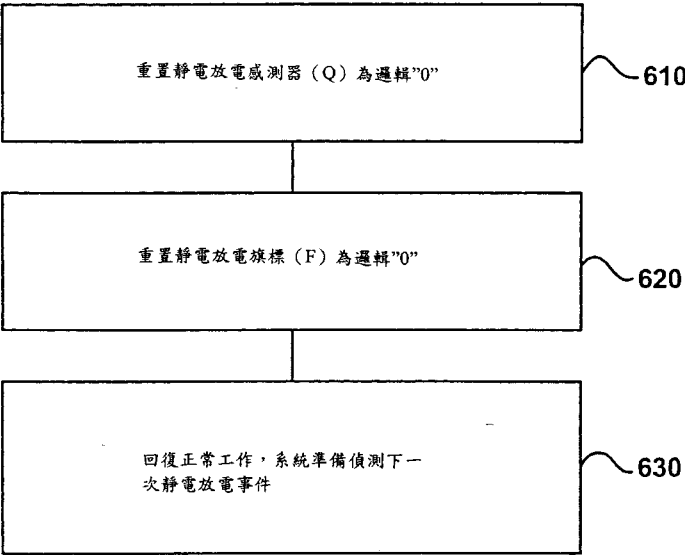
(7)



第 5(a)圖

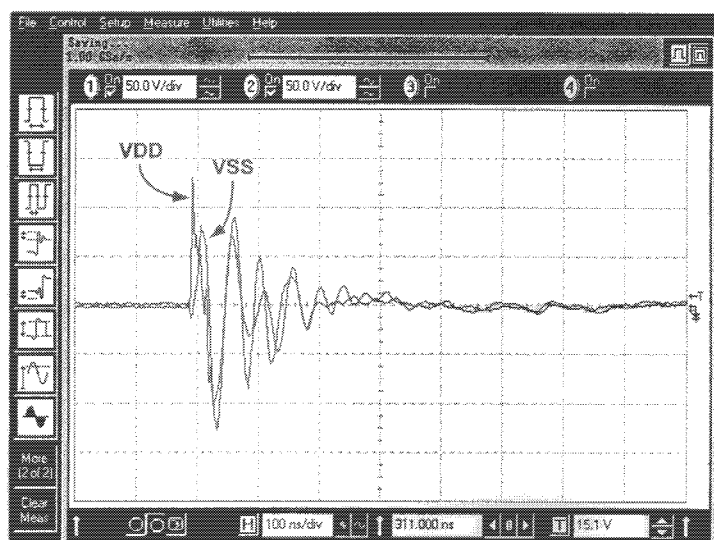


第 5(b) 圖

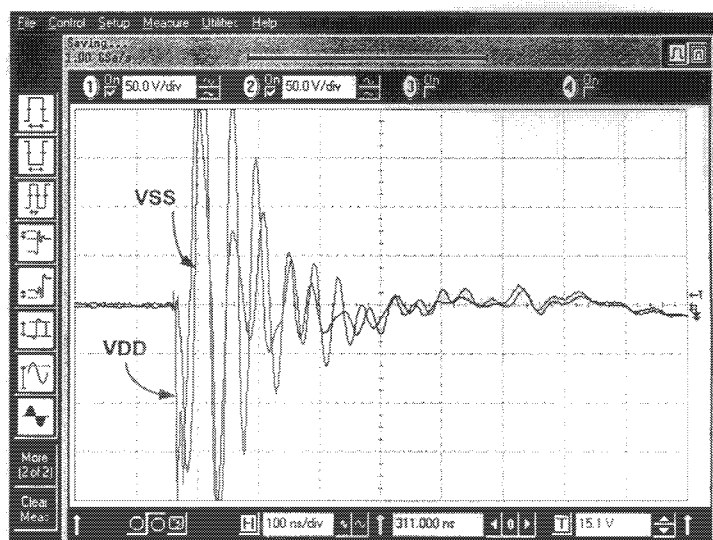


第 6 圖

(9)

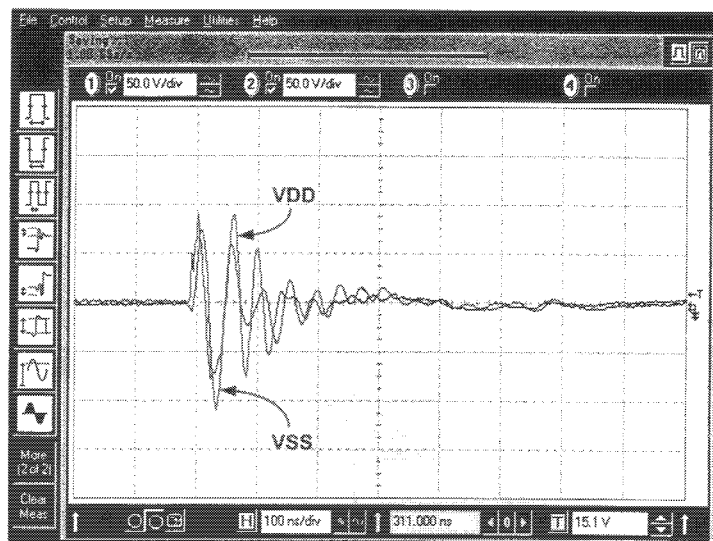


第 7 圖

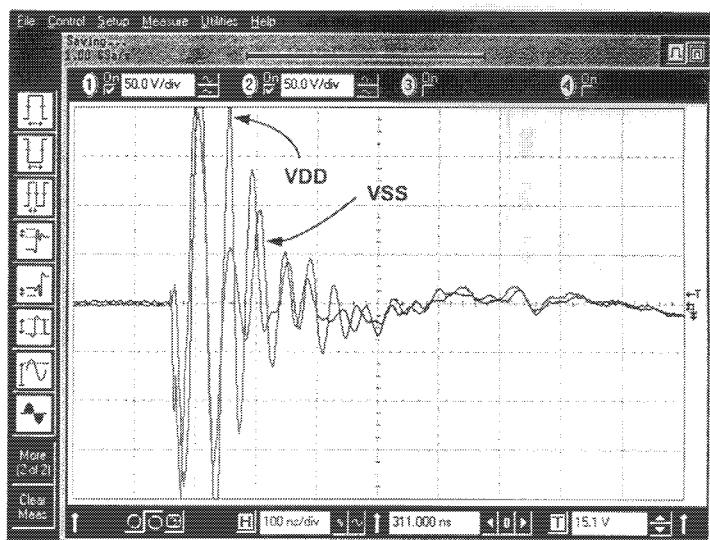


第 8 圖

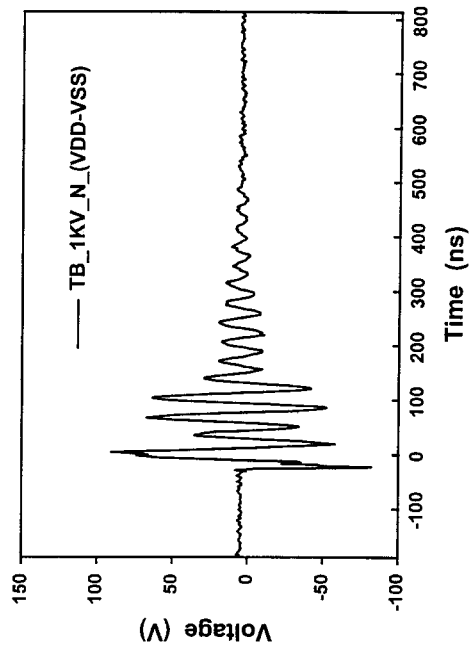
(10)



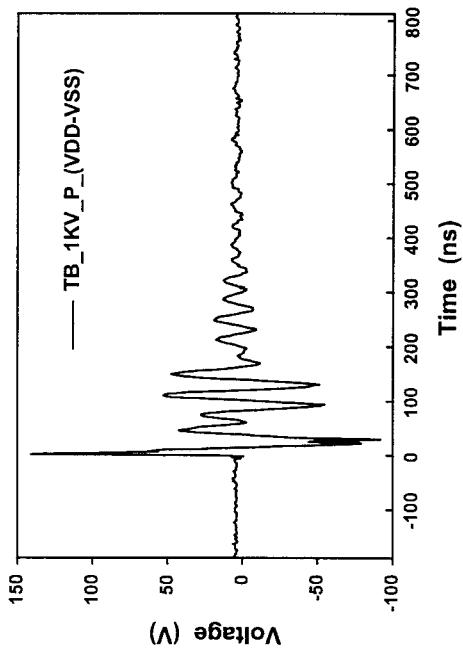
第 9 圖



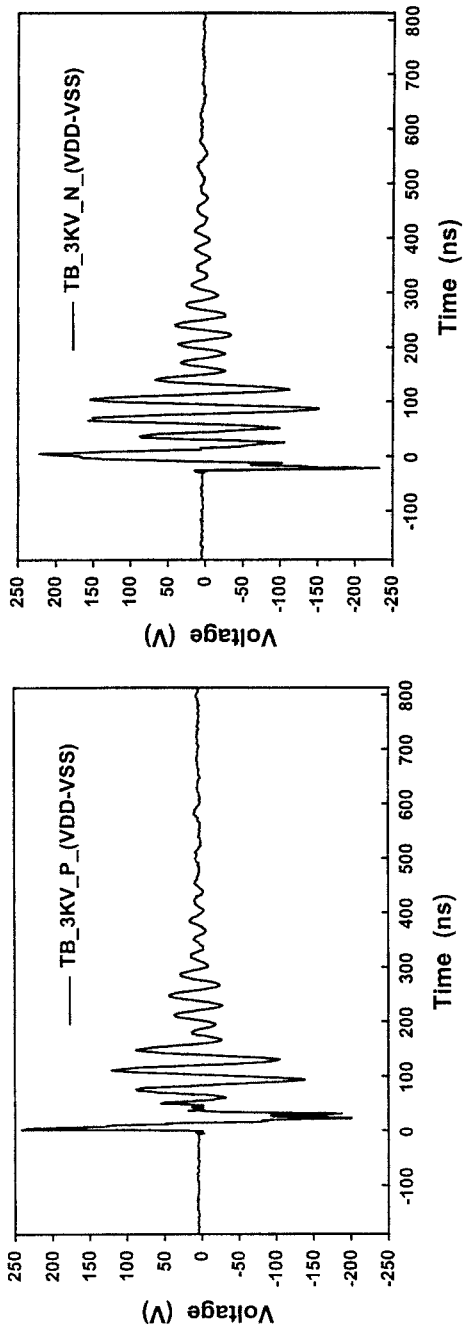
第 10 圖



第11(b)圖

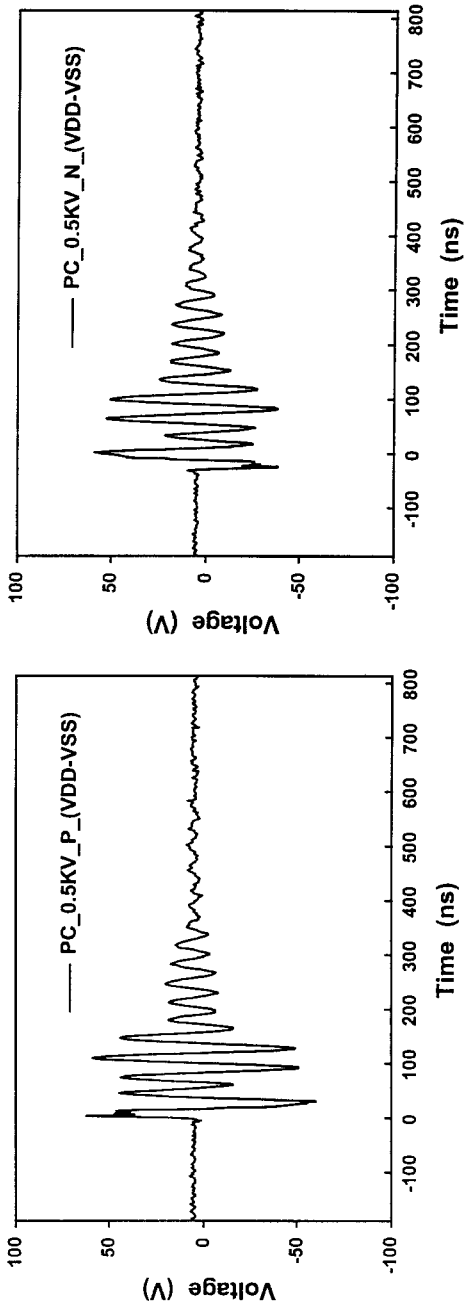


第11(a)圖



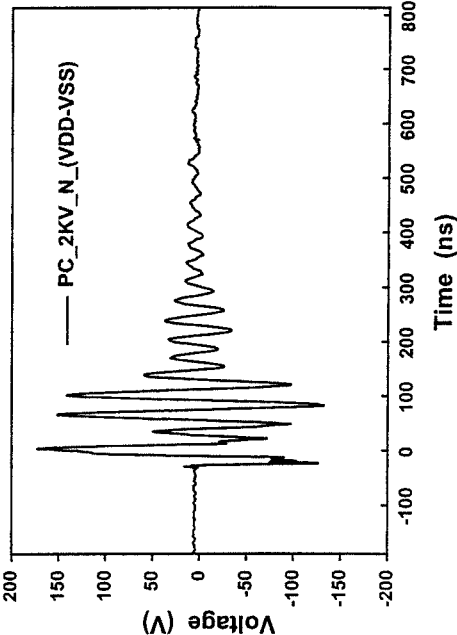
第 12(a) 圖

第 12(b) 圖

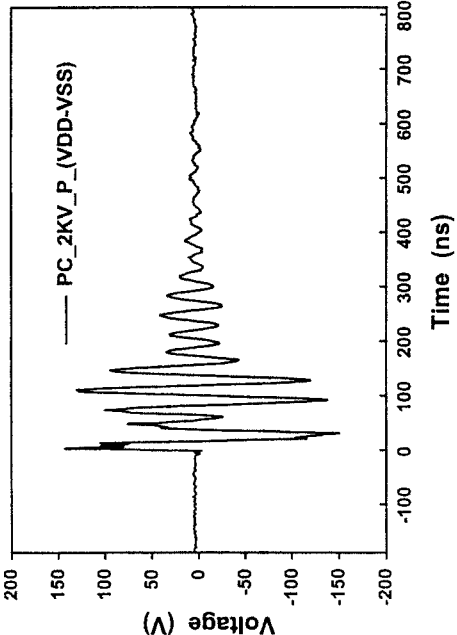


第13(b)圖

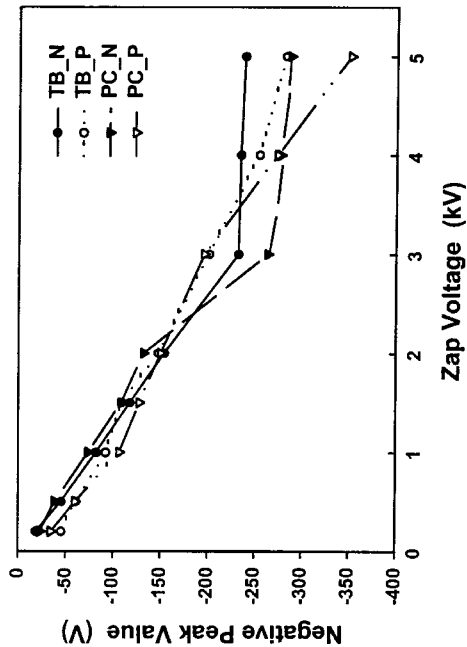
第13(a)圖



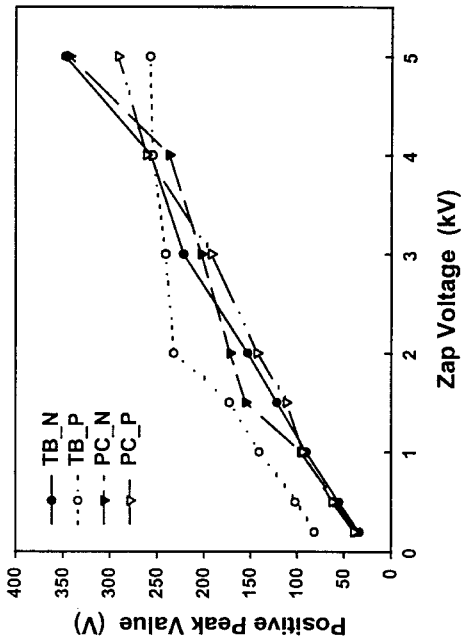
第 14(b) 圖



第 14(a) 圖

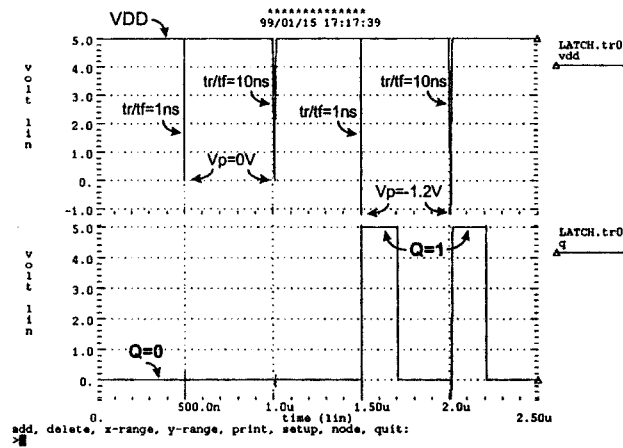


第 15(b) 圖

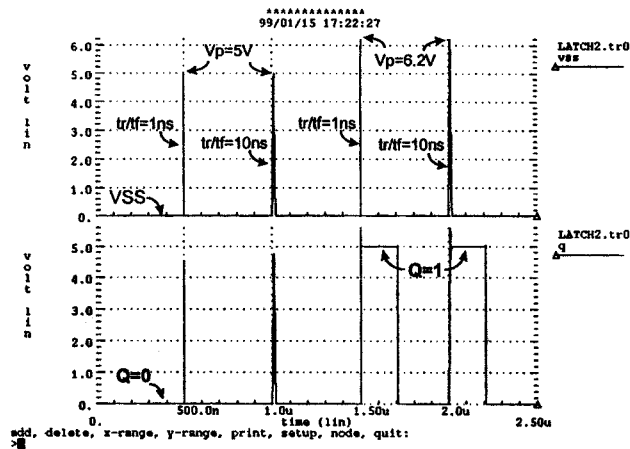


第 15(a) 圖

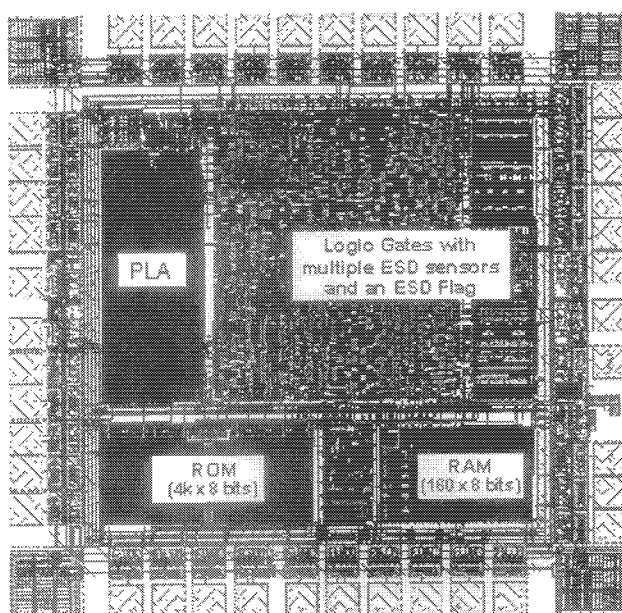
(16)



第 16 圖



第 17 圖



第 18 圖

