

【11】公告編號：573351

【44】中華民國 93 (2004) 年 01 月 21 日

【51】Int. Cl.⁷：H01L23/60

發明

全 11 頁

【54】名稱：覆晶封裝積體電路之靜電放電保護機制及具有靜電放電保護機制之晶片

【21】申請案號：091135408

【22】申請日期：中華民國 91 (2002) 年 12 月 06 日

【11】公開編號：200400612

【43】公開日期：中華民國 93 (2004) 年 01 月 01 日

【30】優先權：2002/06/19

美國 10/175,071

【72】發明人：

柯明道

KER, MING DOU

羅文裕

LO, WEN YU

【71】申請人：

矽統科技股份有限公司

SILICON INTEGRATED SYSTEMS
CORP.

新竹市新竹科學園區研新一
路十六號

【74】代理人：洪澄文 先生

顏錦順 先生

1

2

[57]申請專利範圍：

1. 一種覆晶封裝積體電路之靜電放電(ESD)保護機制，包括
一第一導線層，位於一封裝基板上；以及
一晶片，包括：
一被保護電路，由形成於上述晶片上之一第一高壓電源線及一第一低壓電源線所供電；以及
一ESD箝制電路，耦接於形成在上述晶片上之一第二高壓電源線及一

第二低壓電源線之間；

其中上述晶片上之上述第一、第二高壓電源線是分開的，且於靜電放電事件發生時，上述第一第一高壓電源線會藉由上述封裝基板上之第一導線層，耦接至上述第二高壓電源線。

2. 如申請專利範圍第1項所述之覆晶封裝積體電路之靜電放電(ESD)保護機制，其中上述晶片上之第一、第二

低壓電源線是分開的，上述第一低壓電源線會藉由封裝基板上之其他導線層，耦接至上述第二低壓電源線。

- 3.如申請專利範圍第1項所述之覆晶封裝積體電路之靜電放電(ESD)保護機制，其中上述晶片上之第一、第二低壓電源線是分開的，上述第一低壓電源線於上述晶片封裝完成後，並不會與上述第二低壓電源線耦接。
- 4.如申請專利範圍第1項所述之覆晶封裝積體電路之靜電放電(ESD)保護機制，其中上述被保護電路為一輸入/輸出電路。
- 5.如申請專利範圍第1項所述之覆晶封裝積體電路之靜電放電(ESD)保護機制，其中上述被保護電路為一核心電路。
- 6.如申請專利範圍第1項所述之覆晶封裝積體電路之靜電放電(ESD)保護機制，其中上述第一、第二高壓電源線以及上述第一、第二低壓電源線會分別耦接至形成有錫鉛凸塊之一第一、第二高壓電源接合墊以及一第一、第二低壓接合墊。
- 7.如申請專利範圍第1項所述之覆晶封裝積體電路之靜電放電(ESD)保護機制，其中更包括一第二導線層，位於上述封裝基板上，且上述第一、第二導線層會分別連接至一ESD防護單元之二接合墊上，上述ESD防護單元於正常操作下電性分離上述第一、第二導線層，而於靜電放電發生時，電性連接上述第一、第二導線層。
- 8.如申請專利範圍第1項所述之覆晶封裝積體電路之靜電放電(ESD)保護機制，其中於靜電放電發生時，上述第一高壓電源線係藉由上述第一導

線層、ESD防護單元以及第二導線層，連接至上述第二高壓電源線。

- 9.一種覆晶封裝積體電路之靜電放電(ESD)保護機制，包括：

5. 一第一導線層，位於一封裝基板上；以及
- 一晶片，包括：
 - 一被保護電路，由形成於上述晶片上之一第一高壓電源線及一第一低壓電源線所供電；以及
 - 一電源ESD箝制電路，耦接於形成在上述晶片上之一第二高壓電源線及一第二低壓電源線之間；
10. 其中上述晶片上之上述第一、第二低壓電源線是分開的，且於靜電放電發生時，上述第一低壓電源線會藉由上述封裝基板上之第一導線層，耦接至上述第二低壓電源線。
- 10.一種具有靜電放電保護機制之晶片，包括：
 - 一第一輸入/輸出電路，具有一第一電源線、一輸入/輸出接合墊以及一第一電源接合墊，上述第一電源接合墊係耦接至上述第一電源線；
 25. 一ESD箝制電路，具有一第二電源線、至少二第二電源接合墊，上述二個第二電源接合墊之一者，係耦接至上述第二電源線；
 30. 其中上述晶片上之上述第一、第二電源線是分開的，但藉由一封裝基板上之一導線層，上述第一電源接合墊會電性連接至上述第二電源線。

圖式簡單說明：

35. 第1圖係表示一使用晶片上金屬線來連接VDD-to-VSS ESD箝制電路與I/O電路或核心電路之傳統ESD保護機制。

40. 第2圖表示一傳統封裝IC晶片，I/O電路、VDD-to-VSS ESD箝制

電路以及核心電路之佈局。

第 3 圖表示本發明針對核心電路或 I/O 電路之 ESD 保護機制。

第 4 圖表示本發明針對具有分別對應 I/O 電路與核心電路之分離電源線對間之 ESD 保護機制。

第 5 圖提供不同電源線對間之靜電放電保護機制。

第 6 圖表示第 4 圖、第 5 圖中 ESD

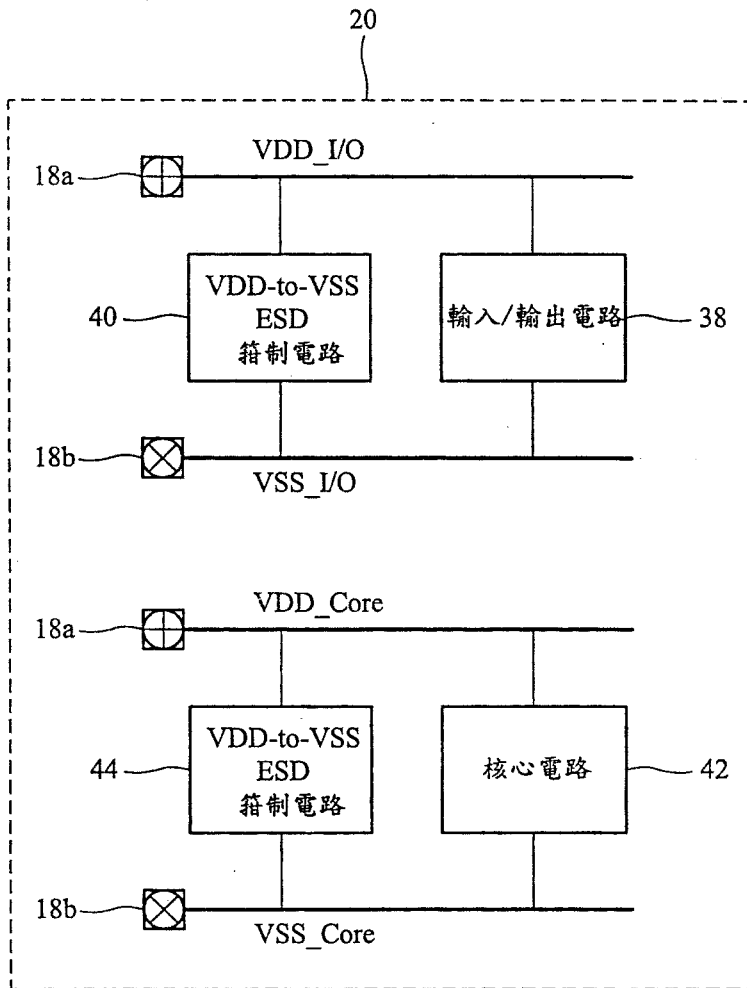
保護機制之組合。

第 7 圖提供不同電源線對間之 ESD 保護機制設計。

第 8 圖表示利用本發明所構成之 ESD 保護系統。

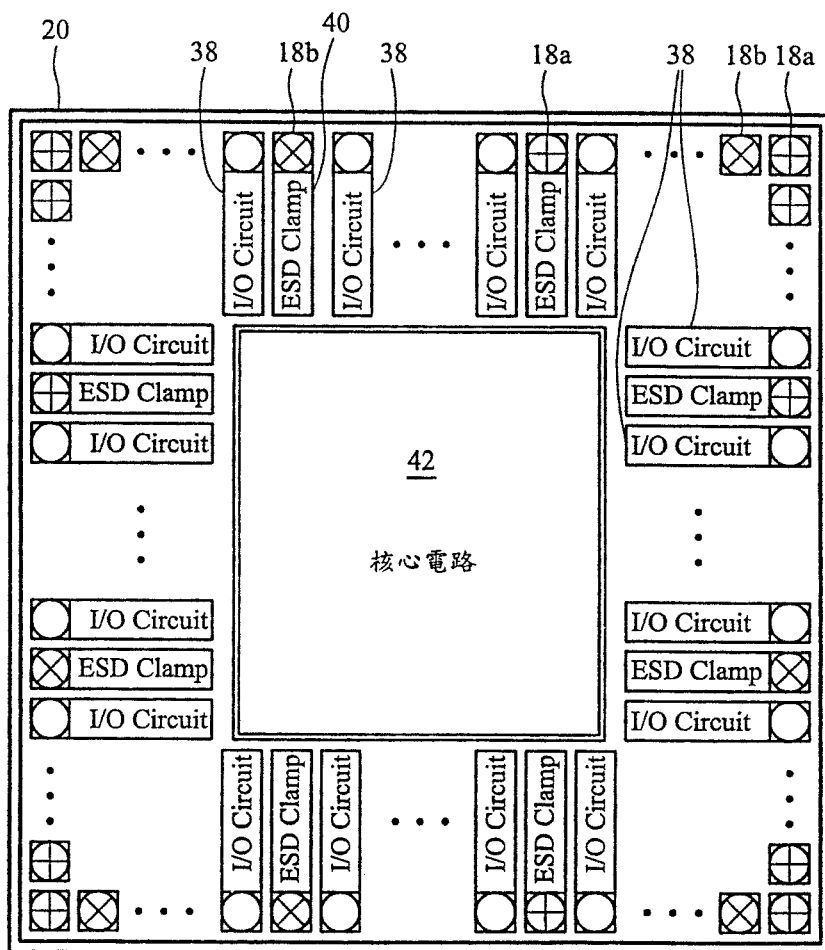
第 9 圖與為一覆晶晶片之接合墊的上視圖。

第 10 圖為另一覆晶晶片之接合墊的上視圖。



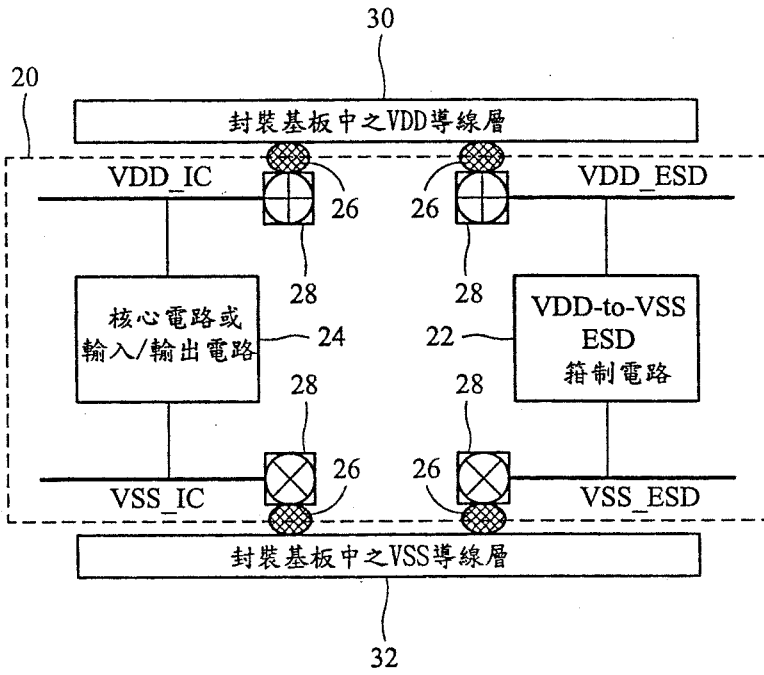
第 1 圖

(4)

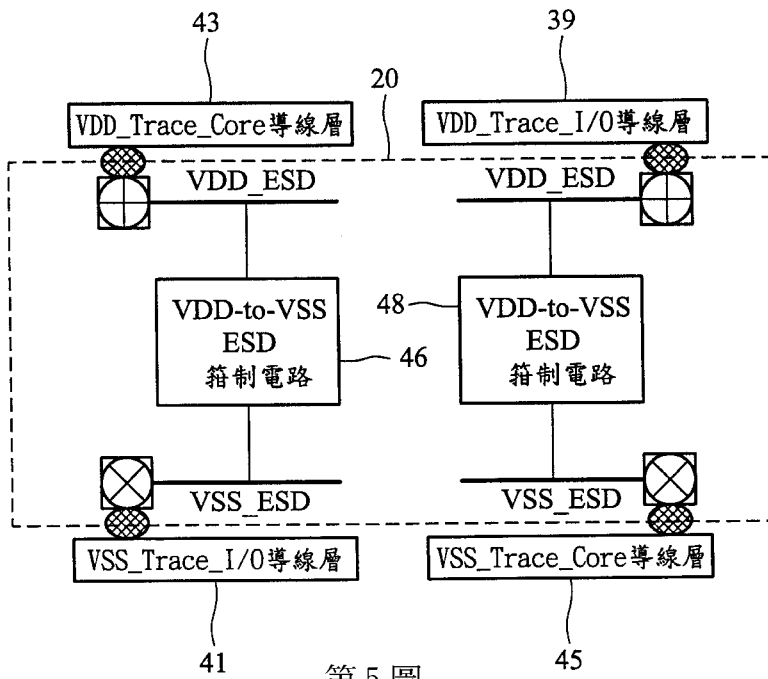


第 2 圖

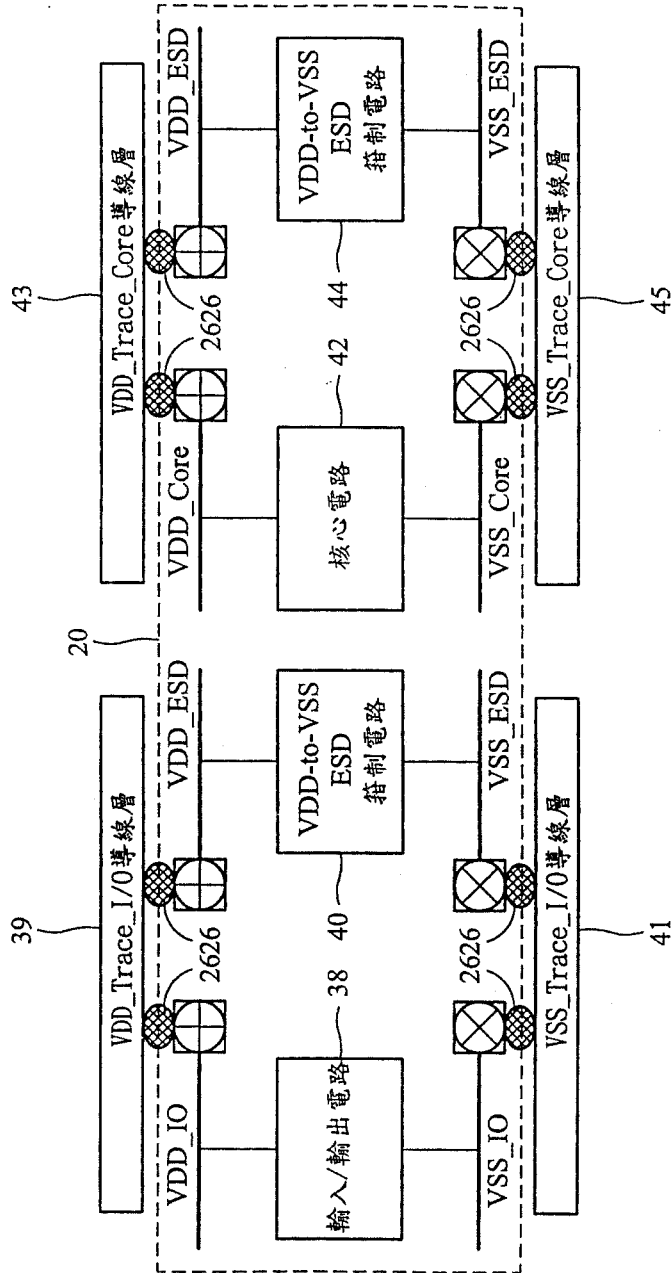
(5)



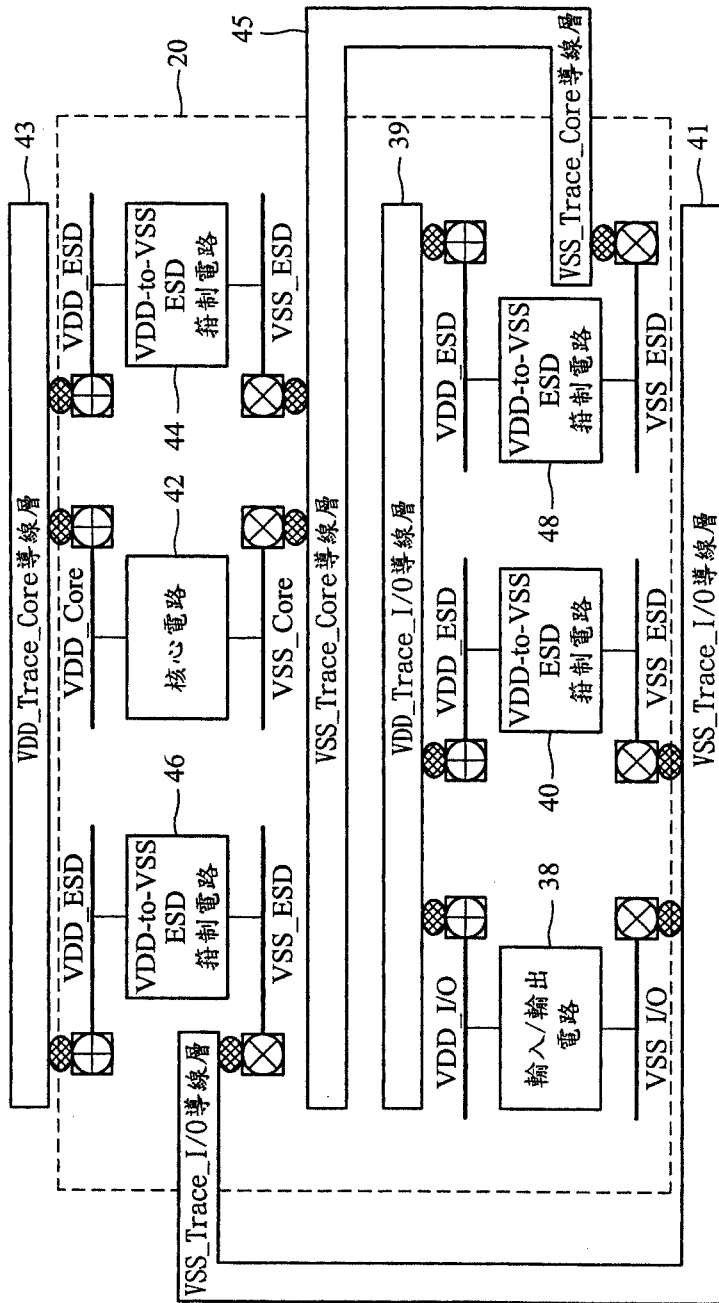
第 3 圖



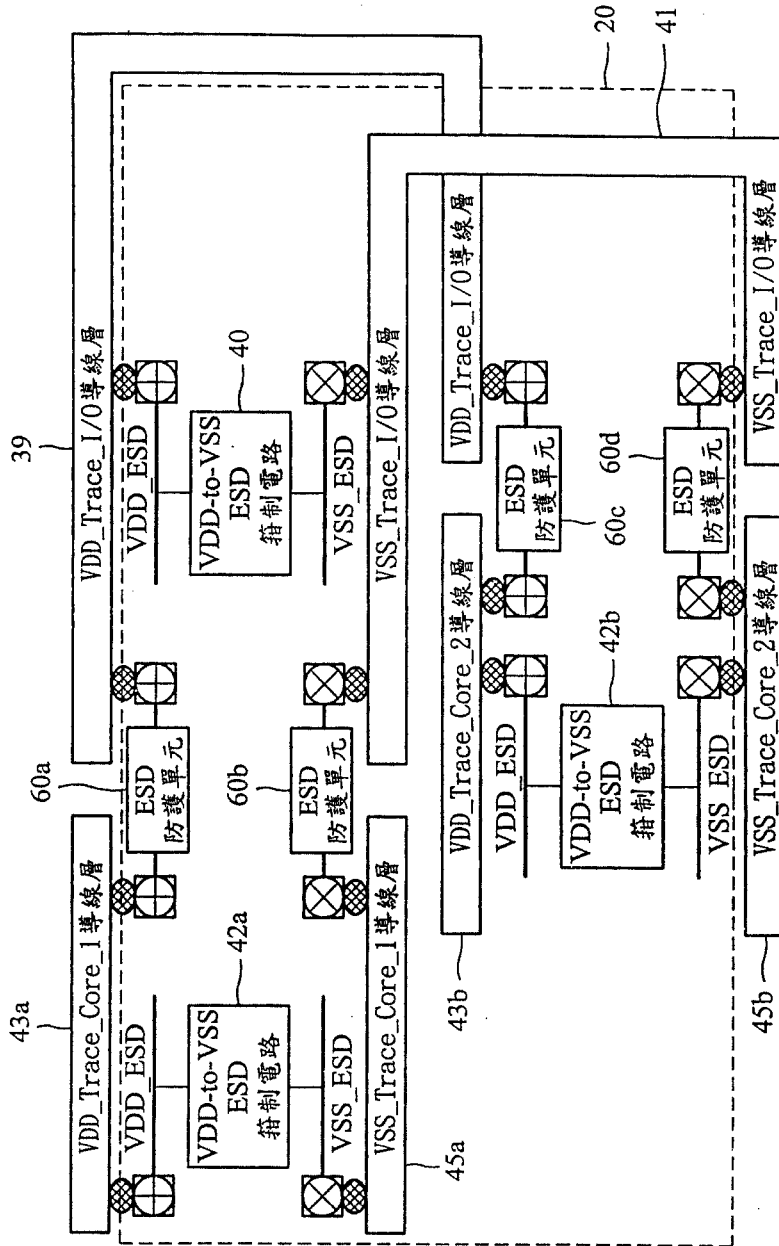
第 5 圖



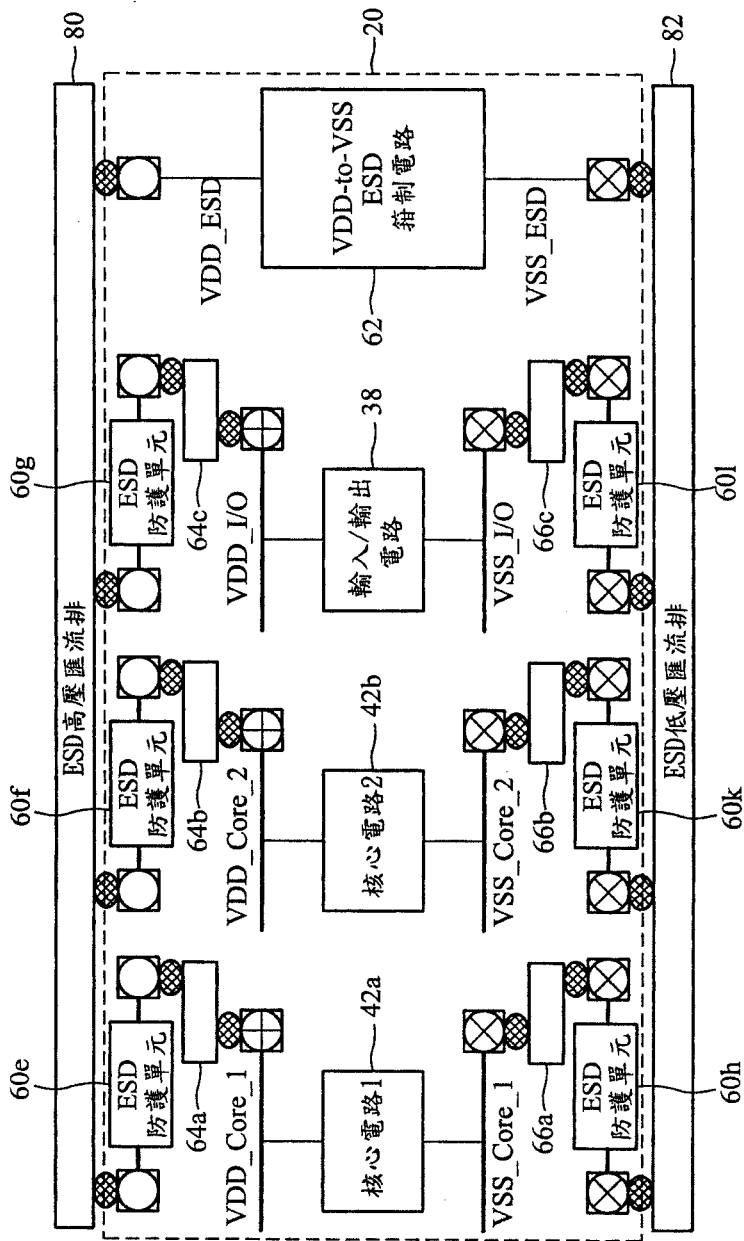
第 4 圖



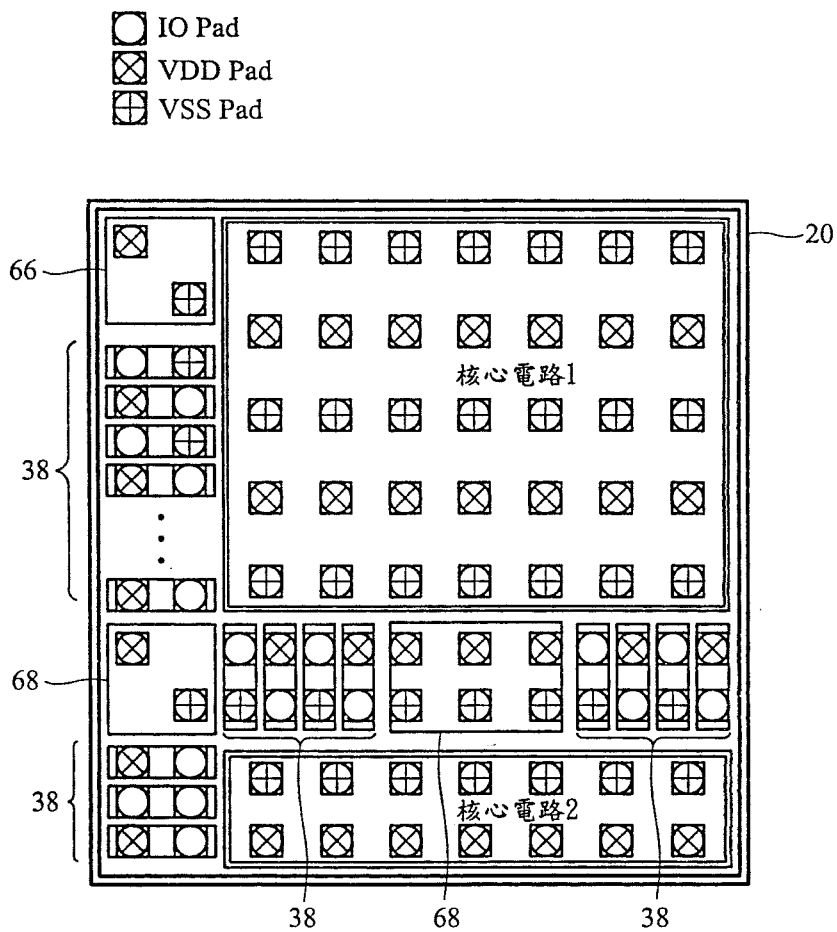
第 6 圖



第 7 圖



第 8 圖



第 10 圖

