

【11】公告編號：578242

【44】中華民國 93 (2004) 年 03 月 01 日

【51】Int. Cl.⁷： H01L21/331

發明

全 15 頁

【54】名 稱：雙極性接面電晶體元件結構及其在靜電放電防護上之應用

【21】申請案號：091112482

【22】申請日期：中華民國 91 (2002) 年 06 月 07 日

【11】公開編號：

【43】公開日期：中華民國 年 月 日

【30】優先權：2002/03/12

美國 10/094,814

【72】發 明 人：

張智毅

CHANG, CHYH YIH

姜信欽

JIANG, HSIN CHIN

柯明道

KER, MING DOU

【71】申請人：

財團法人工業技術研究院

INDUSTRIAL TECHNOLOGY RESEARCH
INSTITUTE

新竹縣竹東鎮中興路四段一
九五號

【74】代理人：

1

2

[57]申請專利範圍：

1.一種積體電路元件，包含：

一個基材；

一層介電層置於該基材上；和

一層矽晶層置於該介電層上，包含

一個第一部分，一個第二部分，和

一個置於第一與第二部分之間的第
三部分，

其中，該第一與第二部分摻雜相同

型式的雜質，而該第三部分則摻雜

與該第一、第二部分不同型式的雜

質，以及

其中，該第一、第二及第三部分形
成一個矽晶雙極性接面電晶體，該
第一與第二部分形成該矽晶雙極性
接面電晶體的集極或射極其中之
一，而該第三部分形成該矽晶雙極
性接面電晶體的基極，以提供靜電
放電防護。

2.如申請專利範圍第1項之積體電路元

10. 件，其中該第一與第二部分摻雜n型

雜質，而該第三部分摻雜p型雜質。

- 3.如申請專利範圍第1項之積體電路元件，其中該第一與第二部分摻雜p型雜質，而該第三部分摻雜n型雜質。
- 4.如申請專利範圍第1項之積體電路元件，跟進一步包含一層絕緣層置於該基材與該介電層之間，其中該積體電路元件為一個絕緣層上矽元件。
- 5.如申請專利範圍第1項之積體電路元件，其中該矽晶層更進一步包含一個置於第二部分與第三部分之間的第四部分。
- 6.如申請專利範圍第5項之積體電路元件，其中該包含於矽晶層之第四部分摻雜了雜質濃度低於第一、第二與第三部分之雜質濃度的雜質。
- 7.如申請專利範圍第5項之積體電路元件，其中該包含於矽晶層之第四部分為無摻雜的。
- 8.如申請專利範圍第1項之積體電路元件，其中該矽晶雙極性接面電晶體跟進一步包含一個背閘極以接受偏壓訊號來控制該矽晶雙極性接面電晶體，以提供靜電放電防護。
- 9.如申請專利範圍第4項之積體電路元件，其中該矽晶層更進一步包含一個置於第二部分與第三部分之間的第四部分。
- 10.如申請專利範圍第9項之積體電路元件，其中該包含於矽晶層之第四部分摻雜了雜質濃度低於第一、第二與第三部分之雜質濃度的雜質。
- 11.如申請專利範圍第9項之積體電路元件，其中該包含於矽晶層之第四部分為無摻雜的。
- 12.如申請專利範圍第9項之積體電路元件，其中該矽晶雙極性接面電晶體跟進一步包含一個背閘極以接受偏壓訊號來控制該矽晶雙極性接面

電晶體，以提供靜電放電防護。

- 13.一種積體電路元件，包含：
 - 一個基材，此基材具有一個第一絕緣層以及一個與第一絕緣層不相鄰的第二絕緣層，與一個位於第一絕緣層與第二絕緣層之間的偏壓區；
 - 一個介電層置於該基材上；和
 - 一層矽晶層置於該介電層上，包含一個第一部分、一個第二部分、和一個位於第一部分與第二部分之間的第三部分，
 其中，該第一部分與第二部分摻雜了相同型式的雜質，而該第三部分則摻雜了與第一、第二部分不同型式的雜質，和
 - 其中，該第一部分、第二部分與第三部分形成了一個矽晶雙極性接面電晶體，該第一與第二部分形成該矽晶雙極性接面電晶體的集極或射極其中之一，而該第三部分形成該矽晶雙極性接面電晶體的基極，以提供靜電放電防護。
- 14.如申請專利範圍第13項之積體電路元件，其中上述第三部分位於上述偏壓區之上方，以接受來自偏壓區的偏壓訊號。
- 15.如申請專利範圍第13項之積體電路元件，其中該基材進一步包含一個鉀墊電性耦合至該偏壓區，以接受偏壓訊號來提供偏壓給偏壓區。
- 16.如申請專利範圍第13項之積體電路元件，其中該矽晶雙極性接面電晶體進一步包含一個背閘極以接受偏壓來控制該矽晶雙極性接面電晶體，以提供靜電放電防護。
- 17.如申請專利範圍第13項之積體電路元件，其中該矽晶層進一步包含一個位於第二部分與第三部分之間的第四部分。
- 18.如申請專利範圍第17項之積體電路

元件，其中上述矽晶層的第三部分與第四部分位於上述偏壓區之上方，以接受來自偏壓區的偏壓訊號。

- 19.如申請專利範圍第17項之積體電路元件，其中上述矽晶層的第四部分位於上述偏壓區之上方，以接受來自偏壓區的偏壓訊號。
- 20.如申請專利範圍第17項之積體電路元件，其中上述矽晶層的第四部分摻雜了一種雜質，且此雜質之雜質濃度低於上述矽晶層的第一、第二、與第三部分所摻雜之雜質的雜質濃度。
- 21.如申請專利範圍第17項之積體電路元件，其中上述矽晶層的第四部分為無摻雜的。
- 22.如申請專利範圍第13項之積體電路元件，更進一步包含一層位於上述基材與上述介電層之間的絕緣層，其中該積體電路元件為一個絕緣層上矽元件。
- 23.如申請專利範圍第22項之積體電路元件，其中該矽晶層進一步包含一個位於第二部分與第三部分之間的第四部分。
- 24.如申請專利範圍第22項之積體電路元件，其中上述矽晶層的第四部分摻雜了一種雜質，且此雜質之雜質濃度低於上述矽晶層的第一、第二、與第三部分所摻雜之雜質的雜質濃度。
- 25.如申請專利範圍第22項之積體電路元件，其中上述矽晶層的第四部分為無摻雜的。
- 26.如申請專利範圍第22項之積體電路元件，其中該矽晶雙極性接面電晶體進一步包含一個背閘極以接受偏壓來控制該矽晶雙極性接面電晶體，以提供靜電放電防護。

27.一種積體電路元件，從一個訊號鉀墊接受訊號，包含至少一個矽晶雙極性接面電晶體，該矽晶雙極性接面電晶體對訊號鉀墊之訊號進行反應，以提供靜電放電防護；和

5. 一個用以偵測訊號鉀墊之訊號之偵測電路，提供一偏壓訊號給上述至少一個矽晶雙極性接面電晶體，其中該至少一個矽晶雙極性接面電晶體包含形成於一矽晶層內的一個射極、集極、與基極，且此矽晶層與基材相互隔絕，和
10. 其中，該基極耦合到該偵測電路以接受偏壓訊號。
15. 28.如申請專利範圍第27項之積體電路元件，其中該至少一個矽晶雙極性接面電晶體更進一步包含一個背閘極，其中該背閘極耦合到該偵測電路以接受偏壓訊號。
20. 29.如申請專利範圍第27項之積體電路元件，更進一步包含一個第一矽晶部分鄰近於基極，並鄰近於射極與集極其中之一。
25. 30.如申請專利範圍第29項之積體電路元件，其中該第一矽晶部分摻雜了一種雜質，且此雜質之雜質濃度低於上述射極、集極、與基極所摻雜之雜質的雜質濃度。
30. 31.如申請專利範圍第29項之積體電路元件，其中該第一矽晶部分為無摻雜的。
- 32.如申請專利範圍第27項之積體電路元件，其中該偵測電路包含了一個電阻-電容電路。
35. 33.如申請專利範圍第32項之積體電路元件，其中該偵測電路更進一步包含了一個與上述電阻-電容電路並連之二極體-電阻電路。
40. 34.如申請專利範圍第32項之積體電路元件，其中該偵測電路更進一步包

含了一個反相器，該反相器耦接到該矽晶雙極性接面電晶體之基極，並且並連於該電阻 - 電容電路。

35.一種保護半導體元件避免靜電放電傷害之方法，包含：

提供一個基材；

提供一個介電層置於上述基材之上；

提供一個製作於一層矽晶層內之矽晶雙極性接面電晶體，且該矽晶層位於上述介電層之上；

偏壓該矽晶雙極性接面電晶體以提供靜電放電防護。

36.如申請專利範圍第35項之方法，其中更進一步包含一個提供一層絕緣層置於上述基材與介電層之間的步驟，其中該半導體元件為一個絕緣層上矽元件。

37.如申請專利範圍第35項之方法，更進一步包含一個提供一個矽晶雙極性接面電晶體之基極以接受偏壓訊號來控制矽晶雙極性接面電晶體的步驟，用以提供靜電放電防護。

38.如申請專利範圍第35項之方法，更進一步包含一個提供一個偵測電路以偵測靜電放電訊號的步驟，用以提供一偏壓訊號給該矽晶雙極性接面電晶體。

39.如申請專利範圍第35項之方法，更進一步包含一個提供一個時間延遲常數偵測大於靜電放電持續時間之偵測電路的步驟。

圖式簡單說明：

第1A圖 繪示的是一種習知之靜電放電防護元件的剖面圖。

第1B圖 繪示的是另一種習知之靜電放電防護元件的剖面圖。

第2圖 繪示的是一種習知之靜電放電防護元件的電路圖。

第3圖 繪示的是一種習知之矽控整流器的剖面圖。

5. 第4圖 繪示的是另一種習知之矽控整流器的剖面圖。

第5圖 繪示的是一種習知之矽控整流器的剖面圖。

10. 第6圖 繪示的是根據本發明精神的一個實施例，一個矽晶雙極性接面電晶體的剖面圖。

第7圖 繪示的是根據本發明精神的另一個實施例，一個矽晶雙極性接面電晶體的剖面圖。

15. 第8圖 繪示的是根據本發明精神的一個實施例，一個矽晶雙極性接面電晶體的剖面圖。

20. 第9圖 繪示的是根據本發明精神的又一個實施例，一個矽晶雙極性接面電晶體的剖面圖。

第10圖 繪示的是根據本發明精神的一個實施例，一個矽晶雙極性接面電晶體的剖面圖。

25. 第11圖 繪示的是根據本發明精神的另一個實施例，一個矽晶雙極性接面電晶體的剖面圖。

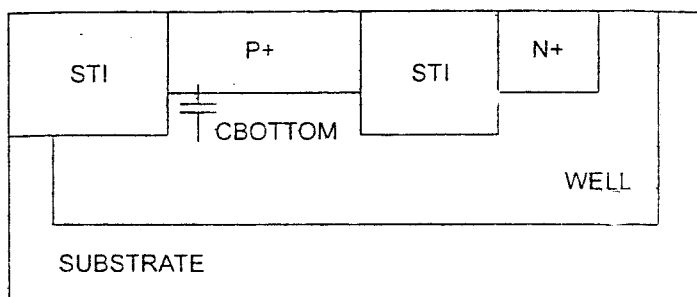
第12A-12D圖 繪示的是矽晶雙極性接面電晶體的電路符號圖。

30. 第13圖 繪示的是根據本發明精神的一個靜電放電防護電路實施例之電路圖。

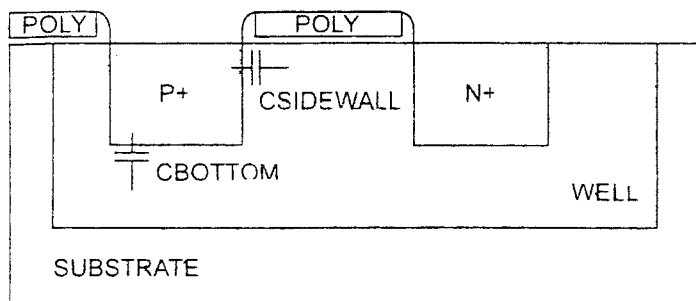
第14圖 繪示的是根據本發明精神的另一個靜電放電防護電路實施例之電路圖。

35. 第15圖 繪示的是根據本發明精神的一個靜電放電防護電路實施例之電路圖。

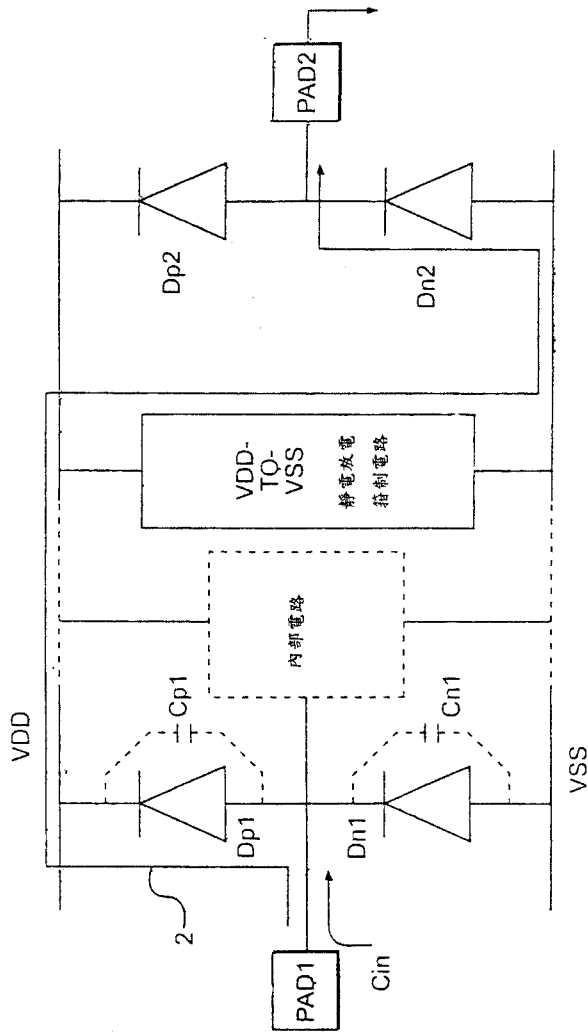
(5)



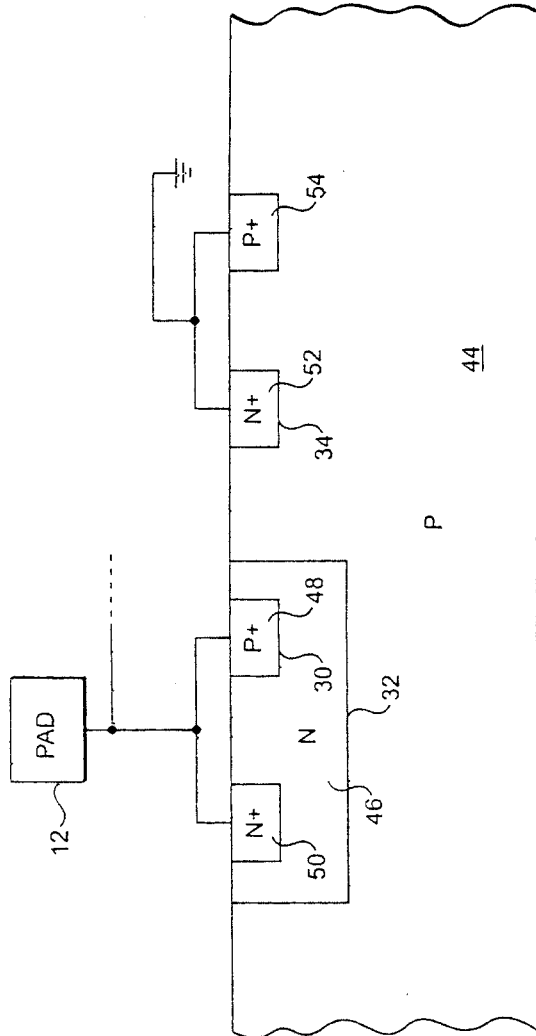
第 1A 圖



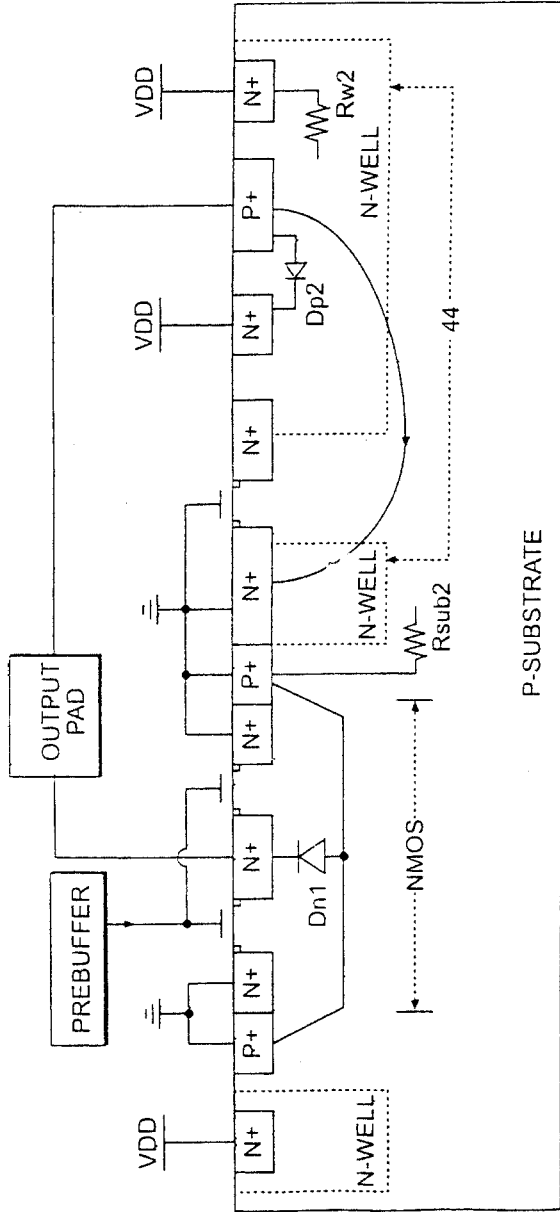
第 1B 圖



第 2 圖

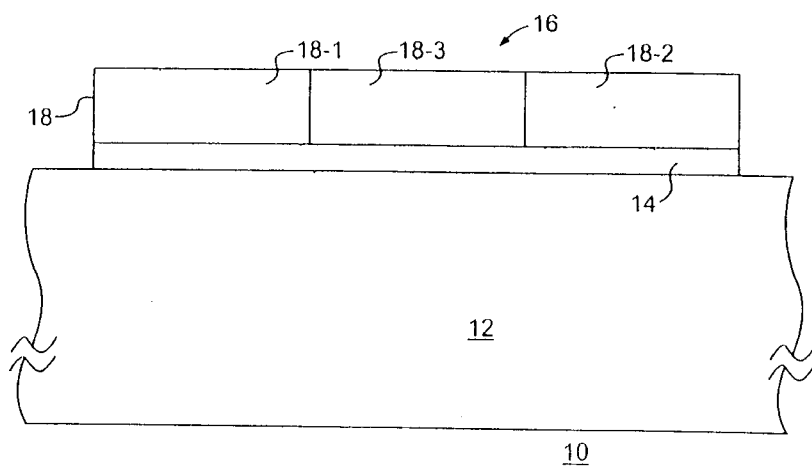


第 3 圖

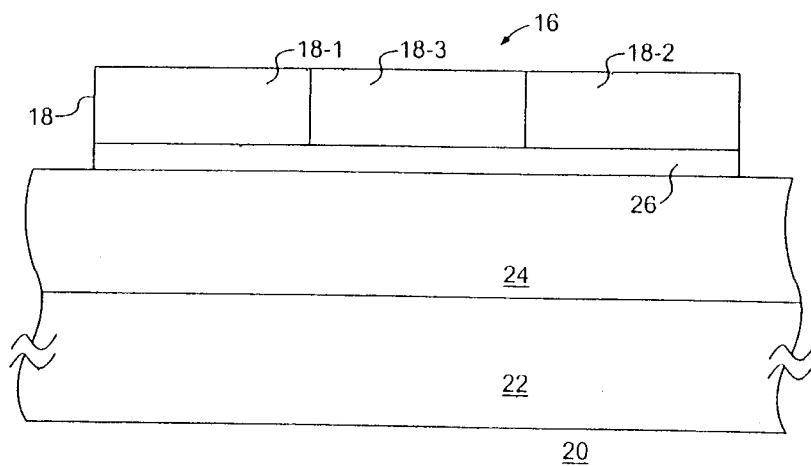


第 5 圖

(10)

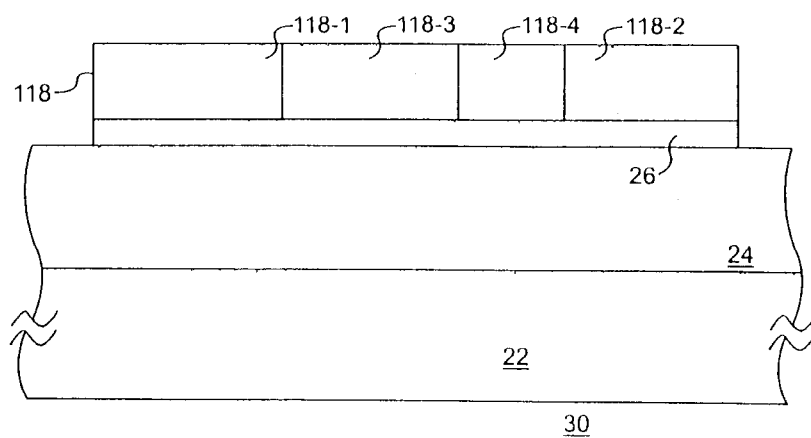


第 6 圖

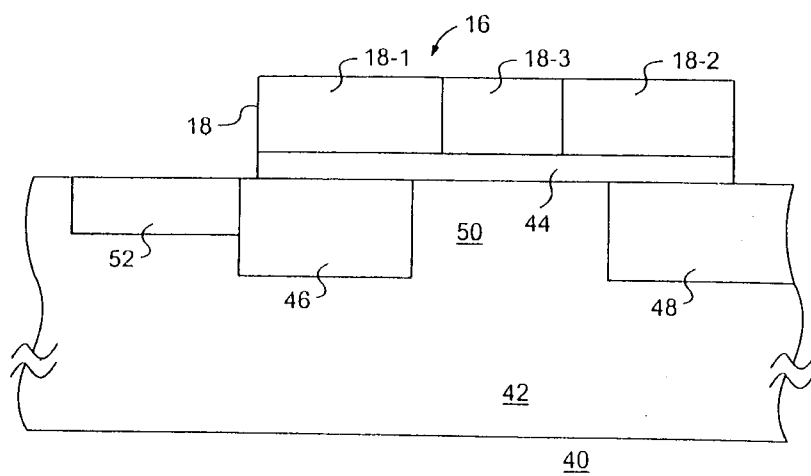


第 7 圖

(11)

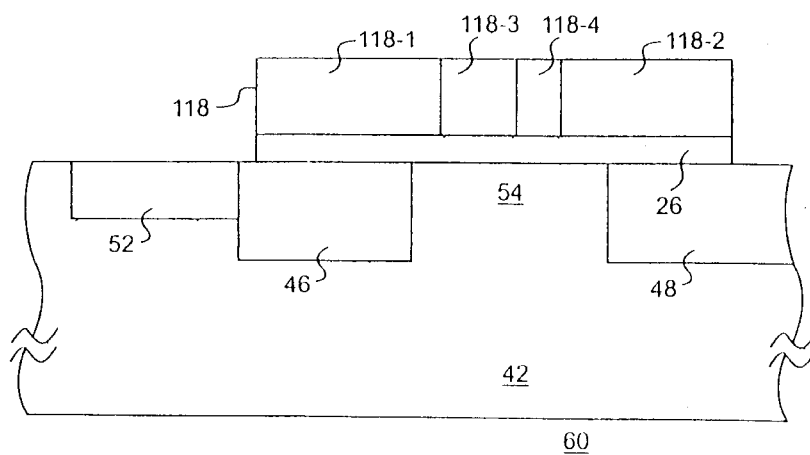


第 8 圖

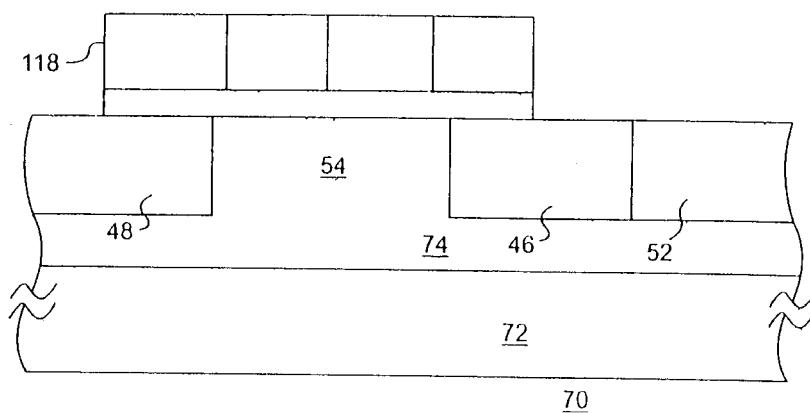


第 9 圖

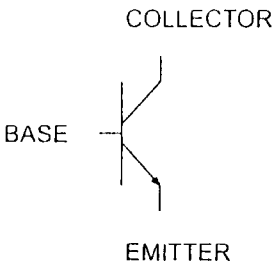
(12)



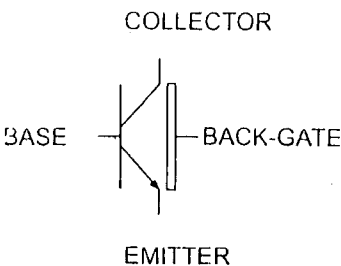
第 10 圖



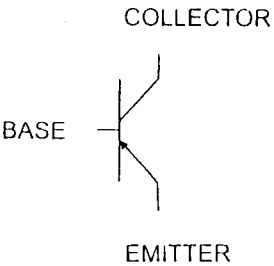
第 11 圖



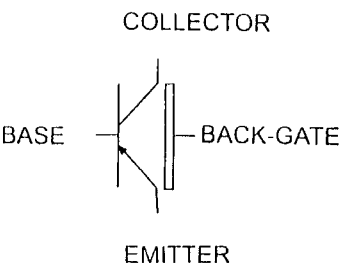
第 12A 圖



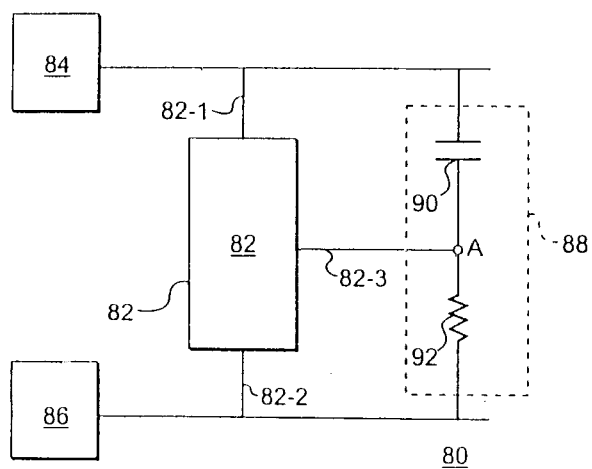
第 12C 圖



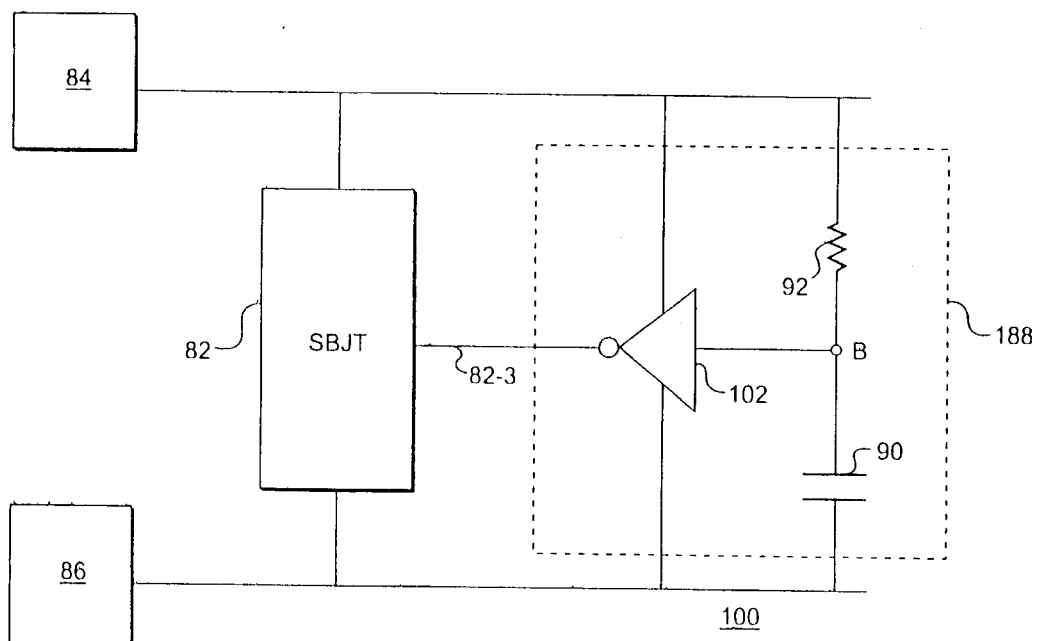
第 12B 圖



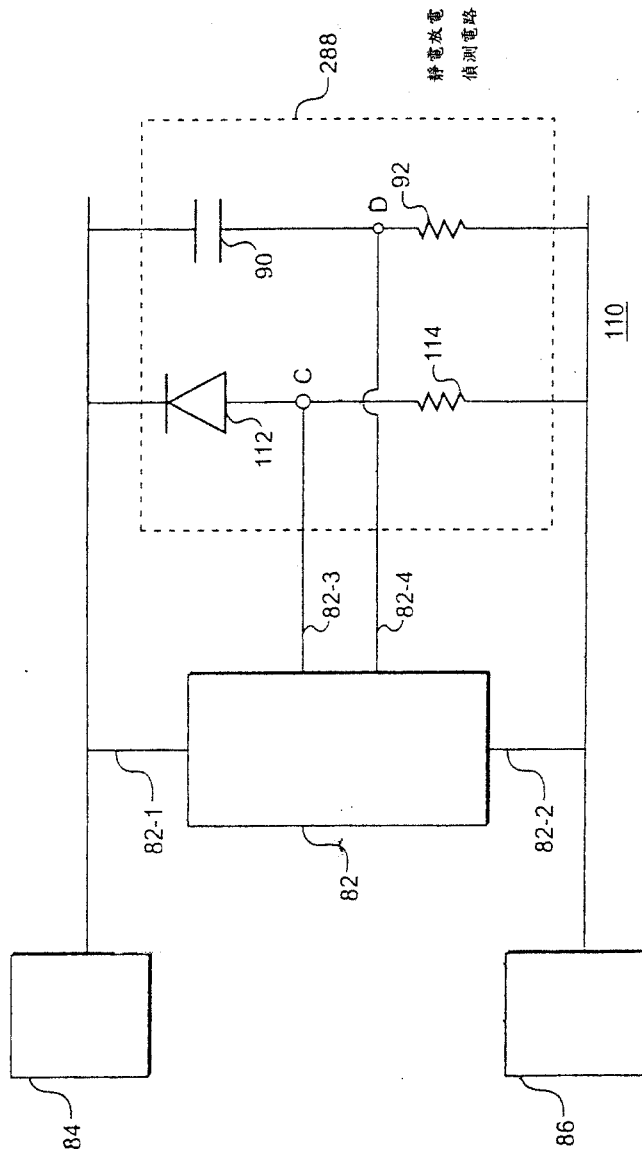
第 12D 圖



第 13 圖



第 14 圖



第15圖

