

【11】公告編號：584953

【44】中華民國 93 (2004) 年 04 月 21 日

【51】Int. Cl.⁷：H01L23/60

發明

全 8 頁

【54】名稱：具厚膜複晶矽之靜電放電防護元件、電子裝置及其製造方法

ESD PROTECTION DEVICE WITH THICK POLY FILM,
ELECTRONIC DEVICE AND METHOD FOR FORMING THE SAME

【21】申請案號：092109702

【22】申請日期：中華民國 92 (2003) 年 04 月 25 日

【11】公開編號：

【43】公開日期：中華民國 年 月 日

【72】發明人：

柯明道

KER, MING DOU

鄧至剛

DENG, CHIH-KANG

曾當貴

TSENG, TANG-KUI

石安

SHIN, AN

楊勝捷

YANG, SHENG-CHIEH

【71】申請人：

統寶光電股份有限公司

TOPPOLY OPTOELECTRONICS CORP.

苗栗縣竹南鎮新竹科學工業園區科中路十二號

【74】代理人：蔡玉玲 先生

1

2

[57]申請專利範圍：

1.一種具有厚膜複晶矽之靜電放電防護元件，係應用於一靜電放電防護電路以保護一電子裝置，包含：

一基板；

一複晶矽層，形成於該基板之上，係具有一厚度約介於 100 至 500 奈米之間；以及

源極/汲極區域，形成於該複晶矽層中且藉由一通道隔開。

2.如申請專利範圍第 1 項所述之靜電放

電防護元件，其中該基板係可為玻璃基板、石英基板或是兩者組成之族群所選出。

3.如申請專利範圍第 1 項所述之靜電放電防護元件，更包含一閘極氧化層及一閘極，其中該靜電放電防護元件係位於該電子裝置之一輸入/輸出墊端，以提供靜電放電防護。

4.一種具有厚膜複晶矽之靜電放電防護元件，係應用於一靜電放電防護電

路以保護一電子裝置，包含：

一基板；

一複晶矽層，形成於該基板之上，係具有一厚度介於 100 至 500 奈米之間；以及

一 N 型摻雜區域，形成於該複晶矽層中；以及

一 P 型摻雜區域，形成於該複晶矽層中。

5. 如申請專利範圍第 1 項所述之靜電放電防護元件，其中該 N 型摻雜區域係緊鄰該 P 型摻雜區域，以形成一 PN 二極體靜電放電防護元件。

6. 如申請專利範圍第 1 項所述之靜電放電防護元件，更包含一本質區域 (intrinsic region)，係介於該 N 型摻雜區域及該 P 型摻雜區域之間，以形成一 PIN 二極體靜電放電防護元件。

7. 如申請專利範圍第 1 項所述之靜電放電防護元件，其中該基板係可為玻璃基板、石英基板或是兩者組成之族群所選出。

8. 如申請專利範圍第 5 或 6 項所述之靜電放電防護元件，其中該靜電放電防護元件係位於該電子裝置之輸入/輸出墊端。

9. 一種具厚膜複晶矽之靜電放電防護元件之電子裝置，包含：

一基板，係具有一元件區域及一靜電放電防護電路區域；

一第一複晶矽層，形成於該基板之元件區域上，係具有一第一厚度，用以形成一電子元件；以及

一第二複晶矽層，形成於該基板之靜電放電防護電路區域上，係具有一第二厚度，用以形成該靜電放電防護元件；

其中該第二厚度係大於該第一厚度。

10. 如申請專利範圍第 9 項所述之電子

裝置，其中該電子元件更包含第一源極/汲極區域，於該第一複晶矽層中，藉由一第一通道隔開。

11. 如申請專利範圍第 10 項所述之電子裝置，其中該靜電放電防護元件更包含第二源極/汲極區域，於該第二複晶矽層中，藉由一第二通道隔開。

12. 如申請專利範圍第 10 項所述之電子裝置，更包含一 N 型摻雜區域及一 P 型摻雜區域，於該第二複晶矽層中，以形成一 PN 二極體靜電放電防護元件。

13. 如申請專利範圍第 12 項所述之電子裝置，更包含一本質區域，係介於該 N 型摻雜區域及該 P 型摻雜區域之間，以形成一 PIN 二極體靜電放電防護元件。

14. 如申請專利範圍第 9 項所述之電子裝置，其中該第二厚度係約介於 100 至 500 奈米之間。

15. 一種形成具有厚膜複晶矽之靜電放電防護元件的方法，該靜電放電防護元件係應用於一靜電放電防護電路，以保護一電子裝置，包含：

提供一基板，係具有一元件區域及一靜電放電防護電路區域；

形成一第一複晶矽層，於該基板之元件區域上，係具有一第一厚度，用以形成一電子元件；以及

形成一第二複晶矽層，於該基板之靜電放電防護電路區域上，係具有一第二厚度，用以形成該靜電放電防護元件；

其中該第二厚度係大於該第一厚度。

16. 如申請專利範圍第 15 項所述之方法，其中形成該第一複晶矽層及該第二複晶矽層之步驟包含：

形成該第二複晶矽層於該基板，並

覆蓋該元件區域及該靜電放電防護電路區域；

形成一圖案化光阻層於該第二複晶矽層上，該圖案化光阻層暴露出該元件區域對應之該第二複晶矽層；以及

以該圖案化光阻層為罩幕，蝕刻該第二複晶矽層達該第一厚度。

17.如申請專利範圍第 15 項所述之方法，其中形成該第一複晶矽層及該第二複晶矽層之步驟包含：

形成一複晶矽層於該基板，並覆蓋該元件區域及該靜電放電防護電路區域，該複晶矽層具有一第三厚度；

形成一圖案化光阻層於該複晶矽層上，該圖案化光阻層暴露出該元件區域對應之該複晶矽層；

以該圖案化光阻層為罩幕，蝕刻該複晶矽層以暴露出該基板；

去除該圖案化光阻層；以及

沉積該第一複晶矽層於該基板上，且該第二複晶矽層之第二厚度為該複晶矽層之第三厚度加上該第一複晶矽層之第一厚度。

18.如申請專利範圍第 15 項所述之方法，更包含形成第一源極 / 汲極區域，於該第一複晶矽層中，藉由一第一通道隔開。

19.如申請專利範圍第 18 項所述之方法，更包含形成第二源極 / 汲極區域，於該第二複晶矽層中，藉由一第二通道隔開。

20.如申請專利範圍第 18 項所述之方法，更包含形成一 N 型摻雜區域及

一 P 型摻雜區域，於該第二複晶矽層中，以形成一 PN 二極體靜電放電防護元件。

21.如申請專利範圍第 20 項所述之方法，更包含形成一本質區域，係介於該 N 型摻雜區域及該 P 型摻雜區域之間，以形成一 PIN 二極體靜電放電防護元件。

22.如申請專利範圍第 15 項所述之方法，其中該第二厚度係約介於 100 至 500 奈米之間。

圖式簡單說明：

圖 1A 係習知靜電放電防護元件位於電子裝置之輸入 / 輸出墊端之示意圖；

15. 圖；

圖 1B 係習知之靜電放電防護元件通道與崩潰電壓關係圖；

圖 2 係顯示本發明之靜電放電防護元件位於電子裝置之輸入 / 輸出墊端之示意圖；

20. 圖；

圖 3A 係本發明之靜電放電防護元件與電子裝置之第一實施例之剖面圖；

25. 圖；

圖 3B 係本發明之靜電放電防護元件與電子裝置之第二實施例之剖面圖；

圖 3C 係本發明之靜電放電防護元件與電子裝置之第三實施例之剖面圖；

30. 圖；

圖 4 係本發明方法之剖面示意圖；

圖 5A-5B 係本發明形成第一及第二複晶矽層之第一範例剖面示意圖；

35. 圖；

圖 6A-6C 係本發明形成第一及第二複晶矽層之第二範例剖面示意圖。

(4)

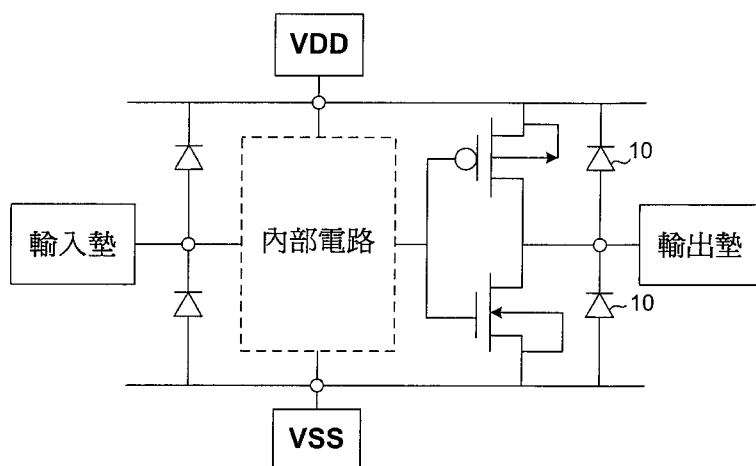


圖 1A

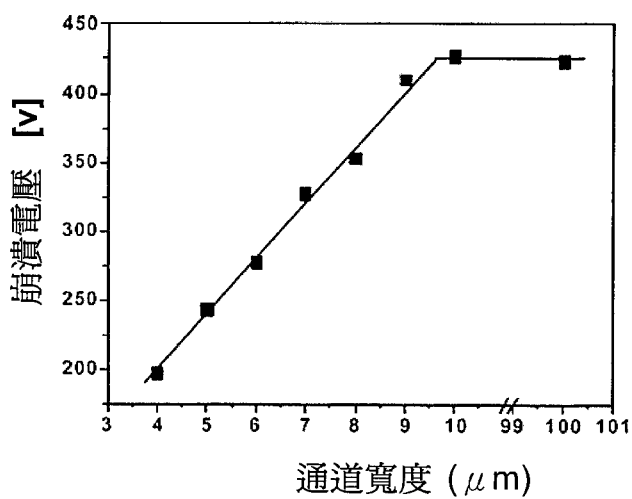


圖 1B

(5)

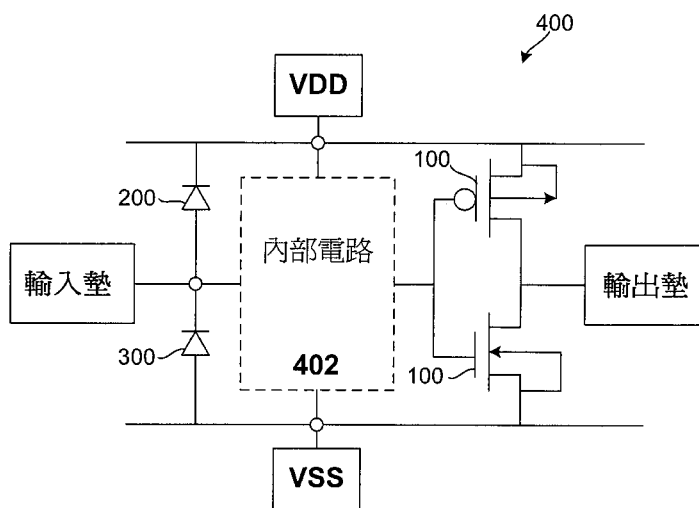


圖 2

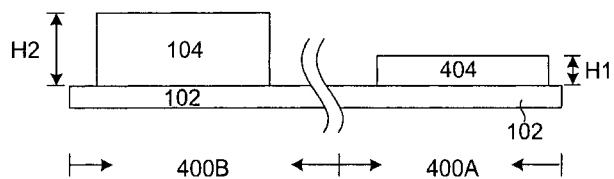


圖 4

(6)

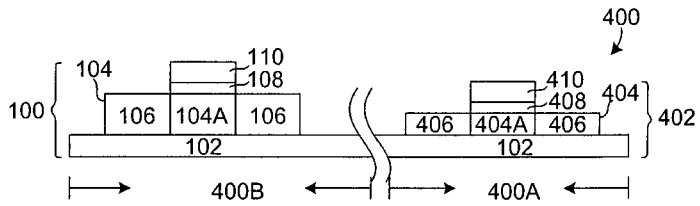


圖 3A

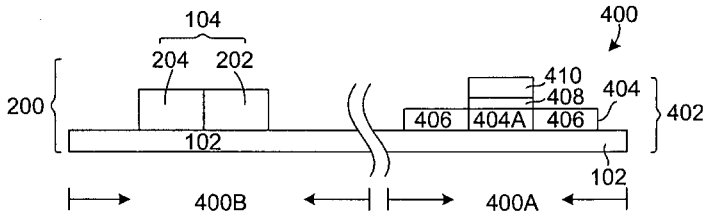


圖 3B

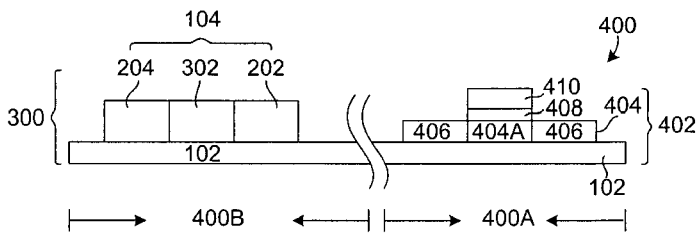


圖 3C

(7)

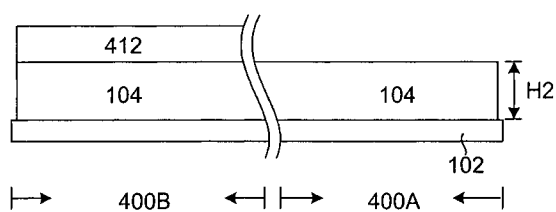


圖 5A

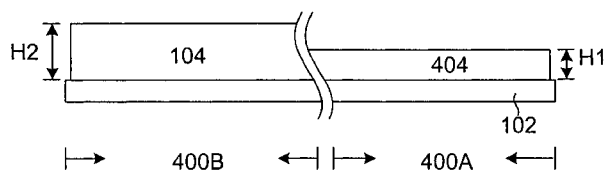


圖 5B

(8)

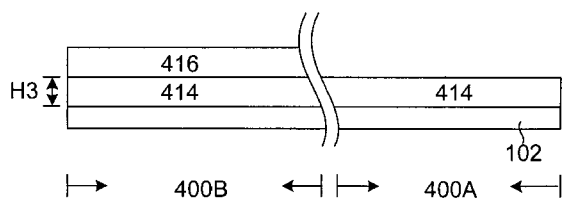


圖 6A

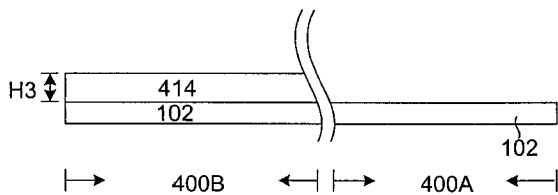


圖 6B

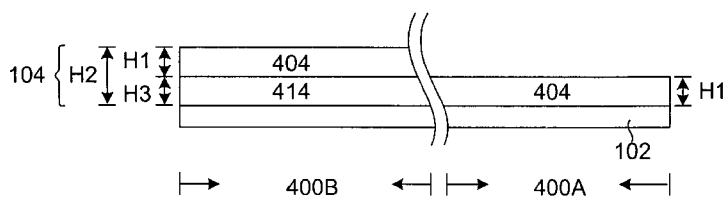


圖 6C