

【11】公告編號：587345

【44】中華民國 93 (2004) 年 05 月 11 日

【51】Int. Cl.⁷： H01L33/00

發明

全 7 頁

【54】名 稱：二極體之製程與結構

METHOD AND STRUCTURE OF DIODE

【21】申請案號：092103686

【22】申請日期：中華民國 92 (2003) 年02 月21 日

【72】發 明 人：

李英信

LI, YING HSIN

楊勝捷

YANG, SHENG-CHIEH

石安

SHIN, AN

柯明道

KER, MING DOU

曾當貴

TANG-KUI TSENG

鄧至剛

DENG, CHIH-KANG

【71】申請人：

統寶光電股份有限公司
苗栗縣竹南鎮新竹科學工業
園區科中路十二號

TOPPOLY OPTOELECTRONICS CORP.

【74】代理人：蔡玉玲 先生

1

2

[57]申請專利範圍：

1. 一種在一基板上形成一二極體的方法，包含：

形成一半導體層於該基板上；

於該半導體層中形成具一第一載子
(carrier)濃度之一第一區域，該第一
載子濃度為一第一導電型；

於該半導體層中形成具一第二載子
濃度之一第二區域，該第二載子濃
度為一第二導電型；

形成一絕緣層於該半導體層上；

蝕刻該絕緣層以形成至少一接觸窗
(contact window)；以及

形成一金屬層於該絕緣層上；

其中，該接觸窗暴露出該半導體層
之一部份的上表面，該金屬層填入
該接觸窗以接觸該半導體層。

2. 如申請專利範圍第1項所述之方法，
其中該二極體係採用一薄膜電晶體
製程，並應用於電路上。

10. 3. 如申請專利範圍第2項所述之方法，

其中該第一區域與該第二區域鄰接。

- 4.如申請專利範圍第2項所述之方法，其中於形成該絕緣層之前，更包含於該半導體層中形成一第三區域，該第三區域為一本質區，且該第一區域與該第二區域不鄰接，該第三區域位於該第一區域與該第二區域之間。
- 5.如申請專利範圍第2項所述之方法，其中於形成該絕緣層之前，更包含於該半導體層中形成具一第三載子濃度之一第三區域。
- 6.如申請專利範圍第5項所述之方法，其中該第三載子濃度為該第一導電型，該第三載子濃度小於該第一載子濃度，該第一區域與該第二區域不鄰接，該第三區域位於該第一區域與該第二區域之間，該第三區域與該第一區域鄰接。
- 7.如申請專利範圍第6項所述之方法，其中於形成該絕緣層之前，更包含於該半導體層中形成一第四區域，該第四區域為一本質區，且該第三區域與該第二區域不鄰接，該第四區域位於該第三區域與該第二區域之間。
- 8.如申請專利範圍第6項所述之方法，其中於形成該絕緣層之前，更包含於該半導體層中形成具一第四載子濃度之一第四區域。
- 9.如申請專利範圍第8項所述之方法，其中該第四載子濃度為該第二導電型，該第四載子濃度小於該第二載子濃度，該第三區域與該第二區域不鄰接，該第四區域位於該第三區域與該第二區域之間，該第四區域與該第二區域鄰接。
- 10.如申請專利範圍第9項所述之方法，其中於形成該絕緣層之前，更

包含於該半導體層中形成一第五區域，該第五區域為一本質區，且該第三區域與該第四區域不鄰接，該第五區域位於該第三區域與該第四區域之間。

5. 11.如申請專利範圍第9項所述之方法，其中於形成該絕緣層之前，更包含於該半導體層中形成具一第五載子濃度之一第五區域。
10. 12.如申請專利範圍第11項所述之方法，其中該第五載子濃度為該第一導電型，該第五載子濃度小於該第三載子濃度，且該第三區域與該第四區域不鄰接，該第五區域位於該第三區域與該第四區域之間。
15. 13.如申請專利範圍第2、3、4、5、6、7、8、9、10、11或12項所述之方法，其中該薄膜電晶體製程係指一多晶矽(poly-silicon)薄膜電晶體製程。
20. 14.如申請專利範圍第13項所述之方法，其中若該第一導電型為一正型，則該第二導電型為一負型，若該第一導電型為該負型，則該第二導電型為該正型。
25. 15.一種二極體，包含：
 - 一半導體層，包含：
 - 一第一區域，具一第一載子濃度，該第一載子濃度為一第一導電型；
 - 以及
 - 一第二區域，具一第二載子濃度，該第二載子濃度為一第二導電型；
 - 一絕緣層，位於該半導體層上，該絕緣層包含至少一接觸窗；以及
 - 一金屬層，位於該絕緣層上；
 其中，該接觸窗暴露出該半導體層之一部份上表面，該金屬層填入該接觸窗以接觸該半導體層。
30. 16.如申請專利範圍第15項所述之二極體，其中該二極體係採用一薄膜電
- 40.

晶體製程，並應用於電路上。

- 17.如申請專利範圍第16項所述之二極體，其中該第一區域與該第二區域鄰接。
- 18.如申請專利範圍第16項所述之二極體，其中該半導體層更包含一第三區域，該第三區域為一本質區，且該第一區域與該第二區域不鄰接，該第三區域位於該第一區域與該第二區域之間。
- 19.如申請專利範圍第16項所述之二極體，其中該半導體層更包含一第三區域，該第三區域具一第三載子濃度。
- 20.如申請專利範圍第19項所述之二極體，其中該第三載子濃度為該第一導電型，該第三載子濃度小於該第一載子濃度，該第一區域與該第二區域不鄰接，該第三區域位於該第一區域與該第二區域之間，該第三區域與該第一區域鄰接。
- 21.如申請專利範圍第20項所述之二極體，其中該半導體層更包含一第四區域，該第四區域為一本質區，且該第三區域與該第二區域不鄰接，該第四區域位於該第三區域與該第二區域之間。
- 22.如申請專利範圍第20項所述之二極體，其中該半導體層更包含一第四區域，該第四區域具一第四載子濃度。
- 23.如申請專利範圍第22項所述之二極體，其中該第四載子濃度為該第二導電型，該第四載子濃度小於該第二載子濃度，該第三區域與該第二區域不鄰接，該第四區域位於該第三區域與該第二區域之間，該第四區域與該第二區域鄰接。
- 24.如申請專利範圍第23項所述之二極體，其中該半導體層更包含一第五

區域，該第五區域為一本質區，且該第三區域與該第四區域不鄰接，該第五區域位於該第三區域與該第四區域之間。

5. 25.如申請專利範圍第23項所述之二極體，其中該半導體層更包含一第五區域，該第五區域具一第五載子濃度。
10. 26.如申請專利範圍第25項所述之二極體，其中該第五載子濃度為該第一導電型，該第五載子濃度小於該第三載子濃度，且該第三區域與該第四區域不鄰接，該第五區域位於該第三區域與該第四區域之間。
15. 27.如申請專利範圍第16、17、18、19、20、21、22、23、24、25或26項所述之二極體，其中該薄膜電晶體製程係指一多晶矽(poly-silicon)薄膜電晶體製程。
20. 28.如申請專利範圍第27項所述之二極體，其中若該第一導電型為一正型，則該第二導電型為一負型，若該第一導電型為該負型，則該第二導電型為該正型。
25. 圖式簡單說明：
圖1為先前技術中靜電放電防護電路之示意圖；
圖2為應用本發明之靜電放電防護電路示意圖；
圖3為本發明第一實施例剖面示意圖；
圖4為本發明第二實施例剖面示意圖；
圖5為本發明第三實施例剖面示意圖；
圖6為本發明第四實施例剖面示意圖；
圖7為本發明第五實施例剖面示意圖；
圖8為本發明第六實施例剖面示
- 30.
- 35.
- 40.

意圖；

圖 9 為本發明第七實施例剖面示意圖；以及

圖 10 為本發明第八實施例剖面示意圖。

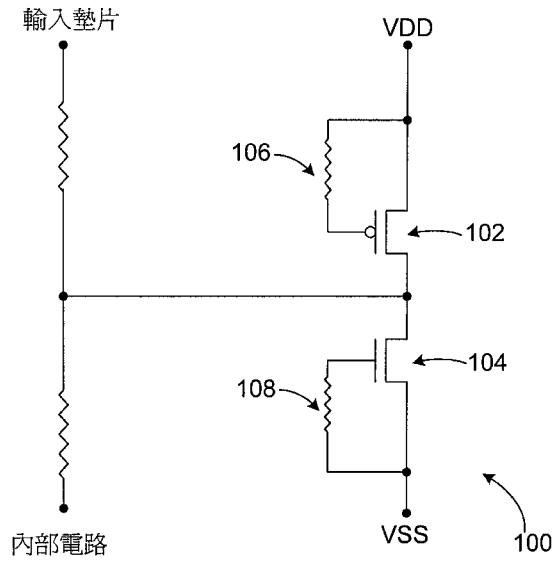


圖 1

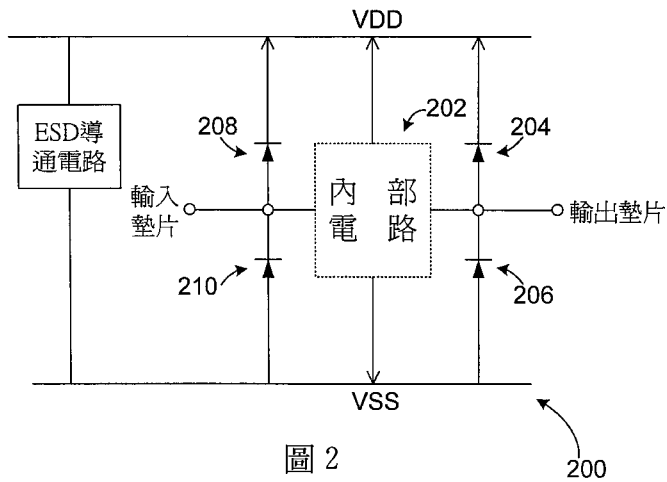


圖 2

(5)

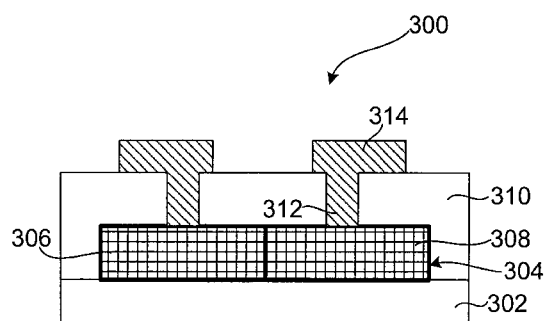


圖 3

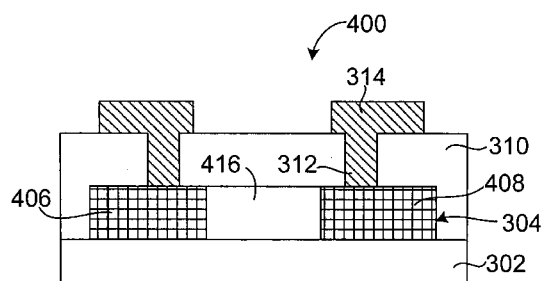


圖 4

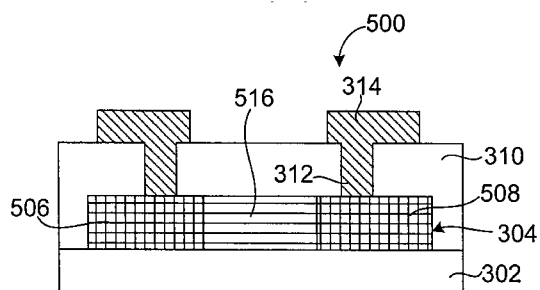


圖 5

(6)

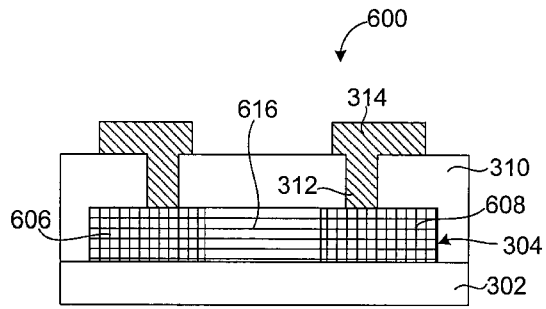


圖 6

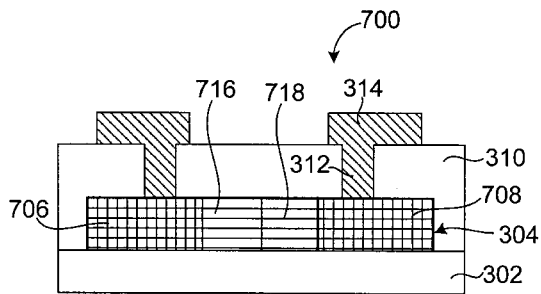


圖 7

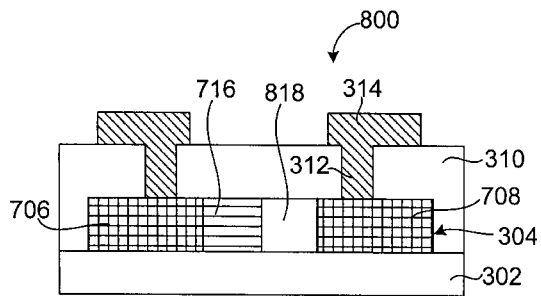


圖 8

(7)

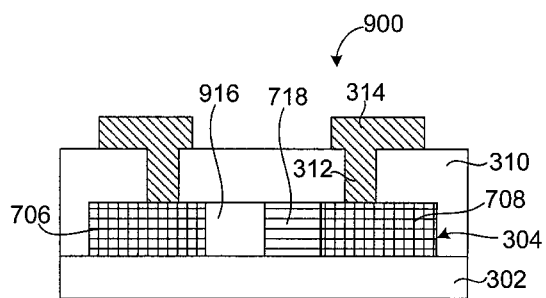


圖 9

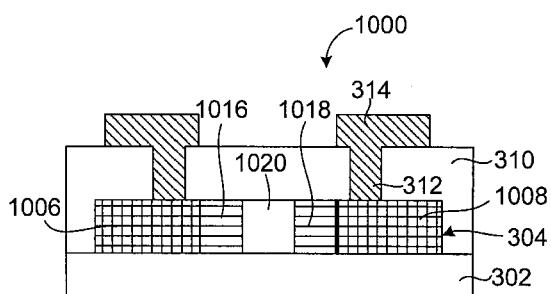


圖 10

