

【11】公告編號：588450

【44】中華民國 93 (2004) 年 05 月 21 日

【51】Int. Cl.⁷： H01L23/60

發明

全 26 頁

【54】名稱：具有均勻導通設計之靜電放電防護電路

UNIFORM TURN-ON DESIGN ON MULTIPLE-FINGER MOSFET
FOR ESD PROTECTION APPLICATION

【21】申請案號：092109320

【22】申請日期：中華民國 92 (2003) 年 04 月 22 日

【72】發明人：

柯明道

KER, MING DOU

莊哲豪

CHE-HAO CHUANG

羅文裕

LO, WEN YU

【71】申請人：

矽統科技股份有限公司

SILICON INTEGRATED SYSTEMS
CORP.

新竹市新竹科學園區研新一
路十六號

【74】代理人：洪澄文 先生

顏錦順 先生

1

2

[57]申請專利範圍：

1.一種具有均勻導通設計之靜電放電防護電路，適用於一具有接合墊之積體電路，包括：

一第一型態之 MOS 電晶體，具有複數並聯之指狀元件，上述指狀元件均具有一汲極耦接到上述接合墊，以及一源極耦接到下一指狀元件之閘極，並藉由一電感耦接到一第一電位，其中一第一級之指狀元件的閘極耦接到一最末級之指狀元件的

源極。

2.如申請專利範圍第1項所述之具有均勻導通設計之靜電放電防護電路，其中上述第一型態之 MOS 電晶體為一 NMOS 電晶體。

3.如申請專利範圍第1項所述之具有均勻導通設計之靜電放電防護電路，其中上述第一型態之 MOS 電晶體為一 PMOS 電晶體。

10. 4.如申請專利範圍第1項所述之具有均

均勻導通設計之靜電放電防護電路，更包括一電阻耦接於上述第一級之指狀元件之閘極與上述第一電位之間。

- 5.如申請專利範圍第1項所述之具有均勻導通設計之靜電放電防護電路，更包括一第二型態之 MOS 電晶體，具有複數並聯之指狀元件，上述指狀元件均具有一汲極耦接到上述接合墊，以及一源極耦接到下一指狀元件之閘極，並藉由一電感耦接到一第二電位，其中一第一指狀元件的閘極耦接到一最末級之指狀元件的源極。
- 6.如申請專利範圍第5項所述之具有均勻導通設計之靜電放電防護電路，其中上述第一型態之 MOS 電晶體為 NMOS 電晶體，上述第二型態之 MOS 電晶體為 PMOS 電晶體。
- 7.如申請專利範圍第5項所述之具有均勻導通設計之靜電放電防護電路，更包括：
 - 一第一電阻，耦接於上述第一型態電晶體之第一指狀元件的閘極與上述第一電位之間；以及
 - 一第二電阻，耦接於上述第二型態電晶體之第一指狀元件的閘極與上述第二電位之間。
- 8.一種具有均勻導通設計之靜電放電防護電路，適用於一具有接合墊之積體電路，包括：
 - 一第一型態之 MOS 電晶體，具有複數指狀元件，其中上述指狀元件均具有一閘極，一汲極耦接到上述接合墊，一源極藉由一第一源極負載耦接到一第一電位，以及一二極體耦接上述閘極與源極之間。
- 9.如申請專利範圍第8項所述之具有均勻導通設計之靜電放電防護電路，其中上述第一型態之 MOS 電晶體為

一 NMOS 電晶體。

- 10.如申請專利範圍第8項所述之具有均勻導通設計之靜電放電防護電路，其中每一上述二極體具有一陰極以及一陽極，分別耦接到上述每一指狀元件之閘極與源極。
- 11.如申請專利範圍第8項所述之具有均勻導通設計之靜電放電防護電路，其中上述第一型態之 MOS 電晶體為一 PMOS 電晶體。
- 12.如申請專利範圍第11項所述之具有均勻導通設計之靜電放電防護電路，其中每一上述二極體具有一陰極以及一陽極，分別耦接到上述每一指狀元件之源極與閘極。
- 13.如申請專利範圍第8項所述之具有均勻導通設計之靜電放電防護電路，其中上述第一源極負載為一電感。
- 14.如申請專利範圍第8項所述之具有均勻導通設計之靜電放電防護電路，其中上述第一源極負載為一電阻。
- 15.如申請專利範圍第8項所述之具有均勻導通設計之靜電放電防護電路，其中更包括一電阻耦接於上述複數指狀元件之閘極與上述第一電位之間。
- 16.如申請專利範圍第8項所述之具有均勻導通設計之靜電放電防護電路，其中更包括一前級驅動器具有一輸出端耦接到上述複數指狀元件之閘極。
- 17.如申請專利範圍第8項所述之具有均勻導通設計之靜電放電防護電路，其中更包括一第二型態之 MOS 電晶體，具有複數指狀元件，其中上述指狀元件均具有一閘極，一汲極耦接到上述接合墊，一源極藉由一第二源極負載耦接到一第二電

位，以及一二極體耦接上述閘極與源極之間。

18.如申請專利範圍第 17 項所述之具有均勻導通設計之靜電放電防護電路，其中上述第一型態之 MOS 電晶體為 NMOS 電晶體，而第二型態之 MOS 電晶體為 PMOS 電晶體。

19.如申請專利範圍第 17 項所述之具有均勻導通設計之靜電放電防護電路，其中上述第一源極負載為一電感。

20.如申請專利範圍第 17 項所述之具有均勻導通設計之靜電放電防護電路，其中上述第一源極負載為一電阻。

21.如申請專利範圍第 17 項所述之具有均勻導通設計之靜電放電防護電路，更包括：

一第一電阻，耦接於上述第一型態電晶體之複數指狀元件的閘極與上述第一電位之間；以及

一第二電阻，耦接於上述第二型態電晶體之複數指狀元件的閘極與上述第二電位之間。

22.如申請專利範圍第 17 項所述之具有均勻導通設計之靜電放電防護電路，其中更包括：

一第一前級驅動器具有一輸出端耦接到上述第一型態 MOS 電晶體之複數指狀元件的閘極；以及

一第一前級驅動器具有一輸出端耦接到上述第二型態 MOS 電晶體之複數指狀元件的閘極。

23.如申請專利範圍第 17 項所述之具有均勻導通設計之靜電放電防護電路，其中更包括：

一第一反相器，具有一輸入端以及一輸出端，其中上述輸出端耦接到上述第一型態 MOS 電晶體之複數指狀元件的閘極；

一第一電阻，耦接於上述第一反相器之輸入端與上述第一電位之間；

一第二反相器，具有一輸入端以及一輸出端，其中上述輸出端耦接到上述第二型態 MOS 電晶體之複數指狀元件的閘極；以及

一第二電阻，耦接於上述第二反相器之輸入端與上述第二電位之間。

圖式簡單說明：

10. 第 1 圖為為傳統閘極之接地 NMOS(GGNMOS)或閘極接 VDD 之 PMOS(GDPMOS)的靜電放電防護設計之佈局上視圖。

15. 第 2 圖為多指狀閘極之接地 NMOS(GGNMOS)之示意圖。

第 3a 圖表示多指狀 GGNMOS 之等放電路。

第 3b 圖表示第 3a 圖之剖面圖。

20. 第 4a 圖為 GGNMOS 之 I-V 曲線示意圖。

第 4b 圖用以說明 ESD 防護電路之通道寬度與其 ESD 耐受力之依存關係。

25. 第 5 圖用以說明多指狀 GGNMOS 之導通行為模式。

第 6 圖為傳統具有均勻導通設計之多指狀 GGNMOS 的示意圖。

30. 第 7 圖所示為適用於一輸入接合墊之具有均勻導通多指狀 NMOS 設計的一個靜電放電防護電路，且該多指狀電晶體具有複數源極電感。

35. 第 8 圖所示為適用於一接合墊之一具有均勻導通多指狀 PMOS 設計的靜電放電防護電路，且該多指狀電晶體具有複數源極電感。

40. 第 9 圖所示為適用於一輸入接合墊之具有均勻導通多指狀 NMOS 與 PMOS 設計的一個靜電放電防護電路，且該多指狀電晶體具有複數源極電感。

第 10 圖所示為適用於電源線 (power rail) 靜電放電防護之一具有均勻導通多指狀 NMOS 設計的靜電放電防護電路，且該多指狀電晶體具有複數源極電感。

第 11 圖中所示為適用於輸入接合墊之具有均勻導通多指狀 NMOS 設計的一個靜電放電防護電路，且該多指狀電晶體具有複數源極電感。

第 12 圖中所示為適用於輸入接合墊之具有均勻導通多指狀 PMOS 設計的一個靜電放電防護電路，且該多指狀電晶體具有複數源極電感。

第 13 圖所示為適用於電源線 (power rail) 靜電放電防護之一具有均勻導通多指狀 NMOS 設計的靜電放電防護電路，且該多指狀電晶體具有複數源極電感。

第 14 圖中所示為適用於輸出接合墊之具有均勻導通多指狀 NMOS 設計的一個靜電放電防護電路，且該多指狀電晶體具有複數源極電感。

第 15 圖中所示為適用於輸出接合墊之具有均勻導通多指狀 PMOS 設計的一個靜電放電防護電路，且該多指狀電晶體具有複數源極電感。

第 16 圖所示為適用於一輸入接合墊之具有均勻導通多指狀 NMOS 與

PMOS 設計的一個靜電放電防護電路，且該多指狀電晶體具有複數源極電感。

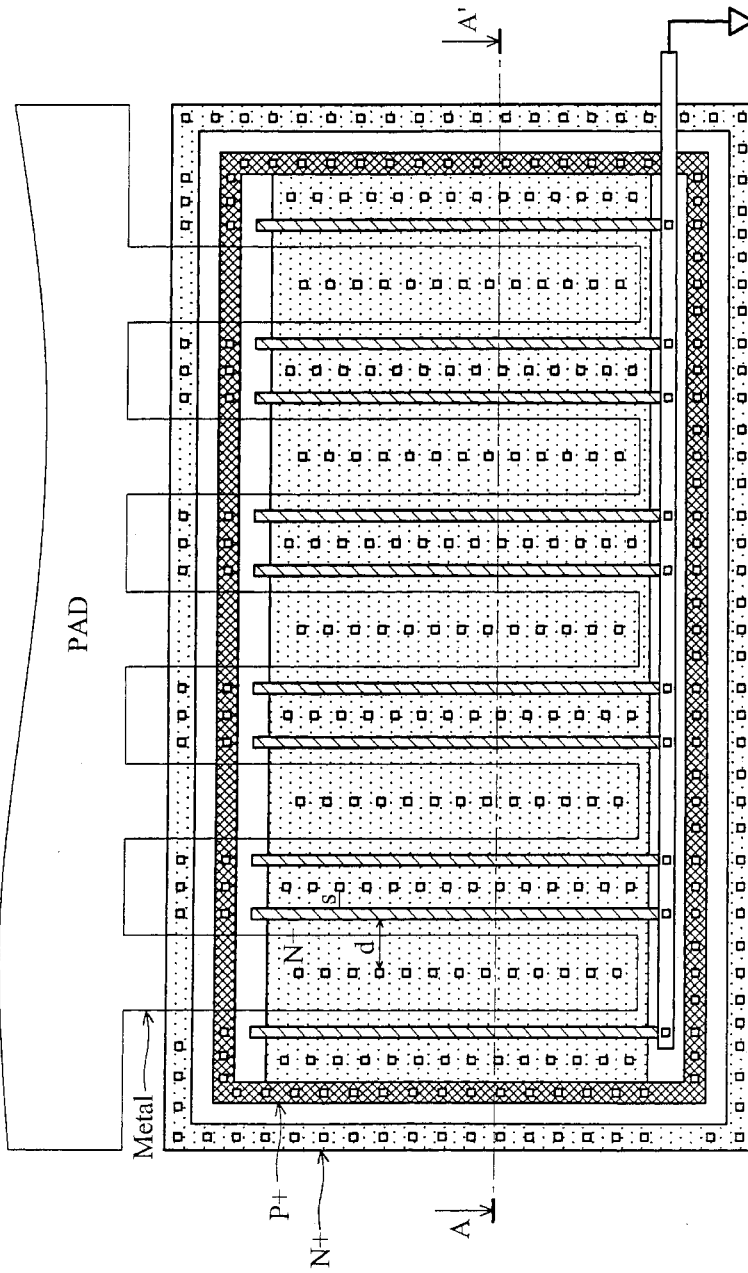
5. 第 17 圖所示為適用於一輸出接合墊之具有均勻導通多指狀 NMOS 與 PMOS 設計的一個靜電放電防護電路，且該多指狀電晶體具有複數源極電感。

10. 第 18 圖所示為適用於一輸入接合墊之具有均勻導通多指狀 NMOS 與 PMOS 設計的一個靜電放電防護電路，且該多指狀電晶體具有複數源極電感。

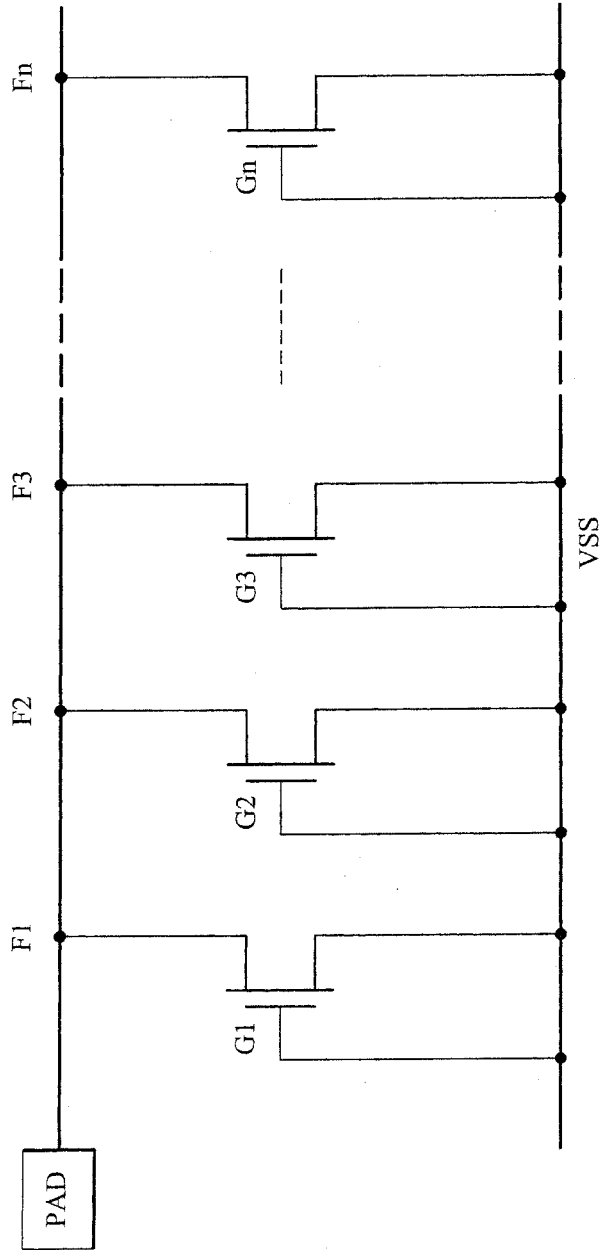
15. 第 19 圖所示為適用於一輸入接合墊之具有均勻導通多指狀 NMOS 與 PMOS 設計的一個靜電放電防護電路，且該多指狀電晶體具有複數源極電阻。

20. 第 20 圖所示為適用於一輸出接合墊之具有均勻導通多指狀 NMOS 與 PMOS 設計的一個靜電放電防護電路，且該多指狀電晶體具有複數源極電阻。

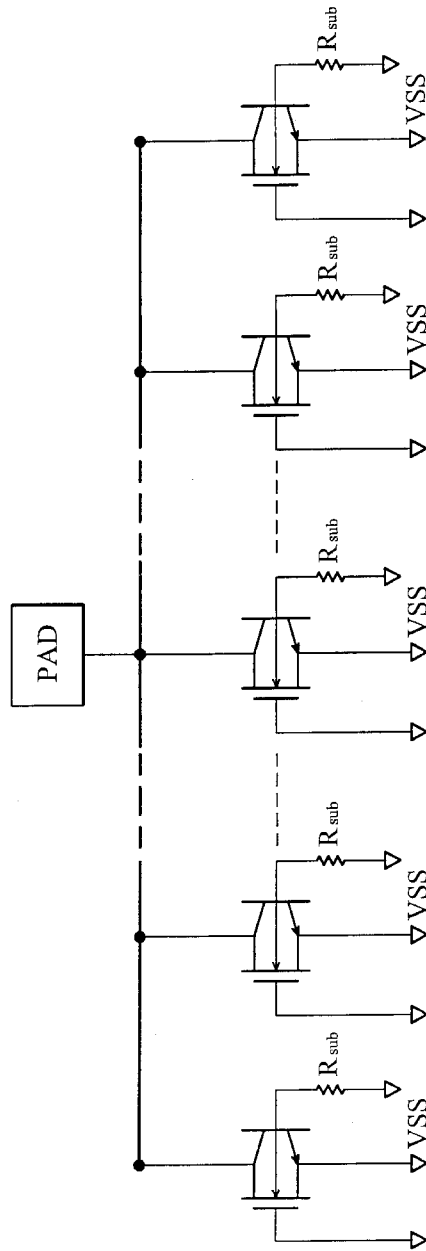
25. 第 21 圖所示為適用於一輸入接合墊之具有均勻導通多指狀 NMOS 與 PMOS 設計的一個靜電放電防護電路，且該多指狀電晶體具有複數源極電阻。



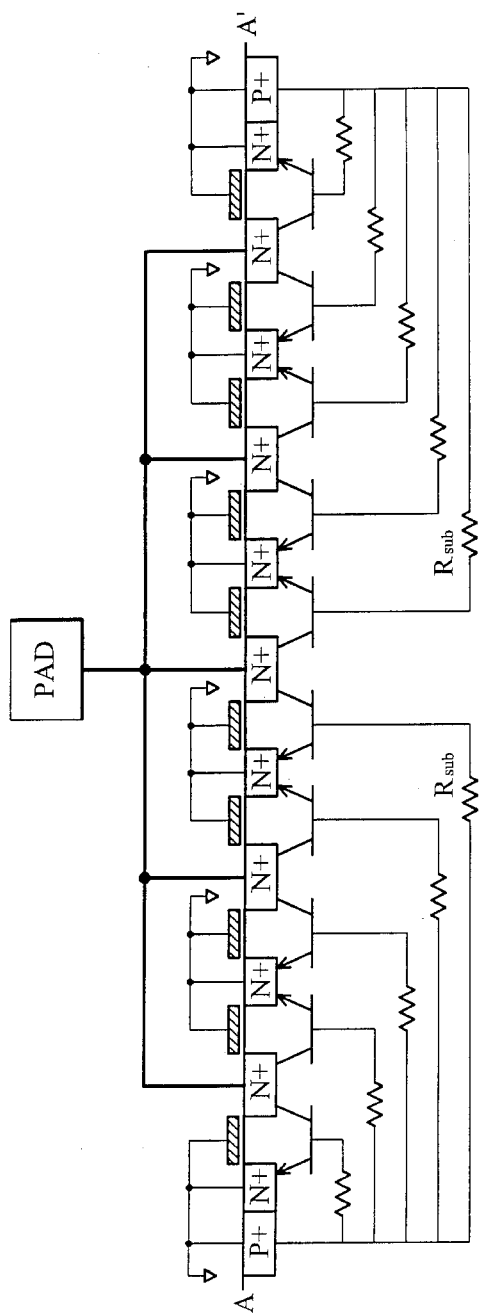
第 1 圖



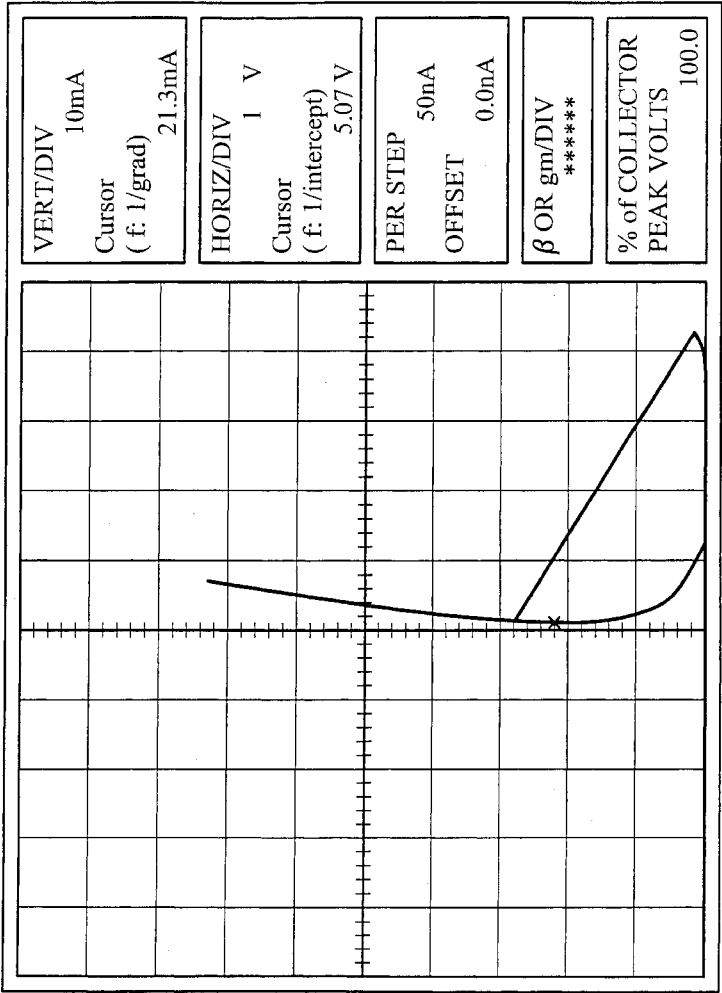
第 2 圖



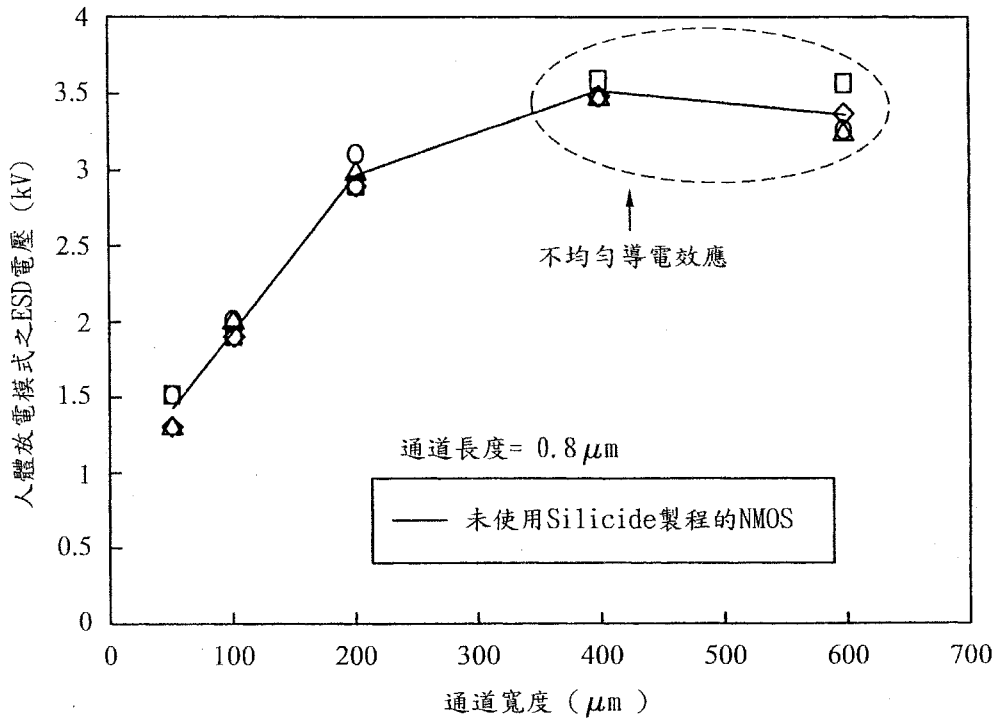
第 3a 圖



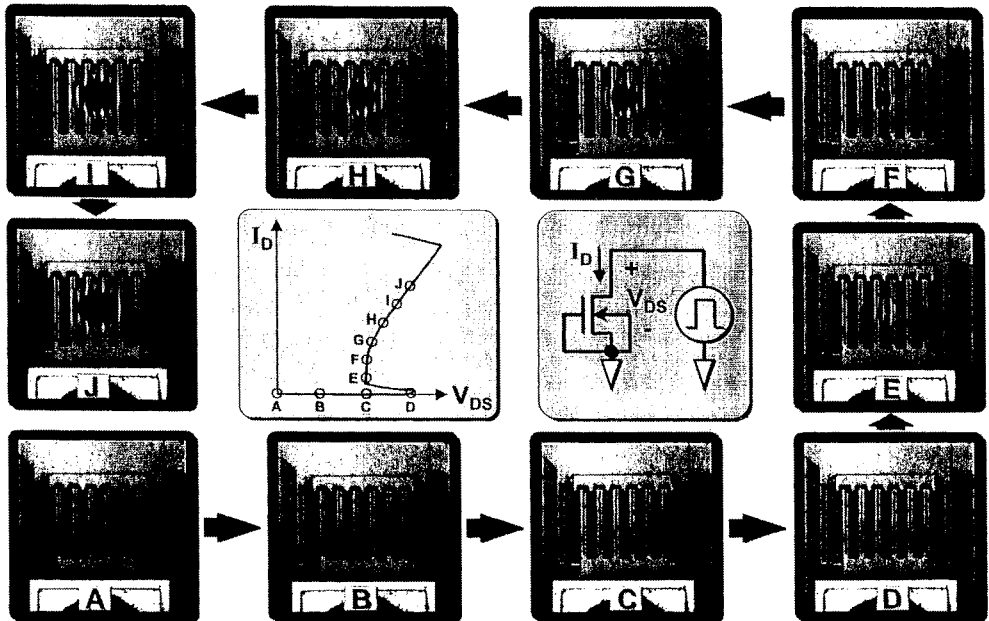
第 3b 圖

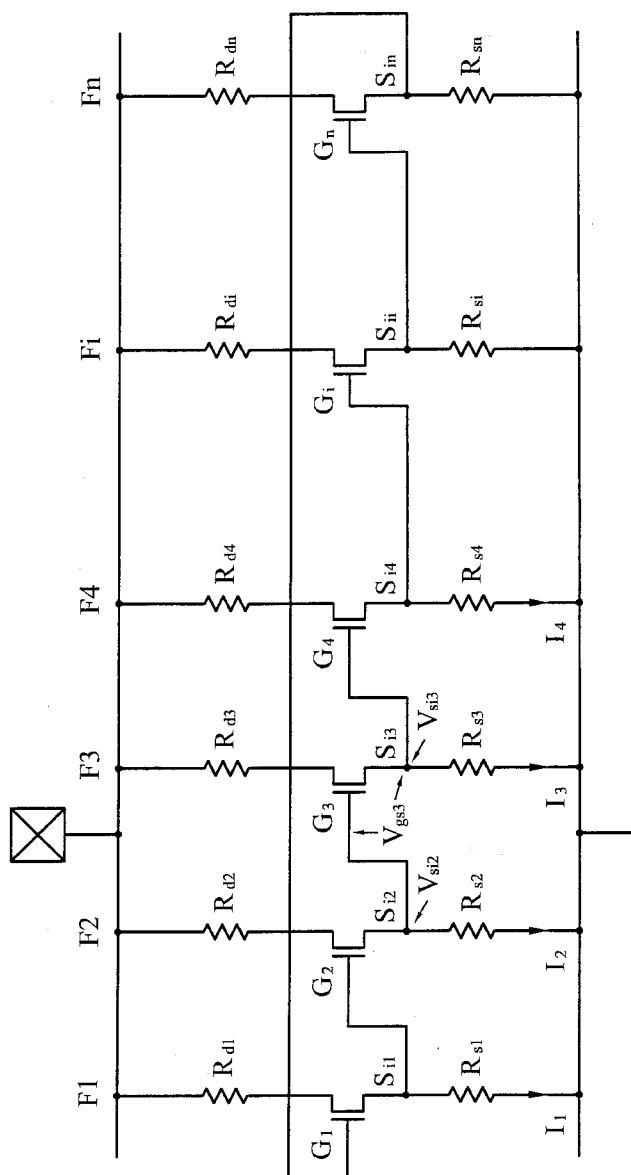


第 4a 圖

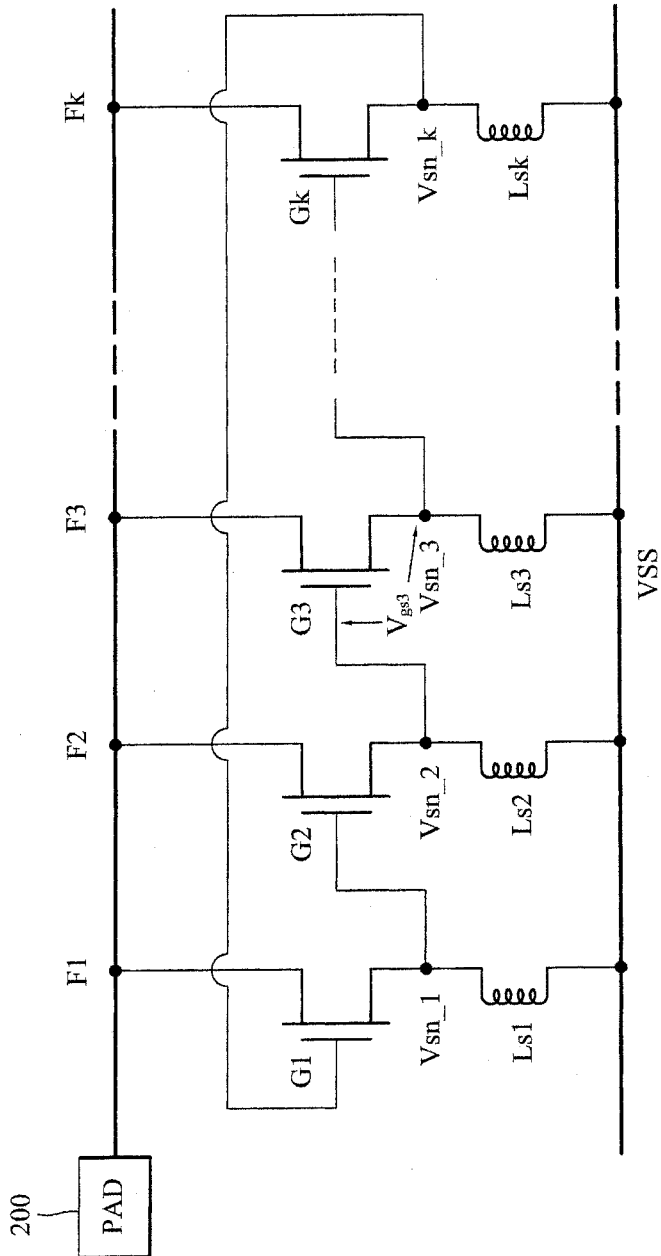


第4b圖





第6圖



第7圖

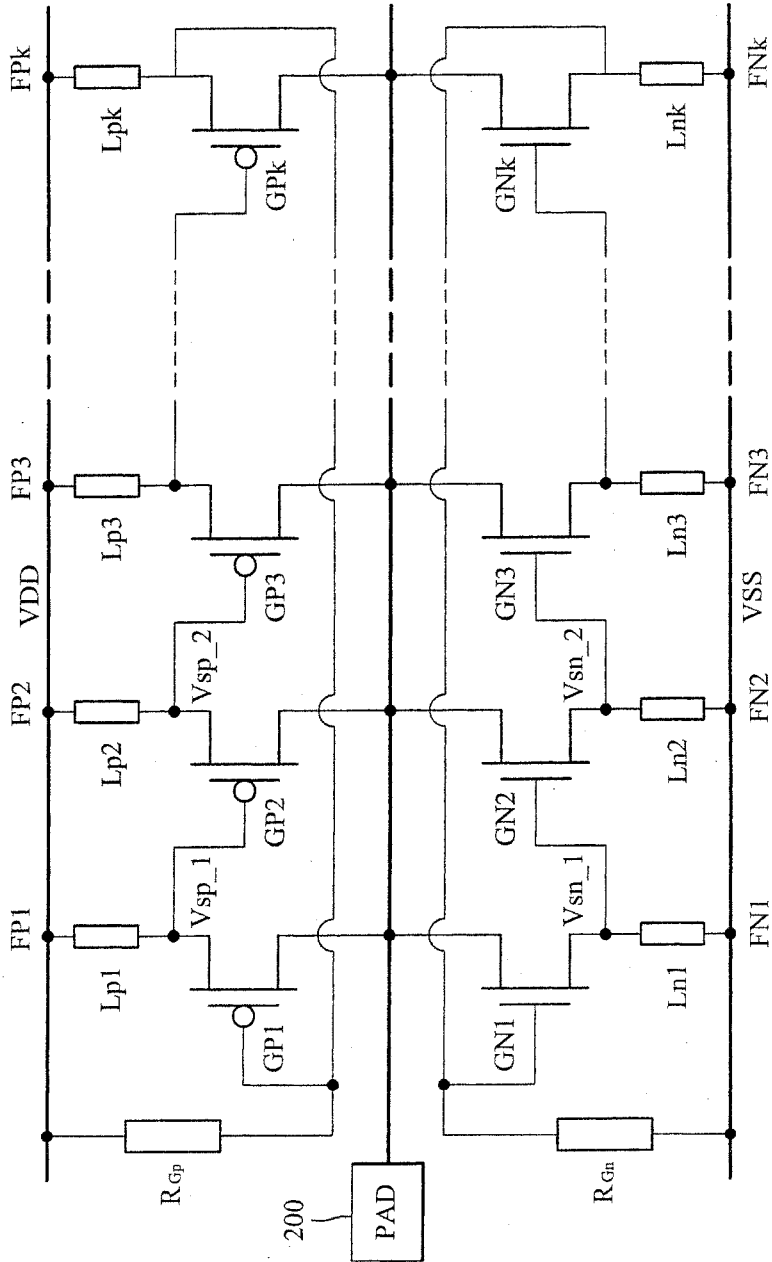
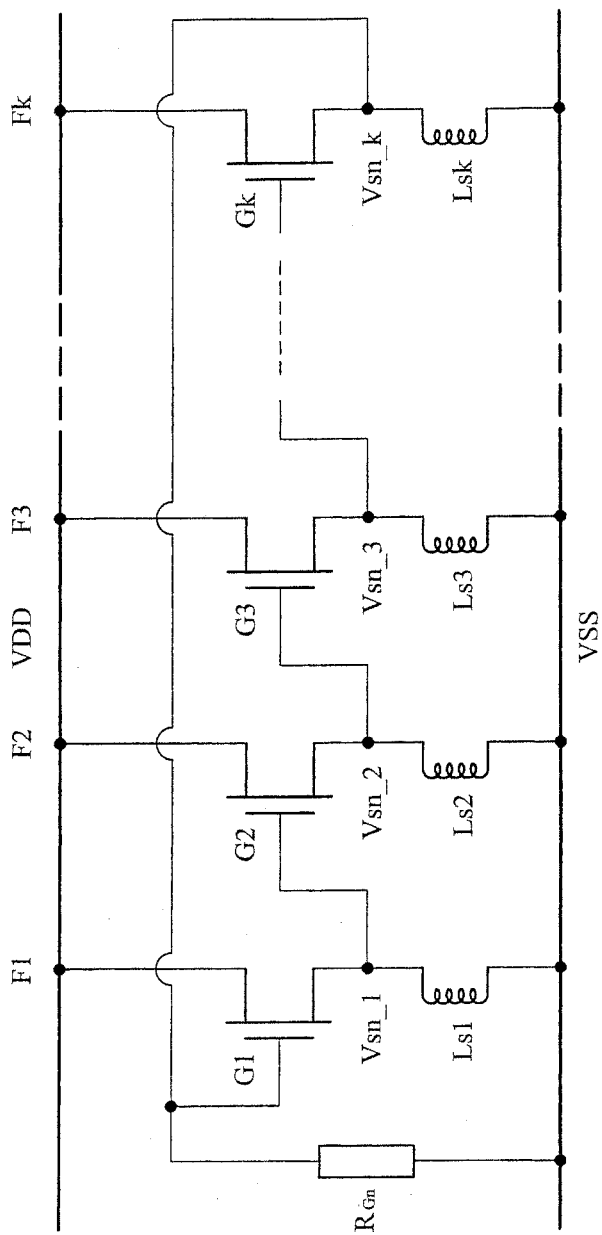
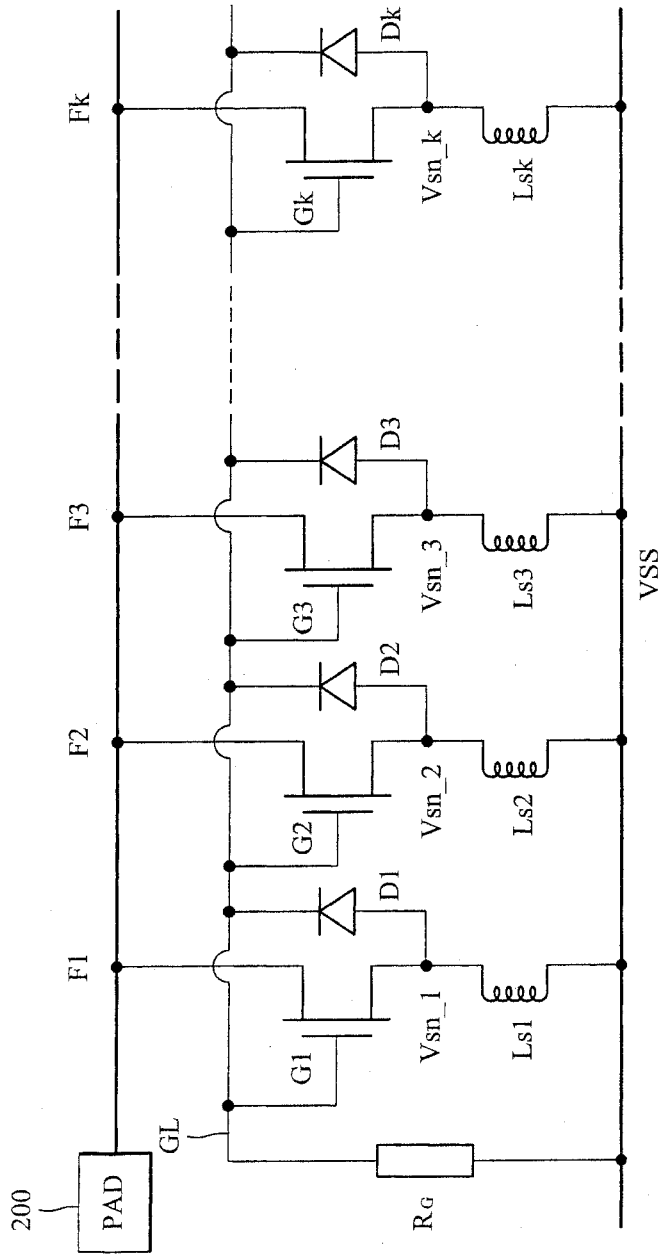


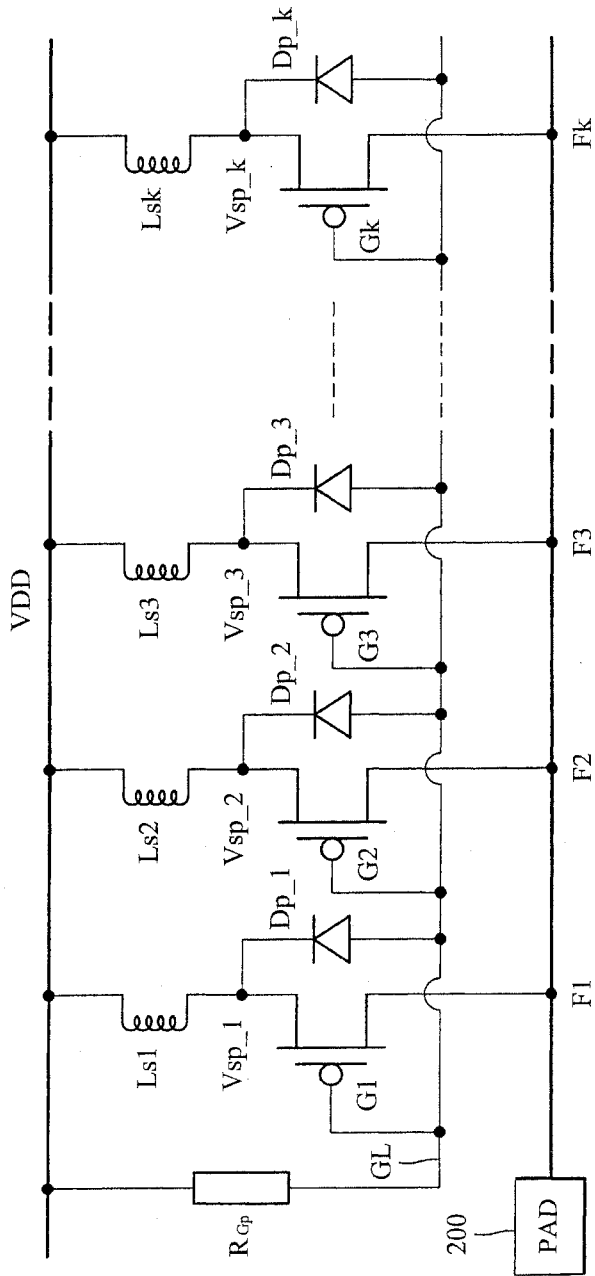
圖
第 9



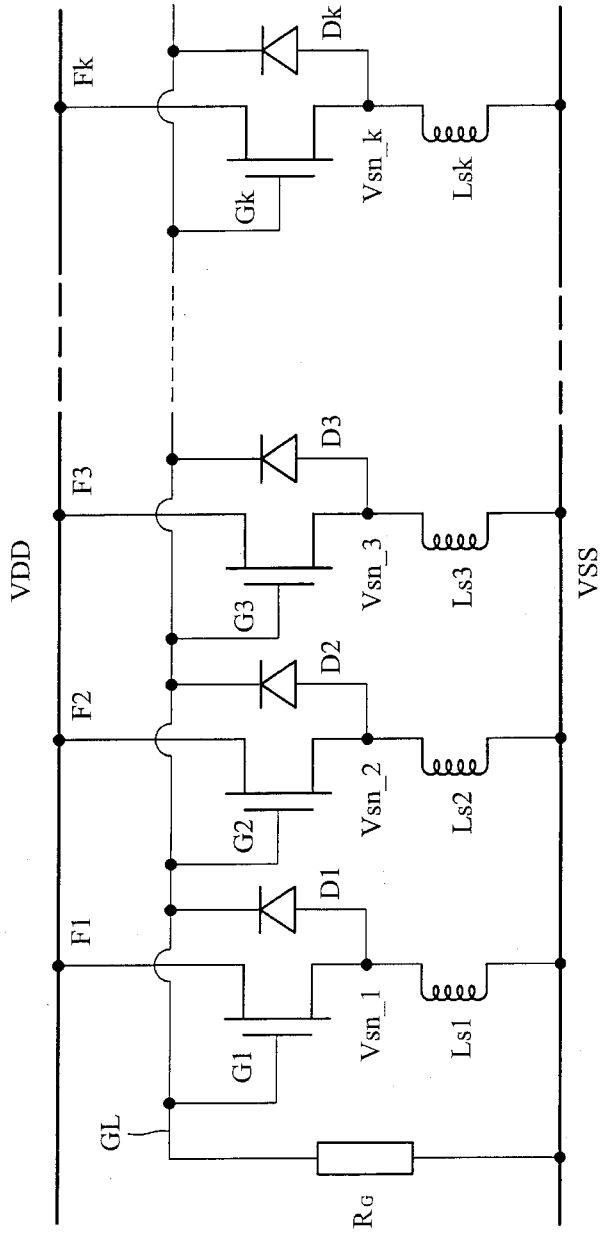
第10圖



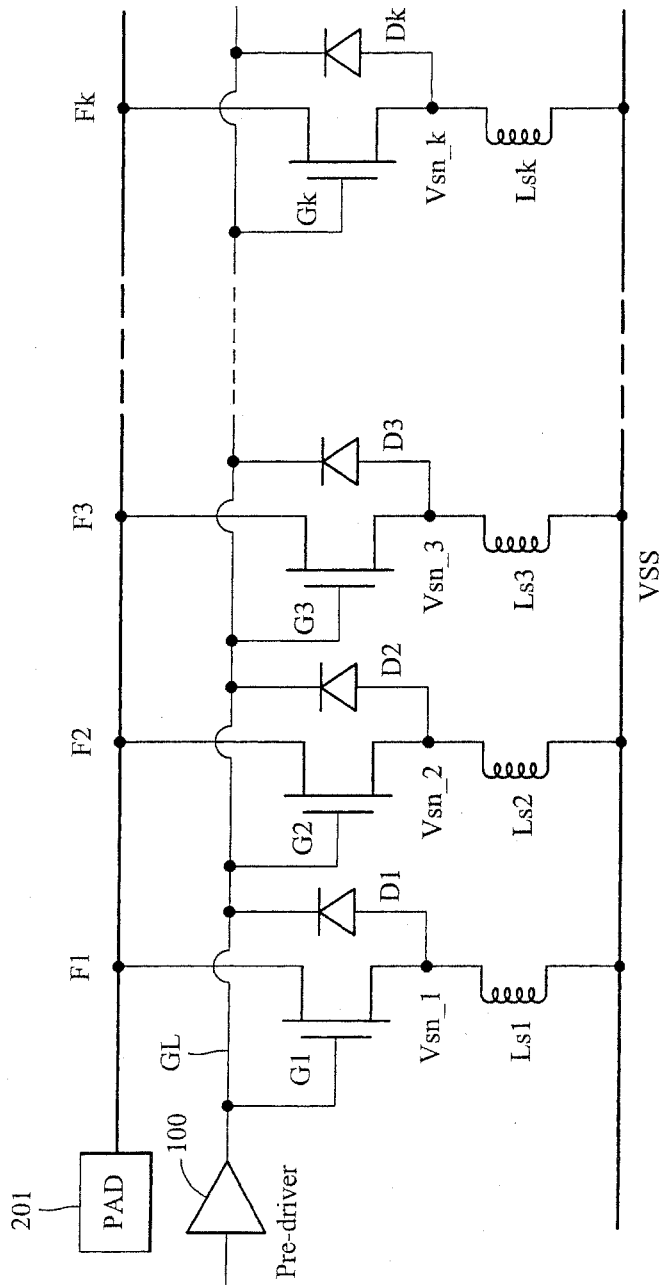
第11圖



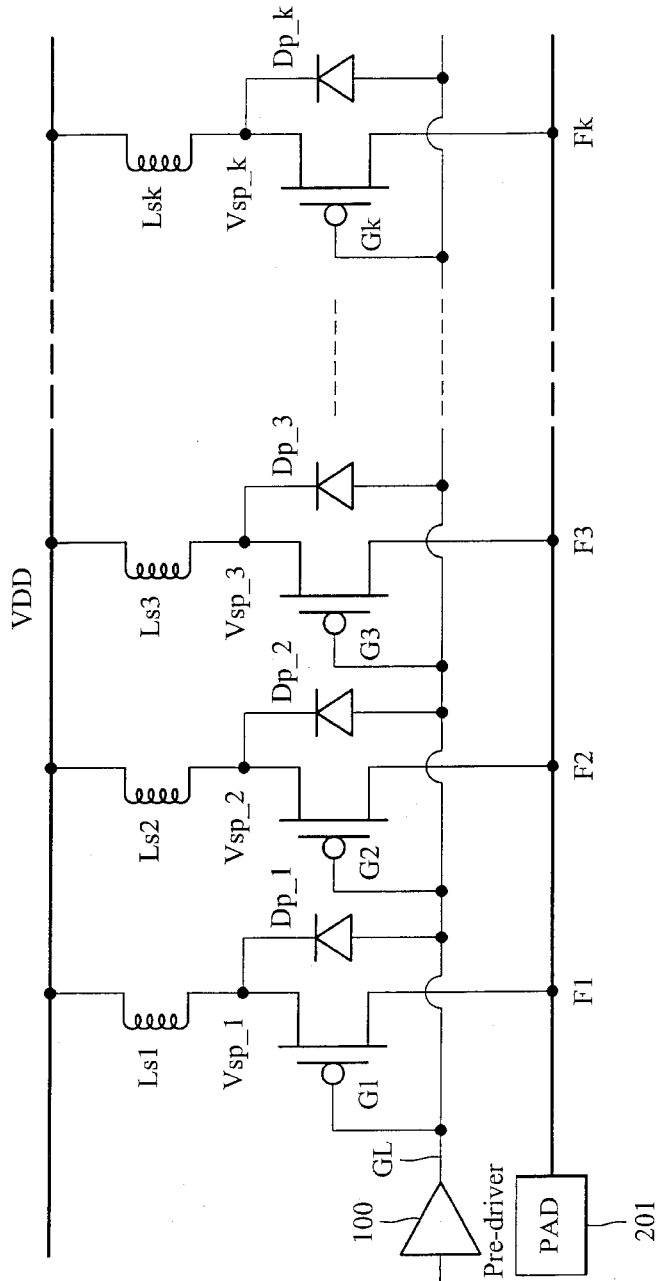
第 12 圖



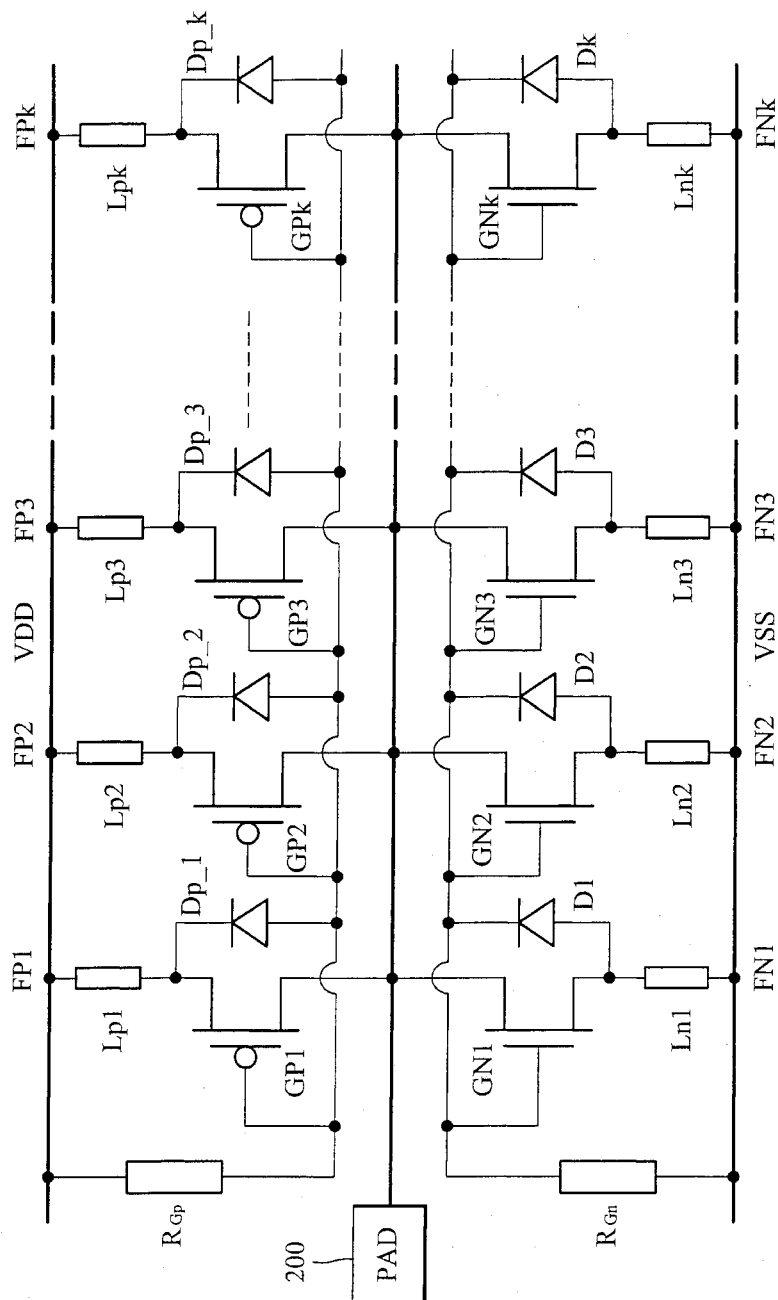
第13圖



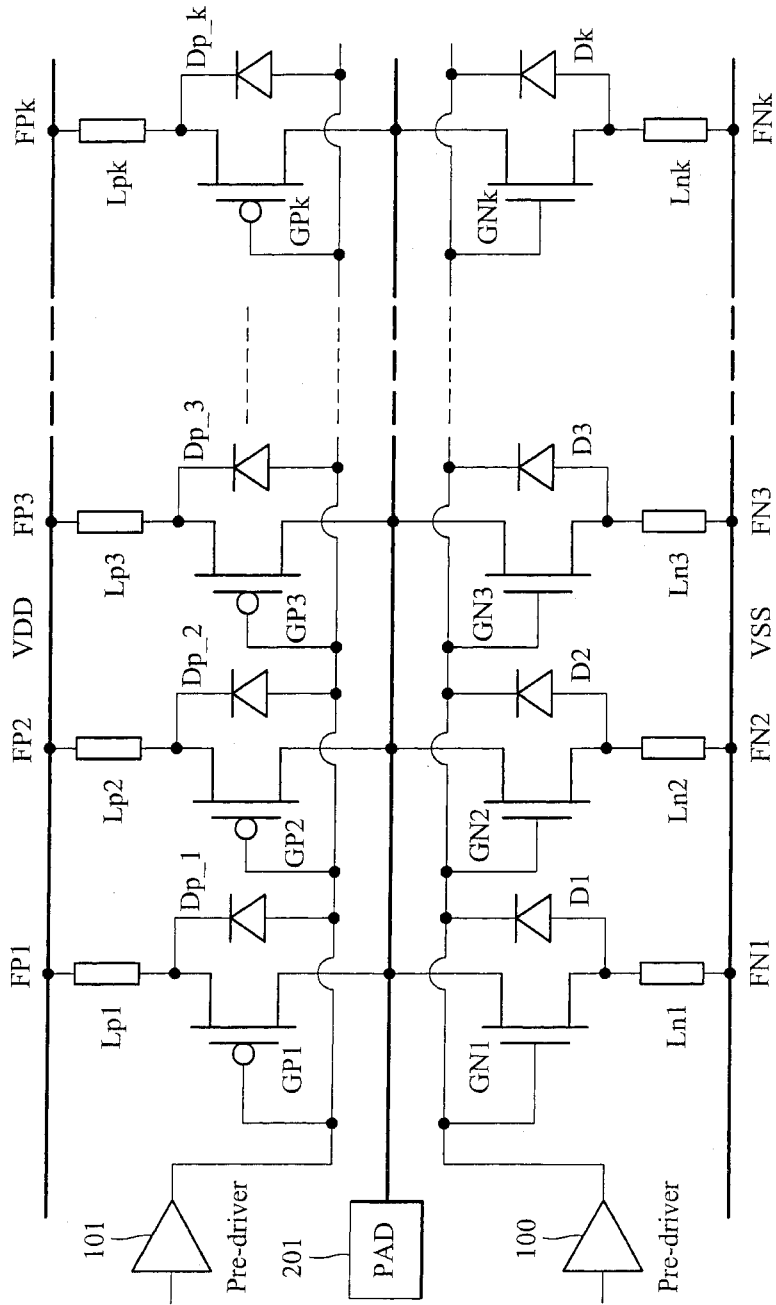
第 14 圖



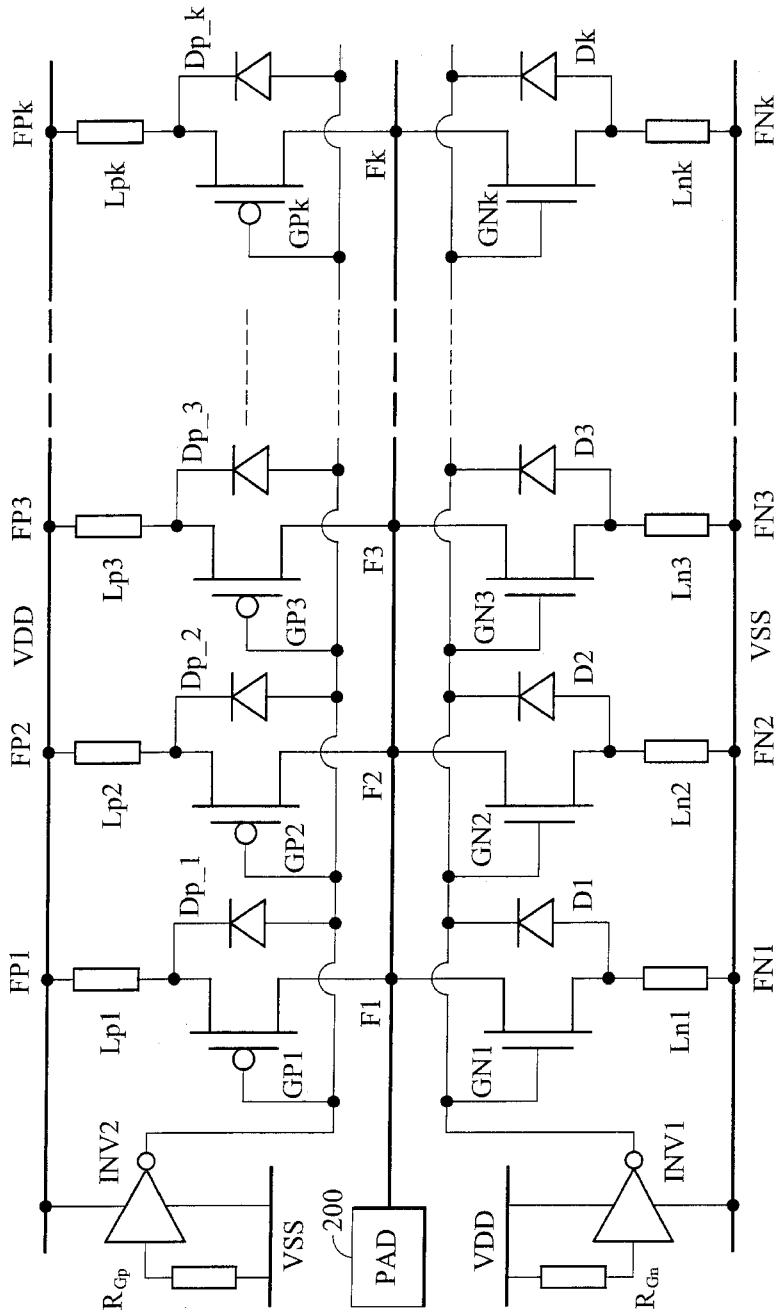
第 15 圖



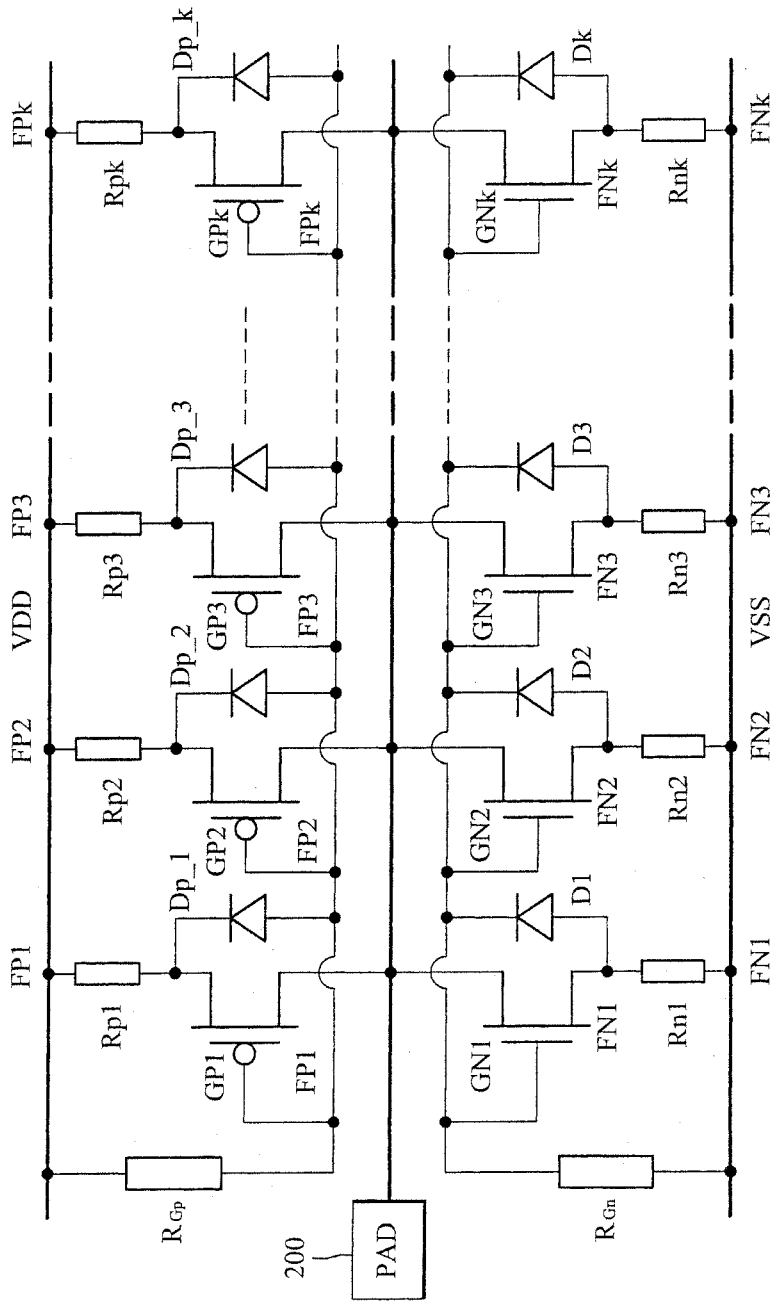
第 16 圖



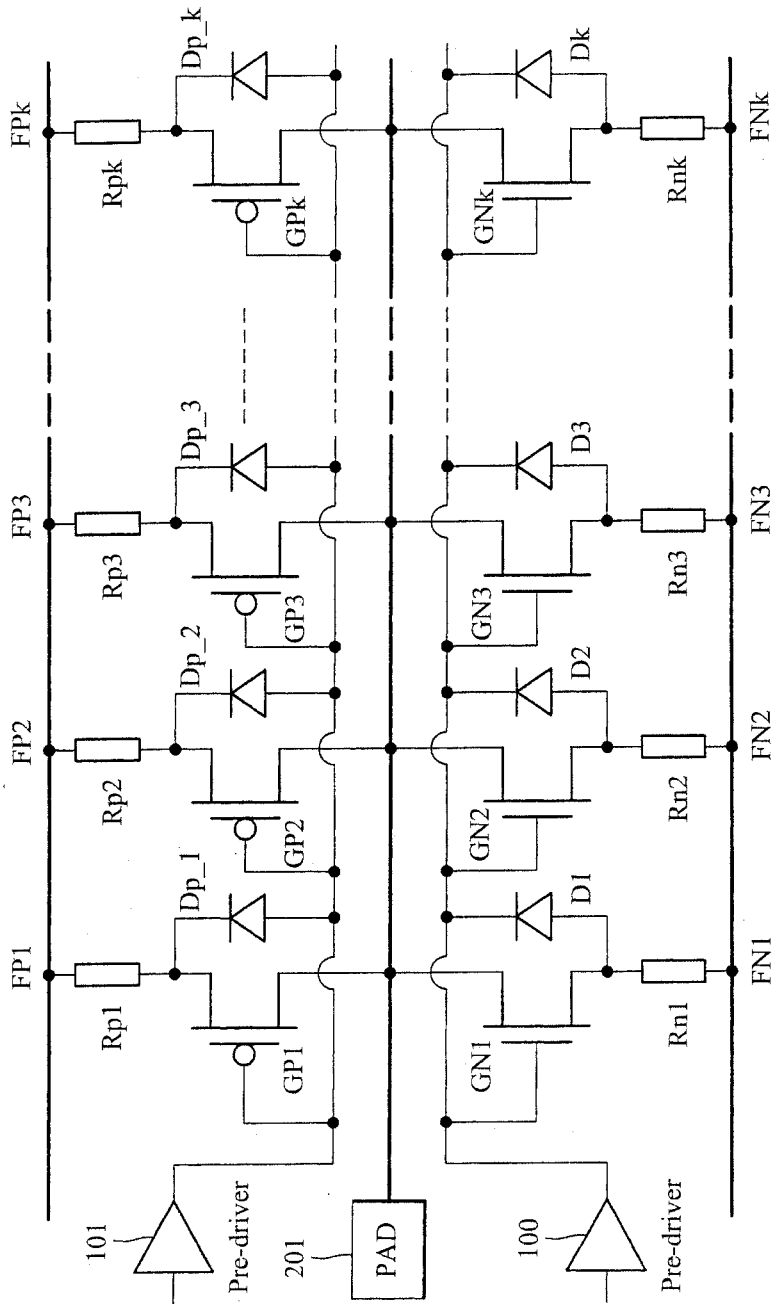
第 17 圖



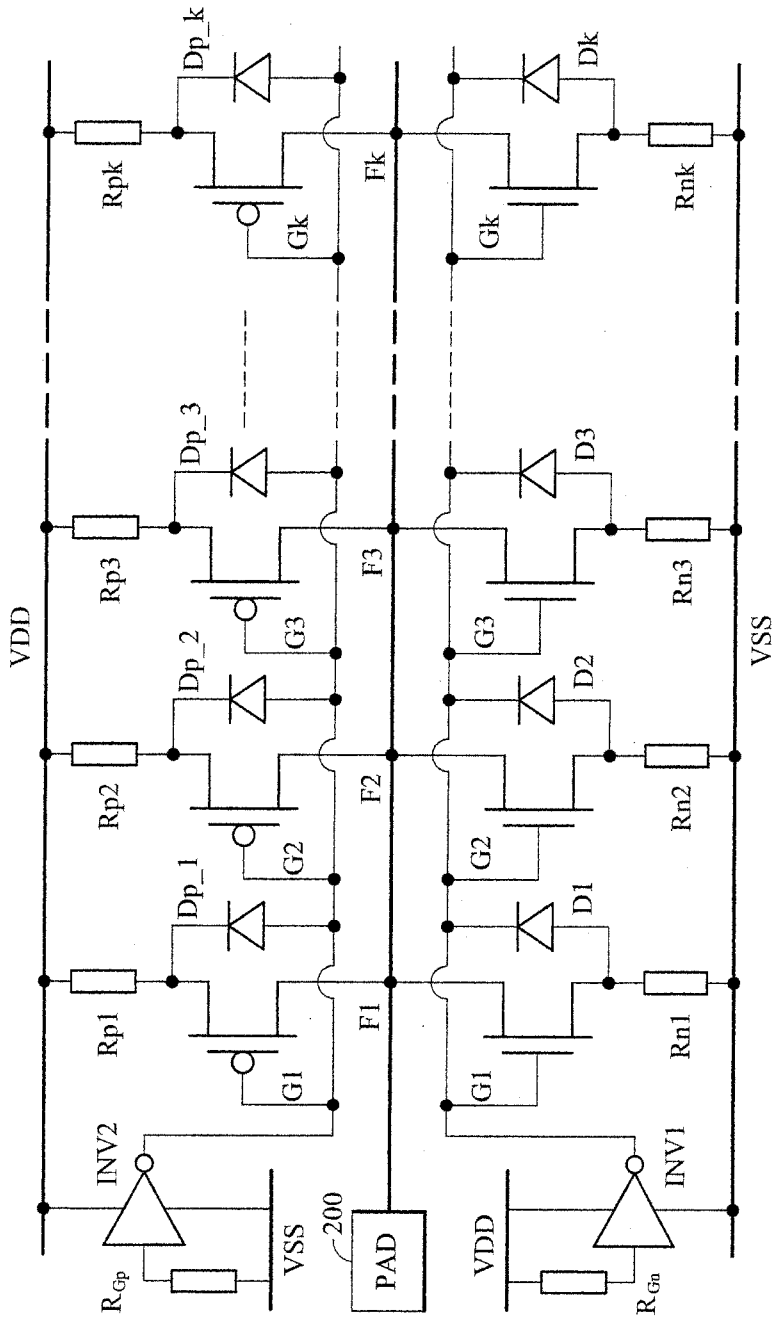
第 18 圖



第 19 圖



第 20 圖



第 21 圖