

【11】公告編號：591787

【44】中華民國 93 (2004) 年 06 月 11 日

【51】Int. Cl.⁷： H01L23/60

發明

全 10 頁

【54】名稱：雙極觸發之靜電放電防護電路

【21】申請案號：091101514

【22】申請日期：中華民國 91 (2002) 年 01 月 30 日

【30】優先權：2001/07/13

美國

09/903,547

【72】發明人：

柯明道

KER, MING DOU

洪根剛

姜信欽

JIANG, HSIN CHIN

【71】申請人：

財團法人工業技術研究院

INDUSTRIAL TECHNOLOGY RESEARCH
INSTITUTE

新竹縣竹東鎮中興路四段一
九五號

【74】代理人：

1

2

[57]申請專利範圍：

1.一種靜電放電防護電路，其包含：
一個箝制電路，此箝制電路含有一
第一電晶體，而第一電晶體含有一
汲極、一源極、一閘極、和一基
極；以及
一個連接至箝制電路的控制電路，
此控制電路與第一電晶體的閘極和
基極相連接，並提供一第一偏壓訊
號給第一電晶體的閘極，提一第二
偏壓訊號給第一電晶體的基極，藉

以觸發箝制電路，以旁通靜電放電
電流。

2.如申請專利範圍第1項所述之電路，
第一偏壓訊號的電壓準位等於第二
偏壓訊號的電壓準位。

3.如申請專利範圍第1項所述之電路，
第一偏壓訊號的電壓準位大於第二
偏壓訊號的電壓準位。

4.如申請專利範圍第1項所述之電路，
第一偏壓訊號的電壓準位小於第二

偏壓訊號的電壓準位。

- 5.如申請專利範圍第1項所述之電路，第一電晶體是一個NMOS電晶體。
- 6.如申請專利範圍第1項所述之電路，第一電晶體是一個PMOS電晶體。
- 7.如申請專利範圍第1項所述之電路，控制電路包含有一個第二電晶體，和一個最少有一個二極體存在的二極體串聯電路，此二極體串聯電路具有第一端點和第二端點，而第二電晶體與二極體串聯電路的第一端點相連接。
- 8.如申請專利範圍第7項所述之電路，控制電路更進一步包含有一個第三電晶體，而第三電晶體與二極體串聯電路的第二端點相連接。
- 9.如申請專利範圍第7項所述之電路，第二電晶體是一個PMOS電晶體。
- 10.如申請專利範圍第8項所述之電路，第三電晶體是一個NMOS電晶體。
- 11.如申請專利範圍第7項所述之電路，控制電路的二極體串聯電路含有多個二極體。
- 12.一種積體電路，其包含：
接收靜電訊號的訊號接收方法；以及
將靜電訊號導至地端的箝制方法，此箝制方法含有一第一端點和一第二端點，第一端點接到訊號接收方法處，而第二端點則接到地端去；以及
連接至箝制方法處的控制方法，控制方法是要提供一第一電壓訊號和一第二電壓訊號至箝制方法處，以觸發箝制方法處導通，進而將靜電訊號導至地端去。
- 13.如申請專利範圍第12項所述之電路，箝制方法中含有一NMOS電晶體。

- 14.如申請專利範圍第12項所述之電路，箝制方法中含有一PMOS電晶體。
- 15.如申請專利範圍第12項所述之電路，更進一步包含有一暫態偵測方法連接至控制方法處。
- 16.如申請專利範圍第12項所述之電路，控制方法中包含有一第一電晶體，一第二電晶體，和一個最少有一個二極體存在的二極體串聯電路，此二極體串聯電路具有第一端點和第二端點，而第一電晶體與二極體串聯電路的第一端點相連接，第二電晶體與二極體串聯電路的第二端點相連接。
15. 17.一種積體電路，其包含有：
一個訊號鉚墊；以及
一個箝制電路，此箝制電路含有一第一NMOS電晶體，而第一NMOS電晶體含有一汲極、一源極、一閘極、和一基極，其中第一NMOS電晶體的汲極是接到訊號鉚墊，源極是接到地端；以及
一個控制電路，此控制電路連接至訊號鉚墊，和連接至第一NMOS電晶體的閘極和基極，並提供一第一偏壓電壓訊號給第一NMOS電晶體的閘極，提供一第二偏壓電壓訊號給第一NMOS電晶體的基極。
20. 18.如申請專利範圍第17項所述之電路，第一偏壓電壓訊號的電壓準位等於第二偏壓電壓訊號的電壓準位。
30. 19.如申請專利範圍第17項所述之電路，第一偏壓電壓訊號的電壓準位大於第二偏壓電壓訊號的電壓準位。
35. 20.如申請專利範圍第17項所述之電路，第一偏壓電壓訊號的電壓準位小於第二偏壓電壓訊號的電壓準
- 40.

位。

- 21.如申請專利範圍第 17 項所述之電路，更進一步包含有一第一二極體及第二二極體，兩個二極體都分別含有第一及第二端點，第一二極體的第一端點是其箝制電路並聯接到訊號鉗墊，而第一二極體的第二端點是接到地端，另外，第二二極體的第一端點是接到 VDD 訊號端；而第二二極體的第二端點是接到訊號鉗墊。
- 22.如申請專利範圍第 17 項所述之電路，控制電路包含有：
 - 一個 PMOS 電晶體，其具有一汲極、一源極、一閘極、和一基極，而其源極是接到訊號鉗墊；以及
 - 一個多數個二極體串聯在一起的二極體串聯電路，而 PMOS 電晶體的汲極是接到二極體串聯電路中的第一個二極體上；以及
 - 一個第二 NMOS 電晶體，其具有一汲極、一源極、一閘極、和一基極，而其汲極是接到二極體串聯電路中的最後一個二極體上，另第二 NMOS 電晶體的源極是接到地端，而第二 NMOS 電晶體的閘極是與 PMOS 電晶體的閘極相連接。
- 23.如申請專利範圍第 22 項所述之電路，第一 NMOS 電晶體的基極是接到由多數個二極體串聯在一起的二極體串聯電路中的任一二極體上。
- 24.如申請專利範圍第 22 項所述之電路，第一 NMOS 電晶體的閘極是接到由多數個二極體串聯在一起的二極體串聯電路中的任一二極體上。
- 25.如申請專利範圍第 22 項所述之電路，PMOS 電晶體的閘極是接到一個暫態偵測電路，而此暫態偵測電路是接到訊號鉗墊。
- 26.如申請專利範圍第 25 項所述之電

路，暫態偵測電路包含有一電阻和一電容，此電阻和電容是串聯在一起，且其串聯點還與 PMOS 電晶體相連接。

5. 27.一種積體電路，其包含有：
 - 一個訊號鉗墊；以及
 - 一個箝制電路，此箝制電路含有一第一 PMOS 電晶體，而第一 PMOS 電晶體含有一汲極、一源極、一閘極、和一基極，其中第一 PMOS 電晶體的汲極是接到訊號鉗墊，源極是接到 VDD 訊號端；以及
 - 一個控制電路，此控制電路連接至訊號鉗墊，和連接至第一 PMOS 電晶體的閘極和基極，並提供一第一偏壓電壓訊號給第一 PMOS 電晶體的閘極，提供一第二偏壓電壓訊號給第一 PMOS 電晶體的基極。
10. 28.如申請專利範圍第 27 項所述之電路，控制電路所提供的第二偏壓電壓訊號的電壓準位可等於、可大於、可小於第二偏壓電壓訊號的電壓準位。
15. 29.如申請專利範圍第 27 項所述之電路，更進一步包含有一第一二極體及一第二二極體，兩個二極體都分別含有第一及第二端點，第一二極體的第一端點是其箝制電路並聯接到訊號鉗墊，而第一二極體的第二端點是接到地端，另外，第二二極體的第一端點是接到 VDD 訊號端；而第二二極體的第二端點是接到訊號鉗墊。
20. 30.如申請專利範圍第 27 項所述之電路，更進一步包含有：
 - 一個第二箝制電路，此第二箝制電路含有一第一 NMOS 電晶體，而第一 NMOS 電晶體含有一汲極、一源極、一閘極、和一基極，其中第一 NMOS 電晶體的汲極是接到訊號鉗
25. 35.
30. 40.

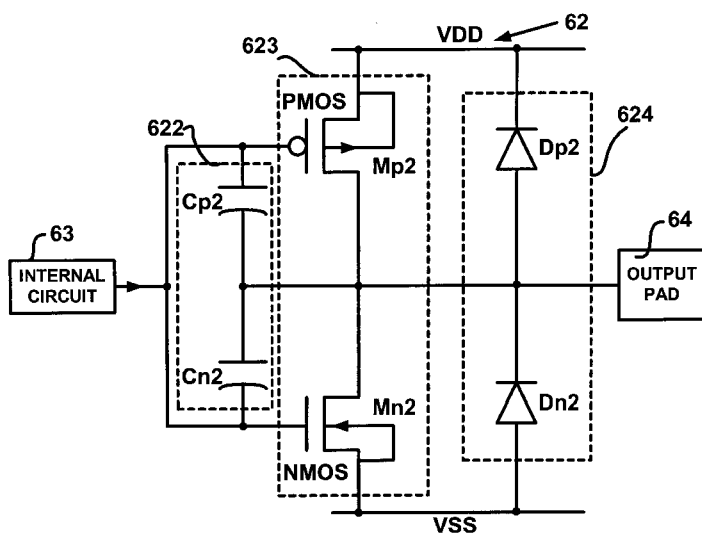
墊，源極是接到地端；以及一個第二控制電路，此第二控制電路連接至訊號鉗墊，和連接至第一 NMOS 電晶體的閘極和基極，並提供一第一偏壓電壓訊號給第一 NMOS 電晶體的閘極，提供一第二偏壓電壓訊號給第一 NMOS 電晶體的基極。

31. 如申請專利範圍第 27 項所述之電路，控制電路包含有：
 - 一個第二 NMOS 電晶體，其具有一汲極、一源極、一閘極、和一基極，而其源極是接到訊號鉗墊；以及
 - 一個由多數個二極體串聯在一起的二極體串聯電路，而第二 NMOS 電晶體的汲極是接到二極體串聯電路中的第一個二極體上；以及
 - 一個第二 PMOS 電晶體，其具有一汲極、一源極、一閘極、和一基極，而其汲極是接到二極體串聯電路中的最後一個二極體上，另第二 PMOS 電晶體的源極是接到 VDD 訊號端，而第二 NMOS 電晶體的閘極是與 PMOS 電晶體的閘極相連接。
32. 如申請專利範圍第 31 項所述之電路，第一 PMOS 電晶體的基極是接到由多數個二極體串聯在一起的二極體串聯電路中的任一二極體上。
33. 如申請專利範圍第 31 項所述之電路，第一 PMOS 電晶體的閘極是接到由多數個二極體串聯在一起的二極體串聯電路中的任一二極體上。

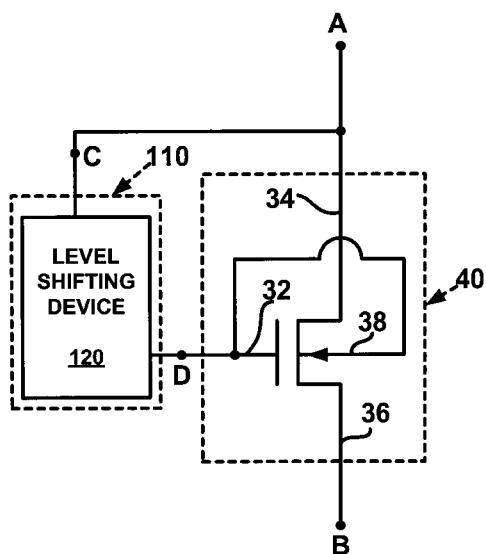
34. 一種保護積體電路不受靜電放電破壞之方法，其方法包含有：

- 接收靜電訊號；
 - 提供一箝制電路，此箝制電路包含有一電晶體，而此電晶體具有一基極和一閘極；
 - 提供一第一偏壓訊號至電晶體的基極；以及
 - 提供一第二偏壓訊號至電晶體的閘極，以觸發此位於箝制電路中的電晶體導通，進而將靜電訊號導至地端。
5. 提供一第一偏壓訊號至電晶體的基極；以及
 10. 提供一第二偏壓訊號至電晶體的閘極，以觸發此位於箝制電路中的電晶體導通，進而將靜電訊號導至地端。
35. 如申請專利範圍第 34 項所述之方法，所提供的第一偏壓訊號的電壓準位可等於、可大於、可小於第二偏壓訊號的電壓準位。
15. 圖式簡單說明：
- 第 1 圖係繪示一習知靜電放電防護電路的電路圖。
 20. 第 2 圖係繪示另一習知靜電放電防護電路的電路圖。
 - 第 3 圖係繪示本發明的一較佳實施例的電路圖。
 - 第 4A 圖-第 4C 圖係繪示本發明中控制電路的幾個較佳實施例的電路圖。
 25. 第 5 圖係繪示本發明的另一較佳實施例的電路圖。
 - 第 6A 圖-第 6C 圖係繪示本發明中控制電路的另幾個較佳實施例的電路圖。
 30. 第 7 圖係繪示本發明的又另一較佳實施例的電路圖。

(5)

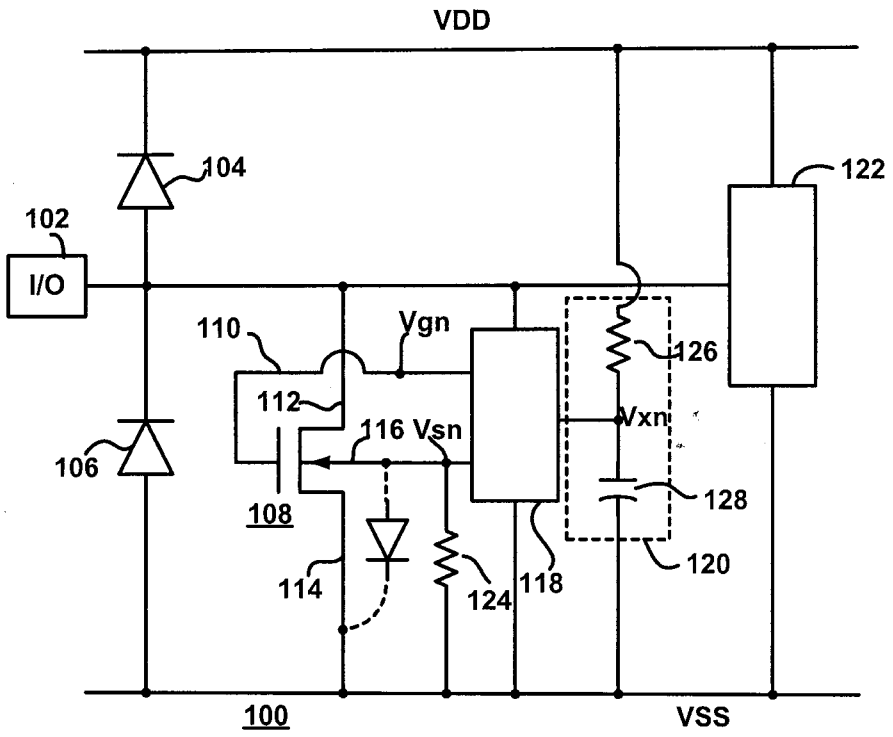


第 1 圖

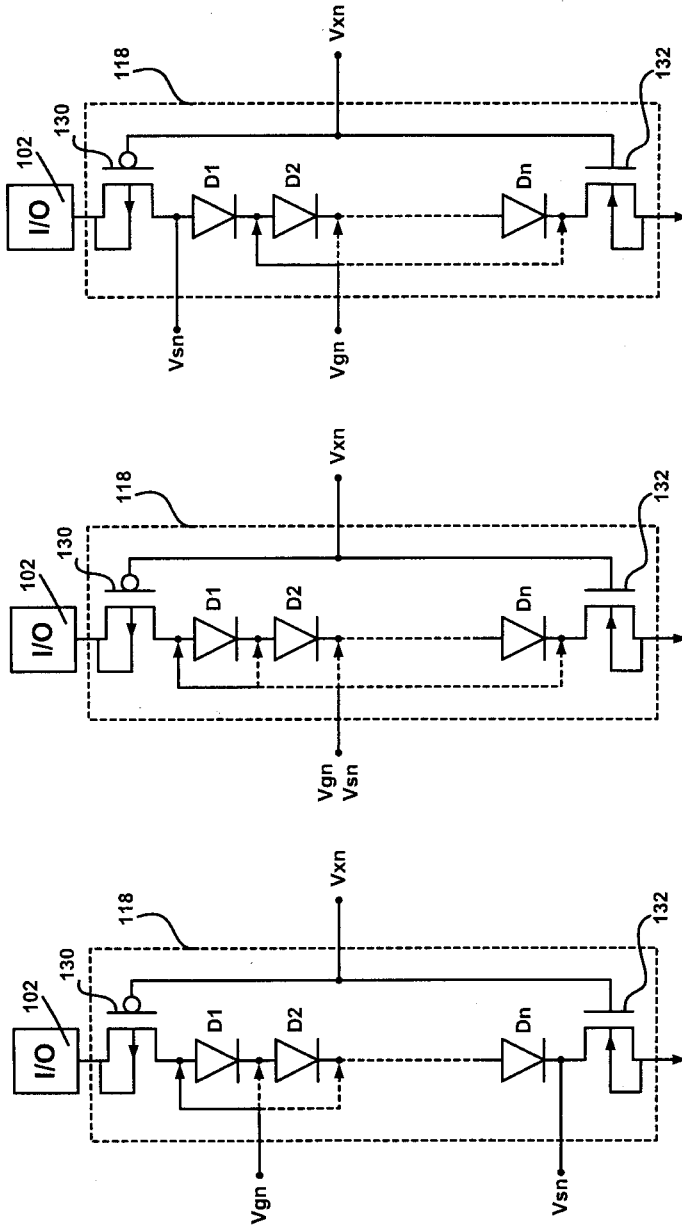


第 2 圖

(6)



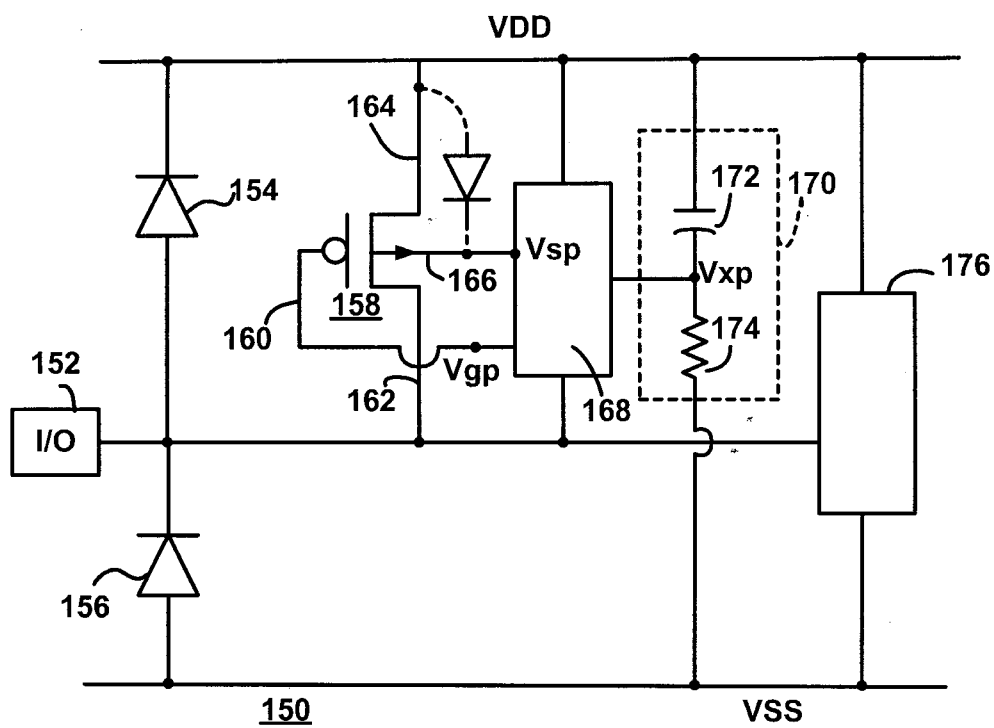
第 3 圖



第4A圖

第4B圖

第4C圖



第 5 圖

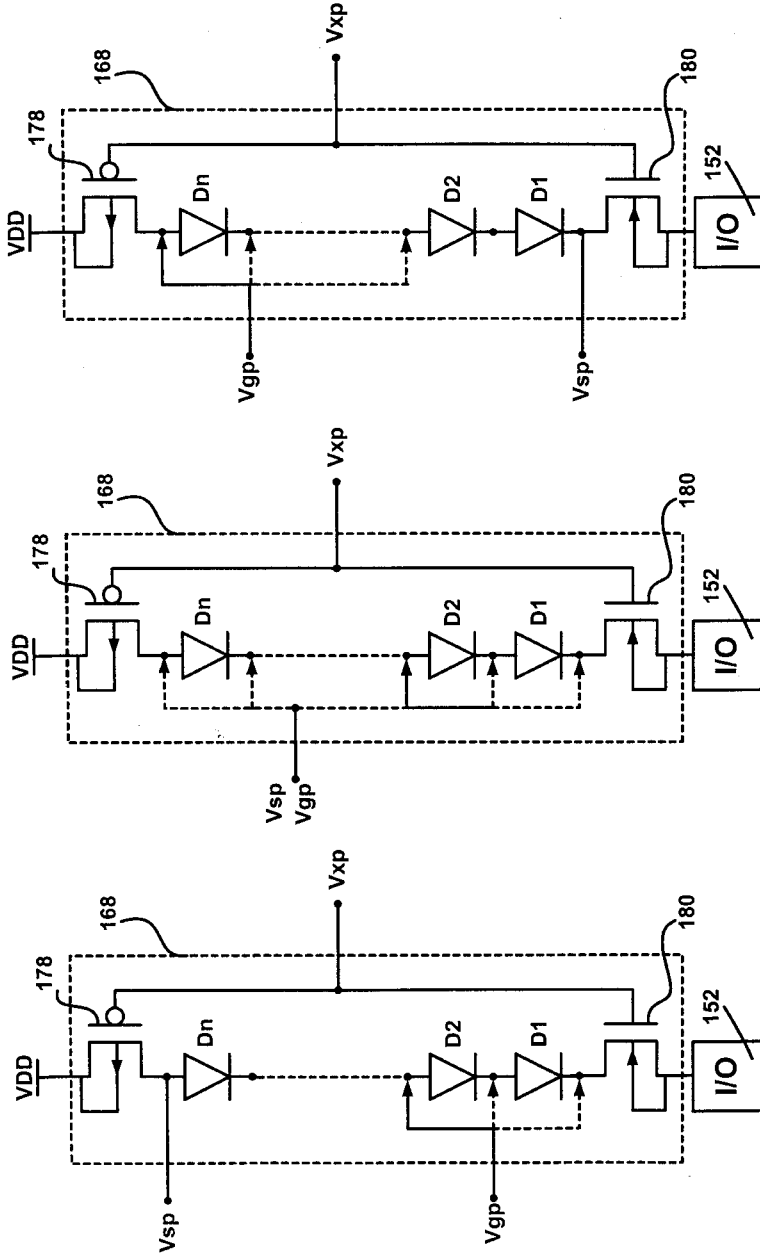


圖 6A 第 6

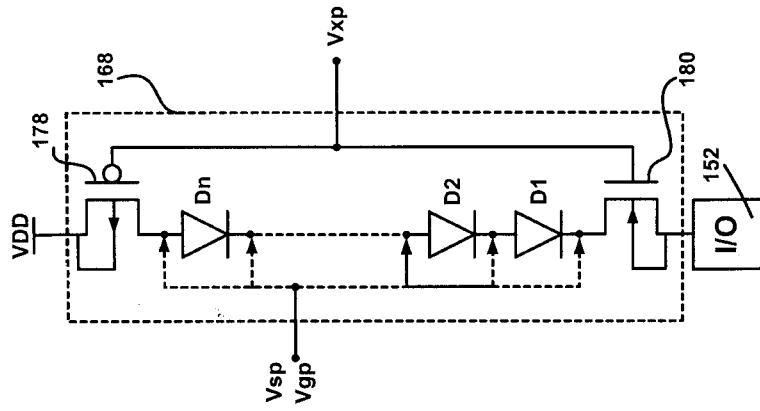


圖
第 6B

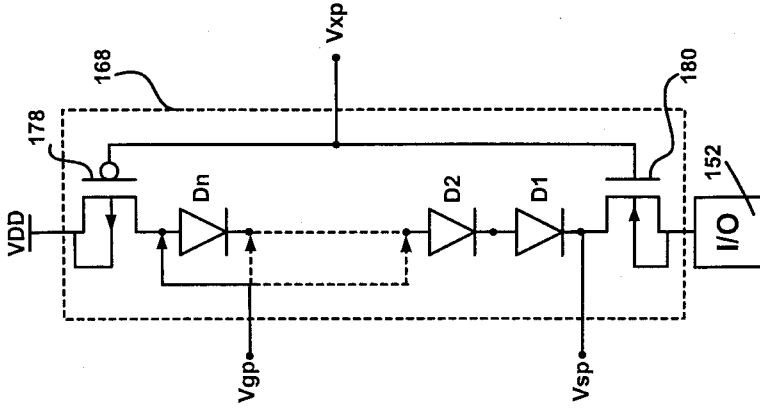
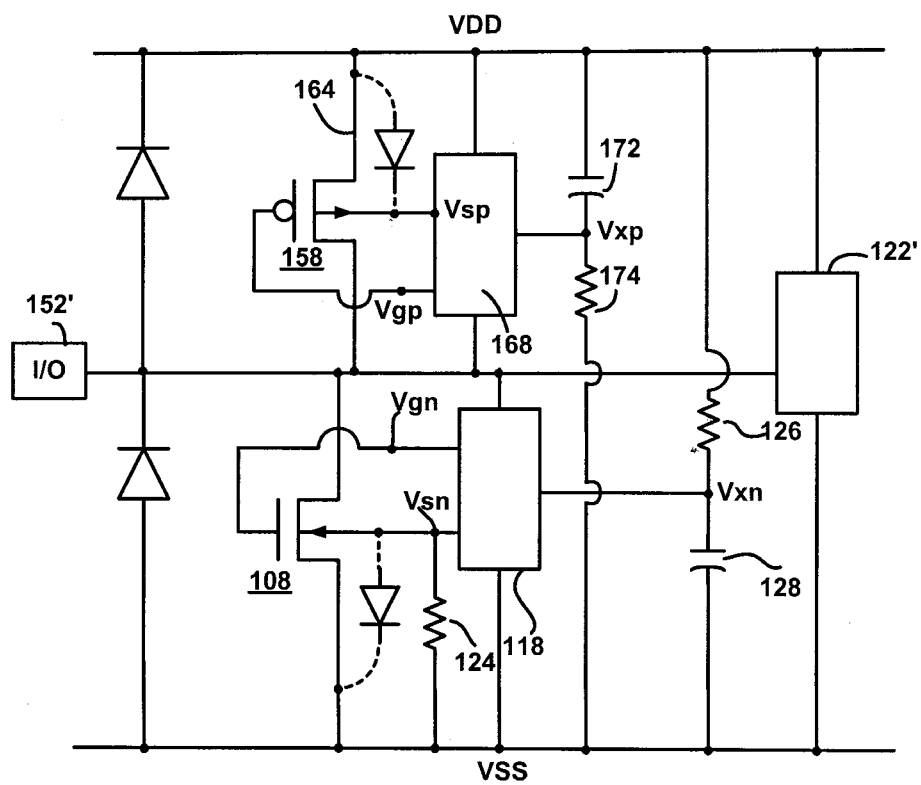


圖 6C 第



第 7 圖