

(11)公告編號: 300670

(44)中華民國86年(1997)03月11日

新 型

全 6 頁

(51)Int. Cl. 6: H01L23/60

(54)名 稱: CMOS積體電路之靜電放電防護裝置

(21)申 請 案 號: 85208311

(22)申請日期: 中華民國85年(1996)06月03日

(72)創 作 人:

柯明道

劉碩彰

新竹市東區寶山路二〇〇巷三號四樓之三

新竹市科學工業園區研發四路一號

(71)申 請 人:

義隆電子股份有限公司

新竹市科學工業園區展業一路九號七樓之一

(74)代 理 人: 周良謀 先生

1

[57]申請專利範圍:

1. 一種用於CMOS積體電路之靜電放電防護裝置, 設於VDD與VSS之間, 主要包含:

防護電路, 當發生靜電放電時, 提供一排放靜電放電電流的路徑, 以保護該CMOS積體電路免於受損;

觸發電路, 未發生靜電放電時使該防護電路為非導通狀態, 而保持該CMOS積體電路的正常操作, 發生靜電放電時則啟動該防護電路以排放靜電放電電流,

其特徵在於該防護電路係利用MOS電晶體中的P型基板或P井與源極S、汲極D的N+區域所形成的橫向NPN雙載子接面電晶體來達成, 當發生靜電放電時, 該觸發電路在該雙載子接面電晶體的基極處產生一電壓而造成該雙載子接面電晶體成為導通狀態, 以排放靜電放電電流, 由於該靜電放電電流並非流經窄小的N通道而係寬大的P型基板或P井, 故能承受很大的

2

靜電放電電流而不致損壞, 此種設計俾能提供一種節省佈局面積型靜電放電防護裝置。

5. 2. 如申請專利範圍第1項之用於CMOS積體電路之靜電放電防護裝置, 其特徵在於N型基板製程下, 該防護用NMOS電晶體之元件結構設計係將該反相器的輸出電壓透過一個P+區域作為接點而直接接到N型基板製程下具有的P井結構, 俾使該反相器的輸出電壓可透過該P+區域而施予橫向雙載子接面電晶體的基極上, 而觸發該雙載子接面電晶體。

15. 3. 如申請專利範圍第1項之用於CMOS積體電路之靜電放電防護裝置, 其特徵在於P型基板製程下, 該防護用NMOS電晶體之元件結構設計係將該反相器的輸出電壓透過一P+區域作為接點而接入, 並在NMOS的汲極與源極兩者之中距離該P+區域較遠者其所對應的N+區域下方製作一N井,

由於在P型基板製程下P型基板係接於地，故電流會由高電位的P+區域流向接地點，且由於該N井結構的存在，會有相當的電流注入橫向雙載子接面電晶體的基極而觸發該雙載子接面電晶體。

4. 如申請專利範圍第1項之用於CMOS積體電路之靜電放電防護裝置，其特徵在於P型基板製程下，該防護用NMOS電晶體之元件結構設計係分成左右兩個NMOS，中間有一P+區域作為接點而接入該反相器的輸出電壓，並分別在左右兩個NMOS的汲極與源極兩者之中距離該P+區域較遠者其所對應的N+區域下方製作一N井，且兩端的NMOS均有各自的接地點，且由於該N井結構的存在，由高電位的P+區域流向兩端接地點的電流會有相當的部份注入橫向雙載子接面電晶體的基極而觸發該雙載子接面電晶體。
5. 如申請專利範圍第1、2、3、或4項中之任一項之用於CMOS積體電路之靜電放電防護裝置，其中該觸發電路包括：
 - 一反相器，接於於VDD與該VSS之間，具有一輸入端與一輸出端，該輸出端接於該防護電路一雙載子接面電晶體的基極；
 - 一電阻R，其第一端接於該VDD，第二端接於該反相器的輸入端；
 - 一電容C，其第一端接於該電阻R的該第二端，第二端接於該VSS。
6. 如申請專利範圍第1、2、3、或4項中之任一項之用於CMOS積體電路之靜電放電防護裝置，其中該觸發電路包括：
 - 七個成二極體連接的NMOS電晶體彼此成串聯連接地接在該VDD與該VSS之間，由VDD往VSS的方向依序

為M1、M2、M3、M4、M5、M6及M7，該M1的汲極接到該VDD，源極接到M2，該M7的汲極接到該M6，源極接到該VSS，且該等NMOS電晶體共用相同的基板；

5. 一NMOS電晶體M8，其閘極接至該電晶體M6與該電晶體M5的共同節點，其源極接到該VSS；
- 一電阻R1，其一端接到該VDD，另一端接到該電晶體M8之汲極；
- 一反相器，由NMOS電晶體M9與PMOS電晶體M10所構成，其輸入端接到該電阻R1與該電晶體M8的共同節點，其輸出端接到防護電晶體Mn的閘極。
7. 如申請專利範圍第1、2、3、或4項中之任一項之用於CMOS積體電路之靜電放電防護裝置，其中該觸發電路包括：
 - 一電阻R1，其第一端接於該VDD；
 - 一電容C1，其第一端接於該電阻R1的第二端，其第二端接於該VSS；
 - 一電阻R2，其第一端接於該VDD；
 - 一電容C2，其第一端接於該電阻R2的第二端；
 - 一Nand電路A1，其有兩個輸入端與一個輸出端，該第一輸入端接收來自該電阻R1之第二端與該電容C1之第一端的共同節點之信號，該第二輸入端接收自該電阻R2之第二端與該電容C2之第一端的共同節點之信號；
 - 一反相器I1，其輸出端接到該電容C2之第二端；
 - 一電阻R3，其第一端接於該反相器I1的輸入端，其第二端與該Nand電路A1的輸出端連接在一起而接至該防護電路；
 - 一電容C3，其第一端接於該電阻R3的第一端與該反相器I1的輸入端之共同節點，其第二端接於該VSS。

圖示簡單說明：

圖1表示習知技術之用於CMOS積體電路之VDD與VSS間的靜電放電防護裝置；

圖2表示在次微米技術下NMOS電晶體的元件結構；

圖3表示本創作之用於CMOS積體電路之VDD與VSS間的靜電放電防護裝置的防護電晶體之元件結構示意圖；

圖4表示本創作之靜電放電防護裝置的防護電晶體在N型基板製程下之元件結構設計；

圖5表示本創作之靜電放電防護裝置的防護電晶體在P型基板製程下之元件結構設計；

圖6表示本創作之靜電放電防護裝置的防護電晶體在P型基板製程下之另一種元件結構設計的較佳實施例；

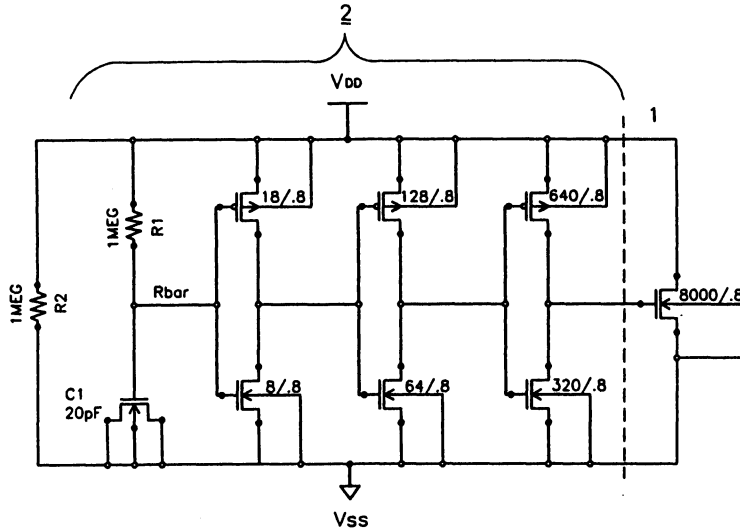
圖7表示本創作之用於CMOS積體電路之VDD與VSS間的靜電放電防護裝置之一較佳實施例；

圖8表示本創作之用於CMOS積體電路之VDD與VSS間的靜電放電防護裝置之另一較佳實施例；

圖9表示本創作之用於CMOS積體電路之VDD與VSS間的靜電放電防護裝置之又一較佳實施例；

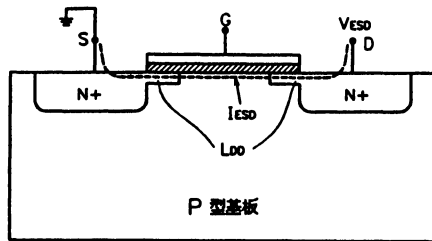
圖10表示圖7所示之根據本創作的靜電放電防護裝置之一實際電路佈局圖。

15.

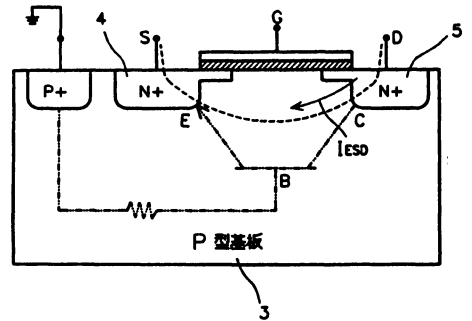


圖一

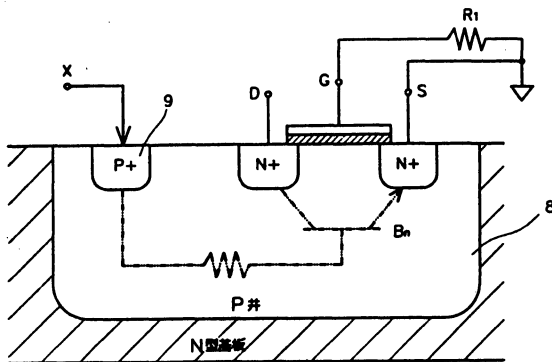
(4)



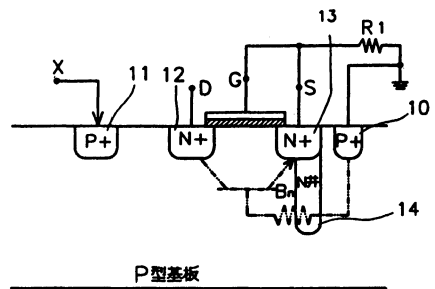
圖二



圖三

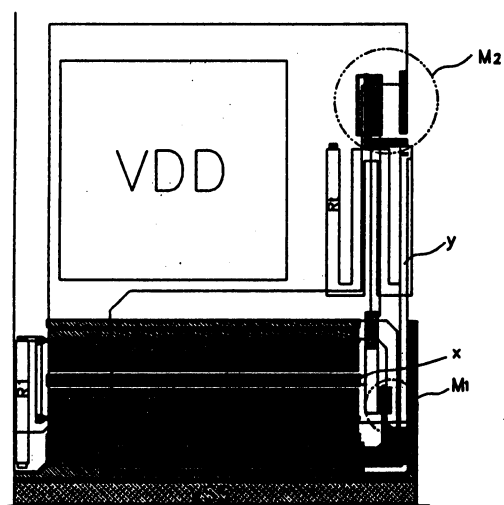


圖四



圖五

(6)



圖十