



徐承煒 Chen-Wei Hsu

國立陽明交通大學 前瞻半導體研究所

獲獎摘要

徐承煒同學自 2022 年逕讀國立陽明交通大學前瞻半導體研究所博士班，專注於積體電路可靠度設計，特別聚焦於靜電放電 (ESD) 防護與栓鎖效應 (Latch-up) 免疫技術的創新研究。其研究成果與產業界密切合作，已實際導入業界產品，展現研究在實務應用上的價值。相關技術成果以第一作者身分發表於 3 篇《IEEE Transactions on Electron Devices》期刊與 3 篇國際會議論文，顯示其對半導體元件可靠度議題的深度投入與專業能力。其研究表現亦獲頒 2024 年鴻海科技獎，肯定其在技術創新與產學合作上的傑出貢獻。

得獎經歷 / 專利

- 2024 鴻海科技獎
- 2024 國科會「國內研究生出席國際學術會議」獎學金
- 2023 國立陽明交通大學 優良教學助理獎
- 2022 國立陽明交通大學產學創新研究學院 產學菁英博士獎學金
- 2021 國立陽明交通大學電子研究所 書卷獎

重要學術著作

1. **Chen-Wei Hsu** and M.-D. Ker, "Cost-efficient solution to overcome latch-up path in 5 V-tolerant I/O with low-voltage biased NBL isolation ring in a 0.18- μ m BCD technology," IEEE Transactions on Electron Devices, vol. 71, no. 3, pp. 2224-2227, Mar. 2024, doi: 10.1109/TED.2024.3350002.
2. **Chen-Wei Hsu** and M.-D. Ker, "Design of bi-directional ESD protection circuit with uni-directional ESD device in BCD technology," IEEE Transactions on Electron Devices, vol. 70, no. 10, pp. 5028-5035, Oct. 2023, doi: 10.1109/TED.2023.3307653.
3. **Chen-Wei Hsu**, Y.-H. Li, and M.-D. Ker, "Optimization on Bi-Directional PNP ESD protection device for high-voltage flexRay applications," IEEE Transactions on Electron Devices, vol. 69, no. 10, pp. 5713-5721, Oct. 2022, doi: 10.1109/TED.2022.3198388.
4. **Chen-Wei Hsu**, M.-D. Ker, P.-L. Chung, C.-T. Cheng, and C.-P. Chen, "Embedded deep-Nwell collector used to improve latch-up immunity of multi-functional I/O buffer with indirect power-connected N-well," in Proc. IEEE International Reliability Physics Symposium (IRPS), 2024, pp. 1-4, doi: 10.1109/IRPS48228.2024.10529416.
5. **Chen-Wei Hsu** and M.-D. Ker, "Latch-up risk in 5V-tolerant I/O buffer surrounded by NBL isolation ring with low-voltage bias," in Proc. IEEE International VLSI Symp. on Technology, Systems and Applications (VLSI-TSA), 2024, pp. 1-2, doi: 10.1109/VLSITSA60681.2024.10546361.
6. **Chen-Wei Hsu**, M.-D. Ker, P.-L. Chung, C.-T. Cheng, and C.-P. Chen, "EOS failure in low-voltage core circuits during latch-up test at I/O pins," in Proc. International Symposium for Testing and Failure Analysis (ISTFA), 2024, pp. 42-46, doi: 10.31399/asm.cp.istfa2024p0042.
7. C.-C. Ker, **Chen-Wei Hsu**, C.-Y. Lin, M.-D. Ker, C.-C. Wang, and T.-Y. Chiang, "Dependence of N-Well guard ring bias on latch-up failure level in a HV/LV mixed-voltage CMOS IC," in Proc. IEEE International VLSI Symp. on Technology, Systems and Applications (VLSI-TSA), 2025, pp. 1-2.

指導教授

柯明道 講座教授

現職 · 國立陽明交通大學 / 電機學院副院長
· 國立陽明交通大學 / 半導體工程學系系主任
· 國立陽明交通大學 / 電子研究所講座教授
學歷 · 國立陽明交通大學 / 電子研究所博士

經歷 · IEEE Fellow (2008~迄今)
· 國立陽明交通大學 / 前瞻半導體研究所所長 (2022.2~2023.1)
· 國立陽明交通大學 / 生醫電子轉譯研究中心 (神經調控醫療電子系統研究中心) 主任 (2011.8~迄今)
· 國立交通大學 / 光電學院院長 (2012.8~2015.7)