

邀 请 函

研讨会由来自台湾具有丰富教学和工程实践经验的柯明道教授主持，通过系统讲解 ESD 原理，工艺和版图对 ESD 保护设计的影响因素，ESD 保护电路设计的电路技术以及在各种电路包括高压 CMOS 电路中的 ESD 保护电路设计方案与案例，说明与会者了解 ESD 保护电路设计的真谛。

【主办单位】：闵康科技股份有限公司

闵康技术检测（上海）有限公司

【讲座名称】：先进CMOS集成电路ESD保护设计

Advanced ESD Protection Design in CMOS Integrated Circuits

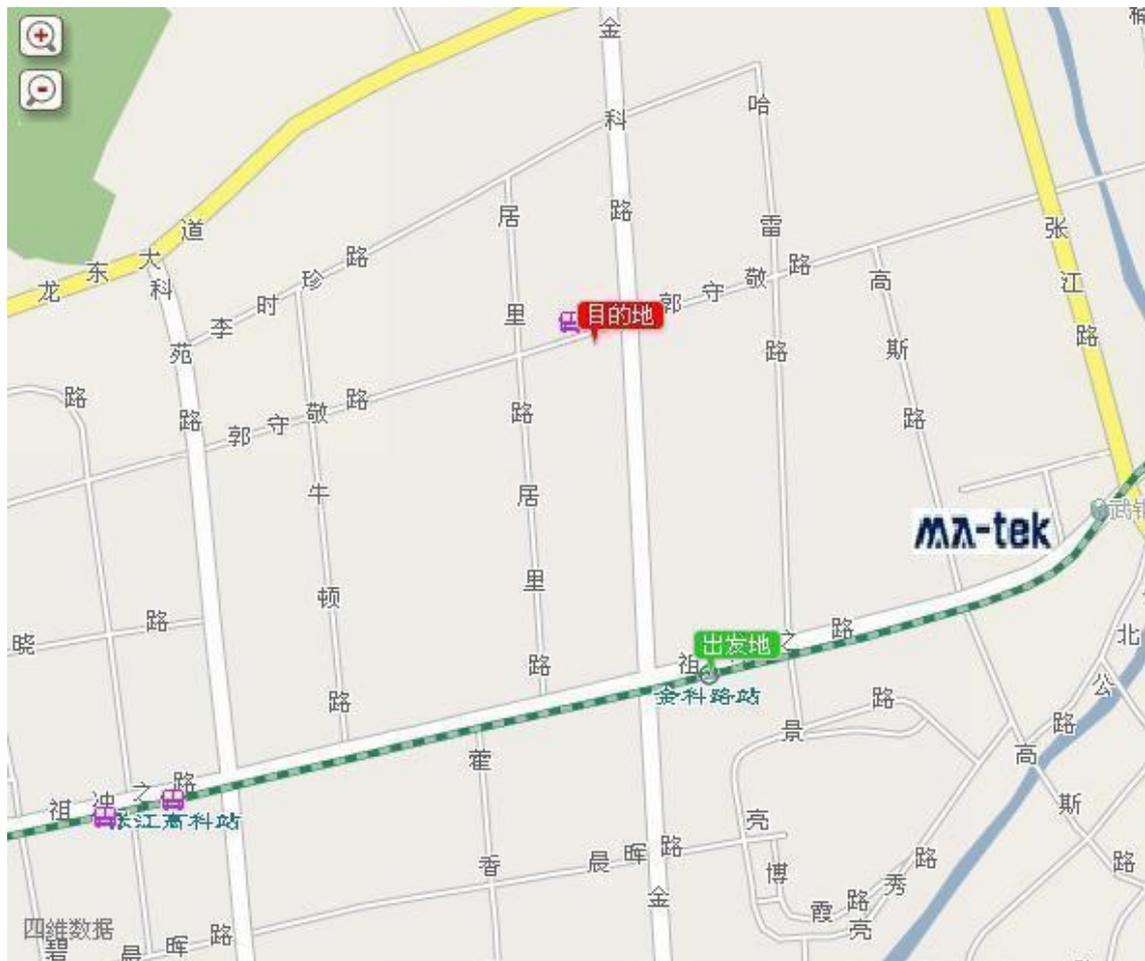
【讲座时间】：2010年11月4日—5日（9：00—17：00）

【讲座地点】：上海市张江高科技园区郭守敬路 498 号（浦东软件园）1 号楼 2 楼多功能厅

【交通方式】：地铁 2 号线金科路站 3 号出口（沿金科路向北走到郭守敬路路口即可）

大桥五线，大桥六线，张江 1 路，636，778，张江环线等到浦东软件园站

地图如下：



短期课程 for 「2010年闽康科技知识服务巡回研讨会—上海站」
(@上海市张江高科技园区)

先进CMOS集成电路ESD保护设计

Advanced ESD Protection Design in CMOS Integrated Circuits

Prof. Ming-Dou Ker (柯明道教授), IEEE FELLOW

(1) Institute of Electronics, National Chiao-Tung University,
Hsinchu, Taiwan. (交通大学 电子研究所)

(2) Dept. of Electronic Engineering, I-Shou University,
Kaohsiung, Taiwan. (义守大学 电子工程系)

mdker@ieee.org

(Nov. 4 ~ 5, 2010)

1-1

Ker'10

Outlines

1. Introduction to ESD (Electrostatic Discharge) and Testing Standards.
2. Process and Layout Issues on ESD Robustness of CMOS ICs.
3. Circuit Techniques for On-Chip ESD Protection Design.
4. ESD Protection Design with SCR Devices.
5. Whole-Chip ESD Protection Scheme (Power-Rail ESD Clamp Circuit).
6. ESD Protection for CMOS ICs with Separated Power Domains.
7. ESD Protection Design for Mixed-Voltage I/O Buffers.
8. ESD Protection Design in HV CMOS Processes.

1-2

Ker'10