

TSIA System-Level ESD Protection Design

TSIA 【**System-Level ESD Protection Design**】課程，將 5 月 7 日於交通大學開班了，熱烈報名中。

102年TSIA 【**System-Level ESD Protection Design**】短期實務人才培訓班課程，本課程講授系統層級(System-Level)之靜電放電防護設計，包括積體電路晶片內(on-chip)之防護設計、電路板上(on-board)之防護設計、以及電磁干擾(EMI)之防護處理。更提供有興趣人士進修或培育第二專長的機會。只需四個晚上，出席率達80%且成績合格者，將由訓練單位發給結業證書，歡迎從事此領域者或有興趣者踴躍報名。

講師介紹：

講師 1: 柯明道任職於交通大學教授；經歷 IEEE Fellow、Editor of IEEE Trans. on Device and Materials Reliability；專長 ESD Protection and IC Reliability；超過 460 篇論文著作。已獲證美國專利 198 件。

講師 2: 蔡耀城任職於晶焱科技資深經理，擔任台灣靜電學會秘書長。

講師 3: 陳東暘任職晶焱科技協理，擔任台灣靜電學會理事，超過 60 篇論文著作。

課程編號：**102A001**

課程介紹：

隨著半導體製程技術的快速發展，再加上系統產品不斷地要求輕、薄、短、小，使得 SoC (System on a Chip，系統單晶片)的重要性與日俱增，許多應用更需透過 SoC 才能帶來技術上革命性的突破。但是隨著積體電路與系統單晶片在各式各樣不同領域的廣泛應用，其可靠度問題也逐漸浮現，尤其是當半導體製程技術進展到奈米尺寸(nanoscale)之後，雖然電晶體的操作速度可以提昇且功耗可以降低，但是尺寸微縮化之電晶體對電性過壓(electrical overstress, EOS)與噪訊干擾的耐受能力也大幅下降，這將造成使用該先進積體電路或系統單晶片的微電子系統(microelectronic system)出現產品品質與可靠度的問題，進而影響公司的商譽與市場占有率。而幾百伏特甚至幾千伏特的靜電放電事件經常發生在我們的周遭，實際量測的研究資料指出，人在地毯上行走，在人體上累積的靜電可達幾千伏特至幾萬伏特之高。因此，當系統單晶片經過繁雜且昂貴的設計與驗證流程後，又使用最貴最新進的光罩與半導體技術來製造，如果該系統單晶片的靜電放電防護設計不良或不足，將造成系統單晶片後段生產良率的嚴重下降，造成高單價開發出來的系統單晶片無法順利地大量生產。當積體電路產品有競爭對手時，ESD 防護能力已成為價格競爭的關鍵之一，無論就保護積體電路與微電子系統的立場，或產品商場上競爭的立場，已成為積體電路與微電子系統產品的一項重要課題。歐洲共同市場(CE)已經要求系統層級(System-Level)的 ESD 規格(8~15KV)，故若要提升台灣積體電路與微電子系統產品的世界競爭力，產品的 ESD 耐受能力就必需要能符合國際水準。本課

程之規劃，可因應積體電路與微電子系統業界之實務需求。本課程講授系統層級(System-Level)之靜電放電防護設計，包括積體電路晶片內(on-chip)之防護設計、電路板上(on-board)之防護設計、以及電磁干擾(EMI)之防護處理。

課程大綱：

- (1) The difference between the chip-level and system-level ESD standards.
- (2) Overview of on-chip ESD protection circuits.
- (3) Transient-induced latchup by system-level ESD test.
- (4) Transient-to-digital converter for auto-recovery operation.
- (5) The key parameters of TVS (transient voltage suppression) devices.
- (6) Applications of TVS arrays.
- (7) On-board layout suggestions and case studies with TVS.
- (8) Environment ESD and EOS Issues.
- (9) System-level ESD impacts on IC and system.
- (10) Power/Signal Integrity issues for system-level ESD and EMI.

➤ **招生對象：**

本課程適合積體電路設計工程師、積體電路應用工程師、產品工程師及有興趣參加。

➤ **招生人數：**30 名(開班人數 10 人以上)

➤ **時間：**2013/5/7-28，(週二)晚間班，18:30~21:20，共計 12 小時

➤ **地點：**國立交通大學（新竹市大學路 1001 號）

➤ **費用：**NT\$6,500(含稅、茶點、講義)

【TSIA 會員或非會員 3 人(含)以上團體報名，每人可享優惠價 NT\$5,000】

➤ **請填妥下方報名表，並傳真至 03-5820056 或 Email 至 candy@tsia.org.tw，或洽服務窗口：03-5913181 江珮君小姐（名額有限，欲報從速，以免向隅）**

參加者姓名		統一編號		膳 食	☐ 葷 ☐ 素
公司全名		部 門		職 稱	
發票抬頭	☐ 同公司全名 ☐ _____				
聯絡地址					
電 話		傳 真			
行動電話		E-mail			

➤ **報名須知(含繳費方式及退費辦法)：**請至網站 <http://www.tsia.org.tw> 課程專區查詢

System-Level ESD Protection Design

講師:

柯明道教授¹、蔡耀城資深經理²、陳東暘協理²

¹ 交通大學 電子研究所

² 晶焱科技 設計研發部

May 2013

1

課程大綱

1. The chip-level and system-level ESD standards. (柯明道講授)
2. Overview of on-chip ESD protection circuits. (柯明道講授)
3. Transient-induced latchup by system-level ESD test. (柯明道講授)
4. Transient-to-digital converter for auto-recovery operation. (柯明道講授)
5. The key parameters of TVS (transient voltage suppression) devices. (蔡耀城講授)
6. Applications of TVS arrays. (蔡耀城講授)
7. On-board layout suggestions and case studies with TVS. (蔡耀城講授)
8. Environment ESD and EOS Issues. (陳東暘講授)
9. System-level ESD impacts on IC and system. (陳東暘講授)
10. Power/Signal Integrity issues for system-level ESD and EMI. (陳東暘講授)

2