

義 守 大 學
電 子 工 程 研 究 所
碩 士 論 文

奈米互補式金氧半製程下混合電壓輸入輸出
電路設計

Design of Mixed-Voltage I/O Circuit in
Nanoscale CMOS Process

研究生：郭品宏
指導教授：柯明道 博士
黃有榕 博士

A Thesis Submitted to
Department of Electronic Engineering
I-Shou University
in
Partial Fulfillment of the Requirements
for the Master degree
with a
Major in Electronic Engineering
July, 2012
Kaohsiung, Taiwan
Republic of China

中華民國 一〇一 年 七 月

義守大學
電子工程學系碩士班
論文口試委員會審定書

本校 電子工程 研究所 郭品宏 君
所提論文

奈米互補式金氧半製程下混合電壓輸入輸出電路設計

Design of Mixed-Voltage I/O Circuit in Nanoscale CMOS Process

合於碩士資格水準，業經本委員會評審認可。

口試委員：

柯明道

陳明坤

黃有格

指導教授：

柯明道

黃有格

研究所所長：

劉國圻

中華民國 101 年 7 月 26 日

奈米互補式金氧半製程下混合電壓輸入輸出 電路設計

學生：郭品宏

指導教授：柯明道教授

黃有榕教授

義守大學電子工程研究所

摘要

本論文之研究主題為互補式金氧半製程之 2.5-V 輸入/輸出元件庫設計與混合電壓輸出電路設計。

在積體電路(integrated circuits)設計中，元件庫 (cell library) 是不可或缺的一個重要部分，因為元件庫包含了組成積體電路的所有最基本單元。其中，輸入/輸出單元 (input/output cell, I/O cell) 連接積體電路與外界，並提供輸出驅動電流或接收輸入訊號的功能，亦保護積體電路免於遭受靜電放電(electrostatic discharge,ESD)損壞。然而，隨著互補式金氧半 (complementary metal-oxide-semiconductor, CMOS) 積體電路製程技術的演進，積體電路中的電晶體尺寸逐漸縮小，電路功能越來越多，操作速度也越來越快，元件庫勢必要提供更多不同功能的輸出入單元，以因應各種電路需求。此外，電晶體閘極氧化層的崩潰電壓隨著製程演進日益降低，造成積體電路產品的靜電放電耐受度下降。因此元件庫的設計在先進互補式金氧半製程中，存在更多的困難與挑戰。

本論文在 0.25 微米互補式金氧半製程中，設計並驗證一套輸入/輸出元件庫，此輸入/輸出元件庫包含了輸入/輸出單元、雙向單元(bidirectional cell)、VDD 和 VSS

單元(power cell)、Power Cut 單元、連接單元 (feeder cell)和其它單元。輸出單元內可以控制電流驅動能力，本輸入/輸出元件庫提供了靜電放電防護電路，以建構完整的全晶片(whole-chip)靜電放電防護。本論文以 0.25 微米互補式金氧半製程設計並製作此輸入/輸出元件庫，實驗晶片的量測結果已成功驗證此輸入/輸出元件庫之所有功能，包含接收輸入訊號、傳送輸出訊號、與全晶片靜電放電防護。

此外，本論文提出一種可承受三倍 VDD 電壓的輸出電路，設計於 0.25 微米 1.8-V CMOS 製程中，但只使用一倍 VDD 元件。此新提出的三倍電壓耐受度的輸出緩衝器可以傳送三倍供應電壓之訊號且不會發生閘極氧化層過壓的問題。此新提出之可承受三倍 VDD 的輸出電路，亦可在各種的 CMOS 製程下實現，以滿足微電子系統的混合電壓界面應用之需求。

關鍵字：閘極氧化層可靠度、可承受高壓、輸入/輸出元件庫、輸出電路。

Design of Mixed-Voltage I/O Circuit in Nanoscale CMOS Process

Student: Pin-Hung Kuo

Advisor: Prof. Ming-Dou Ker

Prof. Yu-Jung Huang

Department of Electrical Engineering

I-Shou University

ABSTRACT

A design of 2.5-V input/output(I/O) library and a design of $3\times V_{DD}$ -tolerant output buffer in CMOS process are studied in this thesis.

A cell library plays an important role in integrated circuits (ICs), because it includes all of fundamental cells to construct the ICs. In the cell library, the I/O cells provide the link between the ICs and outward. Thus, the I/O cells are used to provide the driving currents, to receive the input signals, and to protect the ICs against electrostatic discharge (ESD) damages. As the feature size of transistors shrinks with the advance of complementary metal-oxide-semiconductor (CMOS) technology, the circuit functions become more complex and the operating frequency becomes higher. However, thinner gate-oxide decreases the ESD robustness of MOS transistors. Hence, there are more challenges and limits for the I/O cell library design in nanoscale CMOS technology.

ISU Degree Thesis Collection

In this thesis, an I/O cell library is designed in 0.25- μm CMOS technology. The I/O cell library includes the I/O cell, analog I/O cell, digital I/O cell, bidirectional cell, power cell, feeder cell and other cell. In the I/O cell, the output stage is used to provide driving current. All of the aforementioned functions have been integrated in a single I/O cell proposed in this thesis. In addition, several effective ESD protection circuits are designed in this I/O cell library to provide whole-chip ESD protection. The proposed I/O cell library has been fabricated in 0.25- μm CMOS process. Experimental results have successfully verified all of the functions provided in the I/O cell library, including receiving input signals, transmitting output signals, slew-rate control, and whole-chip ESD protection.

Besides, a new $3\times\text{VDD}$ -tolerant mixed-voltage output buffer realized with only $1\times\text{VDD}$ devices has been proposed and designed in a 0.25- μm CMOS process. The new proposed circuit can transmit the signals with $3\times\text{VDD}$ voltage without suffering gate-oxide reliability problem. The proposed $3\times\text{VDD}$ -tolerant I/O circuit can be implemented in other CMOS processes to meet the mixed-voltage interface applications in the microelectronic systems.

Keywords: Gate-oxide reliability, high-voltage tolerance, I/O cell library, output buffer.

義守大學博碩士論文典藏

致謝

時間過得很快，兩年研生活即將結束。首先感謝我的父母、還有大哥在我忙碌的研究所生活中給我鼓勵與幫助，讓我可以專心完成我的研究。

剛踏入研究所生活時，不知如何規劃研究方法與找尋研究目標，感謝我的指導教授柯明道老師與黃有榕老師在學術研究上給予耐心指導與鼓勵，並提供良好的研究設備與環境，使得每位學生能夠專心於研究，表現出最好的研究結果。在做人處事上，老師也給予我們正面的觀念與態度。

還有感謝林群祐學長，在他繁忙工作之餘，給予我研究方法的指導，在群祐學長身上學習到很多獨特的研究觀點與研究方法，並傳授很多工作上的經驗讓我們學習。

感謝交通大學『奈米電子與晶片系統 307 實驗室』的夥伴，感謝博士班蔡惠雯學姐與林倍如學姐的幫忙與關心，還有邱柏硯學長、陸亭州學長、葉致廷學長，和碩士班的實驗室同學黃雅君、戴嘉岑還有感謝學妹黃橘晴、顧珊綺，你們的指導與幫忙，雖然只有短暫相處一年，卻帶來實驗室非常多的歡笑與快樂。

當然，還要感謝義守大學『VLSI/CAD 3A21 實驗室』的夥伴，感謝碩士班的黃彥彰、陳盈良、姜其璫、賴建彰學長，感謝你們一年來的教導與鼓勵，還有義豪、凱仁、炫勳與黃俊瑋學弟、黃智鴻學弟、曾雅惠學妹謝謝你們的幫忙與陪伴，有你們的陪伴使我們的研究室生活更加精彩與快樂。

郭 品 宏

僅誌於新竹交大

民國 101 年 7 月

義守大學博碩士論文典藏

目錄

摘要	i
Abstract	iii
致謝	v
目錄	vi
表目錄	viii
圖目錄	ix
第一章 序論	1
1-1 研究背景與動機	1
1-1-1 I/O 接面問題	2
1-1-2 ESD 問題	2
1-2 I/O 元件庫介紹	3
1-3 論文架構	3
第二章 輸入/輸出元件及 ESD 保護電路設計簡介	7
2-1 基本規格	7
2-2 輸出級	7
2-3 ESD 保護電路設計	8
2-4 電源/接地單元	9
2-5 輸入單元	10
2-6 電源斷開(Power Cut)單元	10
第三章 輸入/輸出元件庫實體佈局	20
3-1 電源/接地單元	20
3-2 輸入單元	20
3-3 輸出單元	21
3-4 電源斷開(Power Cut)單元	21
3-5 連接單元 (Feeder Cells)	22
3-6 驗證輸入/輸出單元	22
3-7 驗證每個單元的靜電放電耐受度	22
3-8 驗證全晶片的靜電放電防護	23
3-9 功能驗證	23
3-9-1 驅動能力	23
3-9-2 工作頻率	24
3-10 靜電放電故障判斷	24
3-10-1 每個電源 / 接地單元	25
3-10-2 全晶片靜電放電防護結構	25

3-11 晶片量測結果討論	26
3-11-1 失效分析	26
第四章 互補式金氧半製程之混合電壓輸出電路設計	49
4-1 簡介	49
4-2 電路架構與設計	49
4-3 電路原理	50
4-3-1 前置驅動級電路(Pre-Driver)	50
4-3-2 電壓轉換電路(Level Converter)	51
4-3-3 電荷幫浦電路(Charge Pump).....	51
4-4 電路模擬結果	52
4-5 結果討論	53
第五章 結論	61
參考文獻	62

義守大學博碩士論文典藏

表目錄

表 1.1：輸入/輸出元件庫基本規格.....	4
表 2.1：Pure 2.5-V 元件庫之模擬條件.....	9
表 3.1：配置 I/O 單元，2.5-V 直流供應電壓下的規格.....	27
表 3.2：在 2.5-V 供應電壓下驅動電流的模擬與測量結果之間的比較.....	28
表 3.3：在不同的驅動電流的輸出單元的工作頻率.....	28
表 3.4：VDDE 與 VSSE 單元 HBM 和 MM 的靜電放電耐受度測試.....	29
表 3.5：VDDI 與 VSSI 單元 HBM 和 MM 的靜電放電耐受度測試.....	29
表 3.6：2.5-V 類比輸入單元 HBM 和 MM 的靜電放電耐受度測試.....	30
表 3.7：電源斷開(Power Cut)單元的 HBM 和 MM 的靜電放電耐受度.....	30
表 3.8：全晶片靜電放電保護電路的 HBM 和 MM 的靜電放電耐受度測試分別在 2mA 與 6mA.....	31
表 3.9：全晶片靜電放電保護電路的 HBM 和 MM 的靜電放電耐受度測試分別在 10mA 與 16mA.....	32
表 3.10：全晶片靜電放電保護電路的 HBM 和 MM 的靜電放電耐受度測試分別在 20mA 與 24mA.....	33
表 4.1：新提出的 $3\times VDD$ 輸出電路的操作模式.....	63
表 4.2：前置驅動級真值表.....	62

ISU Degree Thesis Collection

義守大學博碩士論文典藏

圖目錄

圖 1.1：IC 產品靜電放電(ESD)測試的四種腳位組合模式：(a) 正的 ESD 電壓對 VSS 腳放電(PS-mode), (b) 負的 ESD 電壓對 VSS 腳放電 (NS-mode), (c) 正的 ESD 電壓對 VDD 腳放電 (PD mode), and (d) 負的 ESD 電壓對 VDD 腳放電 (ND-mode).....	5
圖 1.2：CMOS IC 晶片典型的靜電放電保護電路圖	5
圖 1.3：輸入/輸出焊墊端(PAD)與電源端到地端間靜電放電箝制電路的靜電 放電電流路徑，在 PS-模式的靜電放電耐受能力。在虛線的線條是表示，靜電放電的電流路徑.....	6
圖 2.1：示意圖為下拉驅動電流(I_{OH})和 (a) 終端條件及 (b) 輸出 NMOS 的 IV 曲線圖	10
圖 2.2：示意圖為上拉驅動電流(I_{OH})和 (a) 終端條件及 (b) 輸出 PMOS 的 IV 曲線圖	10
圖 2.3：所示單手指狀輸出 NMOS 的模擬結果	11
圖 2.4：模擬 NMOS 驅動電流	11
圖 2.5：結合輸出的 NMOS 作為 inverter 來設計輸出的 PMOS	12
圖 2.6：全晶片 ESD 保護電路方塊圖	14
圖 2.7：(a) VDDE_25,(b) VDDI_25 單元電路圖	15
圖 2.8：VDDE_25 及 VDDI_25 單元 (a) 電源啟動條件下及 (b) ESD 應力情況下的模擬結果.....	16
圖 2.9：分別為(a)類比和(b)數位佈局示意圖	18
圖 2.10：電源斷開單元電路圖	19
圖 3.1：分別顯示。(a) VDDE_25, (b) VDDI_25, (c) VSSE_25, (d) VSSI_25(e)ESDH_25 單元的佈局頂視圖	26
圖 3.2：分別顯示。(a)AIN_25 佈局頂視圖，(b)AIN_25 佈局示意圖.....	27
圖 3.3：分別顯示。(a)DIN_25 佈局頂視圖，(b)DIN_25 佈局示意圖.....	28
圖 3.4：分別顯示。(a)OUXX_25 佈局頂視圖，(b)OUXX_25 佈局示意圖.....	29
圖 3.5：分別顯示。(a) 電源斷開佈局頂視圖，(b) 電源斷開佈局示意圖	30
圖 3.6：連接單元佈局示意圖	31
圖 3.7：轉角單元佈局示意圖	31
圖 3.8：輸入單元 (DOUxx_25) 驅動能力測試電路	32
圖 3.9：電源 /接地單元測試元件(a)VDDE_25, (b)VSSE_25,(c)VDDI_25, (d)VSSI_25	33
圖 3.10：輸入單元的(a)類比輸入/輸出單元,(b)數位輸入/輸出單元的測試元件	37
圖 3.11：類比輸入/輸出單元有反向器級的測試元件.....	38
圖 3.12：電源斷開單元於 2.5 -V 電壓區域測試元件.....	38

圖 3.13：全晶片與電源斷開單元防護計畫.....	40
圖 3.14：台積電 0.25 微米 CMOS 製程測試晶片佈局頂視圖	40
圖 3.15：I/O 單元庫測試晶片佈局頂視圖使用台積電 0.25 微米 CMOS 製程	41
圖 3.16：驗證驅動電流的測量設定(a) 輸出低電流 (I_{OL}), (b) 輸出高電流 (I_{OH})	42
圖 3.17：輸出單元量測工作頻率設定.....	43
圖 3.18：圖 3.20 輸出單元在輸入端傳輸 1-MHz 的訊號和從 0-V 到 2.5-V 電壓擺幅 分別在 (a) 2mA, (b) 6mA, (c) 10mA, (d) 16mA, (e) 20mA, (f) 24mA 不同的 驅動電流下的情形.....	44
圖 3.19：圖 3.20 輸出單元在輸入端傳輸 10-MHz 的訊號和從 0-V 到 2.5-V 電壓擺 幅分別在 (a) 2mA, (b) 6mA, (c) 10mA, (d) 16mA, (e) 20mA, (f) 24mA 不同 的驅動電流下的情形.....	45
圖 3.20：圖 3.20 輸出單元在輸入端傳輸 50-MHz 的訊號和從 0-V 到 2.5-V 電壓擺 幅分別在 (a) 2mA, (b) 6mA, (c) 10mA, (d) 16mA, (e) 20mA, (f) 24mA 不同 的驅動電流下的情形.....	46
圖 3.21：輸出單元量測驅動電流設定.....	47
圖 3.22：類比 I/O 單元 SEM 照片圖	48
圖 3.23：類比 I/O 單元的 Mn2 閘級損傷.....	48
圖 4.1：傳統的三態 I/O 輸出輸入電路.....	64
圖 4.2：新提出的 $3\times VDD$ 電壓共容的輸出電路.....	65
圖 4.3：前置驅動級電路圖	65
圖 4.4：(a)電壓轉換電路圖，(b)電路模擬波形圖.....	66
圖 4.5：(a)電荷幫浦電路圖，(b)電路模擬波形圖.....	67
圖 4.6： $3\times VDD$ 電壓共容輸出電路的模擬波形：(a) OE 為 VDD，Dout 為 VDD， (b) OE 為 VDD，Dout 為 0V，(c) OE 為 0V，Dout 為 VDD.....	69
圖 4.7：晶片佈局平面圖.....	69

義守大學博碩士論文典藏

第一章 序論

1-1 研究背景與動機

在數位積體電路(IC)或混合信號 IC 設計的系統級晶片(System on Chip, SoC)和超大規模積體電路系統，元件庫通常用來加速設計過程。輸入/輸出元件是一個在 IC 產品上重要的要素，它可以提供足夠的輸出驅動電流或接收外部訊號。在此期間，該 I/O 單元也可以提供足夠的靜電放電(Electrostatic Discharge,ESD)保護，以保護內部的積體電路(Integrated Circuits,ICs)。

1-1-1 I/O 接面問題

隨著新一代的 CMOS 技術演進，電晶體體積越縮越小也讓晶片的成本降低，並增加電路效能（例如，運行速度）。但由於較厚的閘極氧化層變得更薄，將面臨幾個問題，如閘極氧化層可靠性[1]和熱載流子退化[2]。因此，核心供應電壓(VDD)必須相對地降低，以確保積體電路的使用壽命。由於電源電壓已經降低，這將減少降低功耗，實現了低功耗的目的。

在高速接面，輸出緩衝器最主要產生接腳到接腳的延遲，是因為輸出負載以及封裝(Package)和電路板寄生效應(Aboard Parasitic)。輸出緩衝器的通道寬度一直加大，實現高驅動效能和高速，但因為輸出驅動器同步切換，這會產生很大的電源 / 接地雜訊(Large Power/Ground Noise)。由於輸入pads連接到同一電源/接地共同接線，電源/接地雜訊必須妥善處理，以避免任何假切換(False Switching)。即使內部電源/接地共同接線從外部分開(I/O Buffers) Power/Ground Buses，它們是透過一個VDD/VSS封裝平面上在多層封裝連接(Multilayer Package)。因此，輸出緩衝區設計必須考慮的電源/接地雜訊(Power/Ground Noise)，達到高效能。在這篇論文中，輸出單

元(Output Cells) 的設計、可以提供不同的驅動能力，以滿足不同規格的需求。

1-1-2 ESD 問題

ESD已成為主要的半導體產品可靠性的顧慮，特別是在SoC實現奈米互補式金氧半製程。ESD的規格商業IC產品，一般都要高於2kV的人體放電模式 (Human-Body Model, HBM) 和200-V機器放電模式 (Machine Model, MM) [3]ESD承受能力。因此，全晶片(On-Chip)ESD保護電路再輸入/輸出Pad和VDD/ VSS之間的提供所需的ESD防護到CMOS積體電路[4] -[6]。

ESD之耐受能力在I/O pad有四pin組合模式：

PS-mode:

VSS腳接地，正的ESD電壓出現在該I/O腳對VSS腳放電，此時VDD與其他腳皆浮接。

NS-mode:

VSS腳接地，負的ESD電壓出現在該I/O腳對VSS腳放電，此時VDD與其他腳皆浮接。

PD-mode:

VDD腳接地，正的ESD電壓出現在該I/O腳對VDD腳放電，此時VSS與其他腳皆浮接。

ND-mode:

VDD腳接地，負的ESD電壓出現在該I/O腳對VDD腳放電，此時VDD與其他腳浮接。

分別如圖1.1(a) ~ 1.1(d)所示[7]。

在CMOS IC晶片典型的ESD保護電路的設計如圖1.2所示。為了避免突發的ESD損壞內部電路的CMOS積體電路[8]-[10]，使用高效電源箝制靜電放電防護電路 (Turn-On-Efficient Power-Rail ESD Clamp Circuit) 放置在電源端(VDD)到接地端 (GND) 之間。當ESD電流出現在I/O pad, 而在PS-mode下可以順利排放 (Discharged)ESD應力，從 I/O pad到VDD經由PMOS寄生二極體，然後通過從VDD到VSS的箝制靜電放電防護電路到接地如圖1.3所示。因此，將I/O電路與 VDD到

VSS 箝制靜電放電防護電路作在一起可以實現更高ESD防護能力[11]。

1-2 I/O 元件庫介紹

表 1.1 列出了 I/O 元件庫的單元類別。AIN_25 為類比訊號輸入單元，DIN_25 為數位訊號輸入單元。在 I/O 元件庫的輸出單元 (Output Cells)，提供了有六種不同的輸出驅動電流可以選擇。在 I/O 元件庫提供了五個電源單元 (VDDE_25, VDDI_25, VSSE_25, VSSI_25, ESDH_25)。該 VDDE_25 和 VSSE_25 元件是用來提供電源電壓的環型結構(I/O Ring)，及 VDDI_25 和 VSSI_25 是用來提供電源電壓給內部電路。

1-3 論文架構

在第二章，將列出此 I/O 單元的規格，及電路設計和模擬結果將指定可使用的 I/O 單元架構，該設計的 ESD 保護電路亦將會在第二章做介紹。一個互補式金氧半製程之 I/O 單元庫的佈局過程、測試晶片準備工作、功能驗證及靜電放電耐受度測試將顯示在第三章。另一個互補式金氧半製程之混合電壓輸出電路設計則會在第四章作詳細介紹。第五章則為此論文的結論。

表 1.1
輸入/輸出元件庫基本規格

項目	內容
製程	TSMC 0.25- μ m CMOS High Voltage 2.5/5/60V Mixed Signal Salicide Technology
Metal Layers	3 Layers (Two 1 $\times$ (thin)metal levels and one 5.4 $\times$ (thick)metal level)
元件寬度	77 mm per I/O Cell
元件高度	90 mm without bonding pad 160 mm with bonding pad
基本規格 (2.5-V)	VDD = 2.5V , VSS = 0V I/O signal voltage = 0 ~ 2.5V Output driving current = 2mA, 6mA, 10mA, 16mA, 20mA, 24mA (@NMOS VDS =0.4V, VGS = 2.5V)

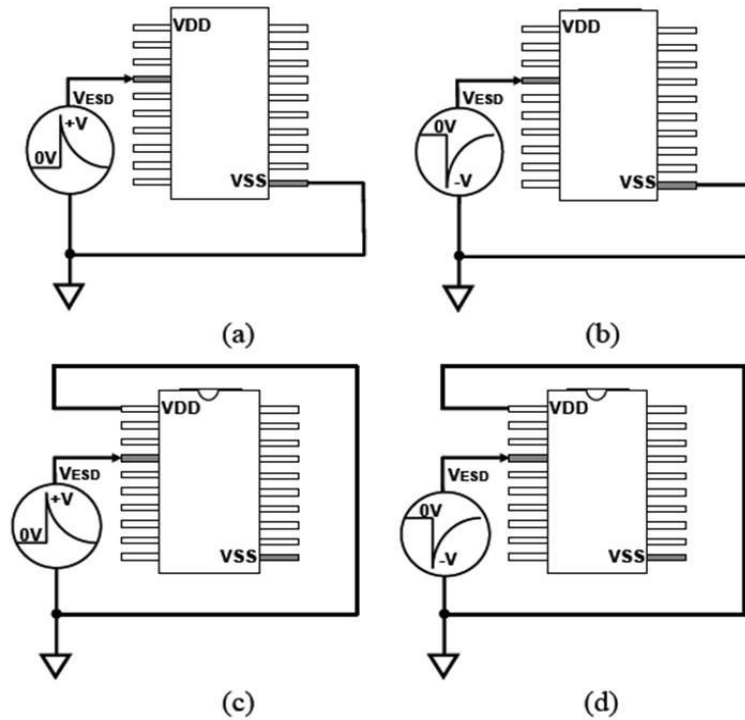


圖1.1 IC產品靜電放電(ESD)測試的四種腳位組合模式：(a) 正的ESD電壓對VSS腳放電(PS-mode), (b) 負的ESD電壓對VSS腳放電 (NS-mode), (c) 正的ESD電壓對VDD腳放電 (PD mode), and (d) 負的ESD電壓對VDD腳放電 (ND-mode) [7]

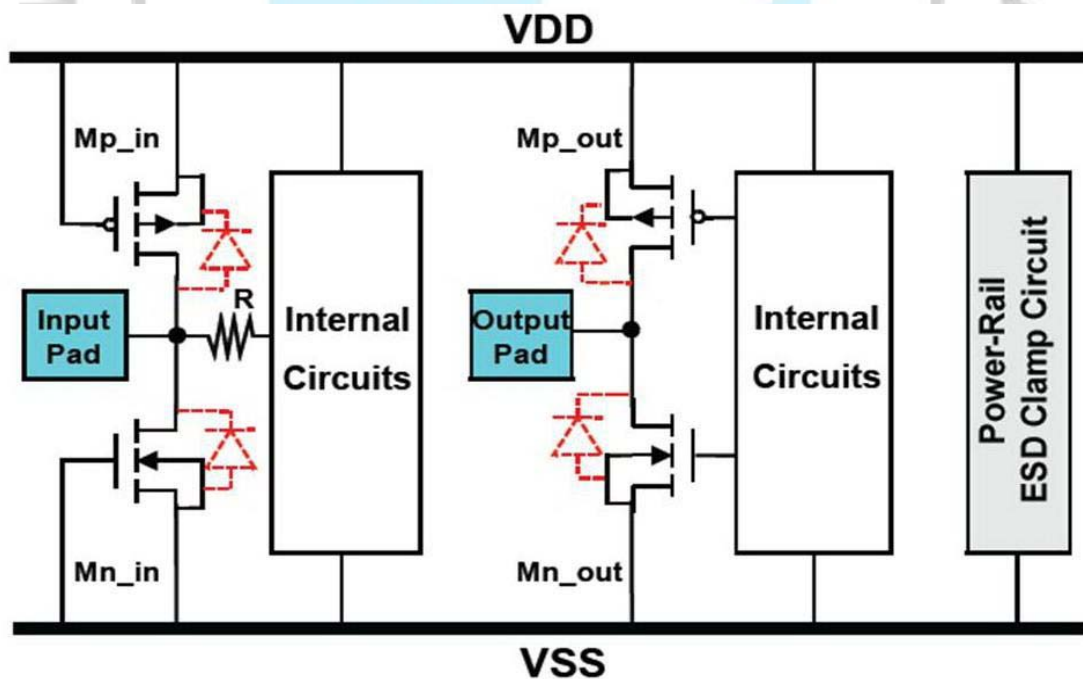


圖 1.2 在 CMOS IC 晶片典型的靜電放電(ESD)保護電路[11]

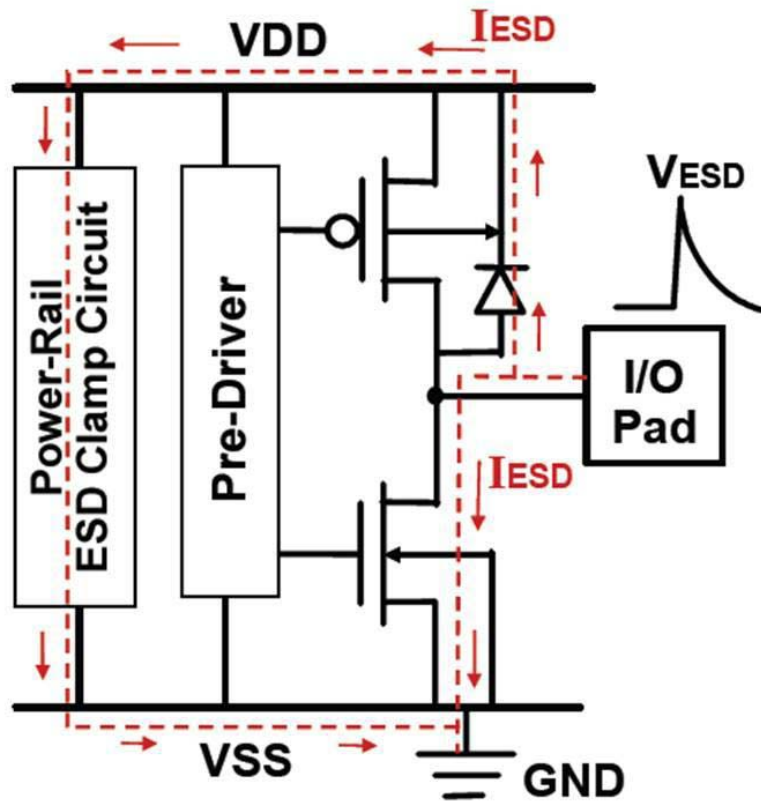


圖 1.3 輸入/輸出焊墊端(PAD)與電源端到地端間靜電放電箝制電路(power-rail ESD clamp circuit)的靜電放電(ESD)電流路徑，在正的 ESD 電壓對 VSS 腳放電(PS-模式)的 ESD 耐受能力。在虛線的線條是表示，靜電放電的電流路徑[11]

第二章 輸入/輸出元件及 ESD 保護電路設計簡介

2-1 基本規格

在這輸入/輸出單元，核心電壓源 (VDD) 和 I/O 輸出驅動電源電壓 (VDDIO) 都 2.5-V。因此，VDDIO 這個元件的資料將在下面做介紹。表 2.1，列出了輸入/輸出單元直流規格在 2.5-V (VDDIO) 電壓源。

2-2 輸出級

輸出單元直流驅動電流的規格為 2 mA，6 mA，10 mA，16 mA，20 mA，24mA 具有不同的輸出 MOS 手指狀(Fingers)。當輸出驅動電流為 2mA，輸出驅動器的手指狀數量只有一個。同樣，當輸出驅動電流 24 mA，輸出驅動器的手指狀數量有 12 個手指狀。

然而，首先一些參數應確定在本章節如下所示：

- I_{OL} ：輸入電流在輸入/輸出單元的 I/O 焊墊端(PAD)時，當電壓在輸入/輸出單元的 I/O PAD 是偏壓在 V_{OL} ($=0.4\text{-V}$)，如圖 2.1 所示。
- I_{OH} ：輸出電流輸入電流在輸入/輸出單元的 I/O PAD 時，當電壓在輸入/輸出單元的 I/O 焊墊端(PAD)是偏壓在 V_{OH} ($=V_{DD} - 0.4\text{-V}$)，如圖 2.2 所示。

■ 工作週期(Duty Cycle):大部分的時間該系統處於工作狀態，可以表示為下列公式：

$$Duty\ Cycle = \frac{\tau}{T} \quad (1)$$

其中 τ 是一個不為零的時間常數， T 為週期的函數。

首先要確認輸出驅動器的設計，輸出 NMOS 大小只一個手指狀(MN0)圖 2.1。模擬設定為了測量 MN0 尺寸如圖 2.1 (a) 所示。它已經通過模擬，由 SPICE 在 0.25 微米 CMOS 製程的模擬環境 2.5-V VDD 和最差的情況下(溫度為 85°C 和 SS corner)，能產生經驗結果，以滿足設計規格。表 2.1 列出了定義的模擬環境。如圖所示 2.3，MN0 大小可決定與低輸出電流 I_{OL} 相當於 2 mA。

模擬值與測量值的 I_{OH}/I_{OL} 均大於定義值 (2 mA, 6 mA, 10 mA, 16 mA, 20 mA, 24 mA)，它可以說是符合一致性設計規格整合性的驅動能力。如圖 2.4 所示。該模擬的 NMOS 為 2.5-V VDD 及最糟的情況的模擬環境下。在決定了 MN0 尺寸大小和只有一個手指狀輸出 PMOS，MP0，將此結合輸出的 NMOS 作為 Inverter 來設計輸出的 PMOS，如圖 2.5 所示。在這篇論文中，PMOS MP0 輸出的大小工作週期(Duty Cycle)50%的輸入，工作週期(Duty Cycle)就是該輸出訊號接近 50%為一個方波。在模擬實際情況是在輸入/輸出焊墊端(PAD)加一個負載電容 10pF，並設定相同的模擬環境作。由於過大(小)PMOS 尺寸，輸出信號的工作週期(Duty Cycle)可以大(小)過 50%，因此 MP0 通道寬度為 30 μ m 和模擬工作週期(Duty Cycle)為 50%。

2-3 介紹

因此，這 0.25 微米 2.5-V I/O 元件庫不僅提供了類比訊號輸入單元/數位訊號輸

入單元 (AIN_25 和 DIN_25)，但也有 Power Cells 單元 (VDDE_25, VDDI_25, VSSE_25, VSSI_25 和 ESDH_25)，連接單元 (Feeder Cells)，其它單元 (Other Cell)。這些單元的電路設計概念，在以下作探討。

2-4 電源/接地單元

正如表 1.1 中列出，這 0.25 微米配置 I/O 元件庫電源 / 接地(Power Cells)單元提供了五個不同的單元分別為 VDDE_25, VDDI_25, VSSE_25, VSSI_25 和 ESDH_25。VDDE_25, 和 VSSE_25 單元為輸入/輸出環(I/O ring)的供應電壓，而 VDDI_25 和 VSSI_25 單元是供應內部核心電路。圖 2.7。顯示全晶片 ESD 保護電路方塊圖。

在正常電路運作情況下電源箝制靜電放電防護電路(Power-Rail ESD Clamp Circuit) 應保持關閉和防止漏電流 (Undesirable Leakage Current) 或故障。在靜電放電的應力(ESD Stress)情況下，電源箝制靜電放電防護電路應開起迅速提供有效的 ESD 保護內部和 I/O 電路。圖 2.8 顯示。VDDE_25 和 VDDI_25 單元的電路設計，這是由閘極驅動技術(Gate-Driven Technique)所設計的。閘極驅動技術已被使用在深次微米 CMOS 技術，它可以有效地提高靜電放電可靠性[13]-[16]。

RC-觸發電源箝制使用一個大 NMOS 繪製沒有考慮 ESD 規範 (通常稱為“BigFET”)，以提供一個低阻抗路徑放電電流 [17]-[19]。使用 BigFET 元件的優點是不需要依賴接面累增崩潰 (Junction Avalanche Breakdown) 現象，因此可以很容易地使用 SPICE 模擬在初期設計階段，使電路最佳化，同時保持技術獨立性 [20][20]。為了確保 ESD 元件在發生 ESD 事件時是持續防護的，RC 時間需要有一個時間常數大於或等於 ESD 脈衝寬度(Pulse Width)通常為 1 μ s 選定允許製程漂移。

在圖 2.9(a)顯示。VDDE_25 和 VDDI_25 單元模擬結果在電源啟動 (Power-On) 狀態和靜電放電的應力(ESD Stress)情形下。在電源啟動狀態下，Vg 維持在接地電壓。如圖 2.9 (b) 所示。當電源 VDDIO 上升到 5 V 電壓，Vg 會拉高接近 5 V 電壓。因此，大尺寸 NMOS MN2 可以開啟排放 ESD 電流。

2-5 輸入單元

正如表 1.1 中列出，這個 I/O 元件庫的輸入單元提供了類比 I/O 單元與數位 I/O 單元(Analog I/O Cell 與 Digital I/O Cell) (AIN_25 和 DIN_25)。如圖 2.10(a)和(b)佈局示意圖。顯示類比 I/O 單元和數位 I/O 單元的電路圖。核心類比/數位電路的這些腳位 z 是用於連接輸入或輸出端。當 PS-模式 ESD 應力發生在 I/O PAD，ESD 放電電流可以經過閘極接 VDD 之 P 型金氧半場效電晶體(Gate-VDD PMOS, GDPMOS) Mp1,從 I/O PAD VDD(I/O)，然後在流過 VDD(I/O)到 VSS(I/O)之間的電源箝制 ESD 防護電路。當 ND 模式的 ESD 應力發生在 I/O PAD 的 ESD 放電電流可通過閘極接地之 N 型金氧半場效電晶體(Gate-Grounded NMOS, GGNMOS) Mn1，從 I/O PAD 到 VSS (I/O)，並通過電源箝制 ESD 防護電路。

2-6 電源斷開(Power Cut)單元

已有描述 CMOS 積體電路為了克服意想不到的 ESD 損傷在於內部電路，增加了雙向導通二極體(Bi-Directional Diode)之間隔開電源線。CMOS 積體電路的這類雙向導通二極體設計在本論文是定義為 Power Cut 單元並顯示在圖 2.10，其中的雙向二極體用於連接 VDD1 和 VDD2，或 VSS1 和 VSS2 的電源線。該 Power Cut 單元的目的是阻隔 ESD 電流產生電源線之間，以避免在 ESD 應力條件下內部電路受 ESD 損傷。在當 IC 在正常工作情況下，Power Cut 單元的目的是阻隔雜訊產生在電源線之間。

表 2.1
Pure 2.5-V 元件庫之模擬條件

模擬條件(2.5V)	Process	VDD(V)	T(°C)
Best	FF	2.5	0
Typical	TT	2.5	25
Worst	SS	2.5	85



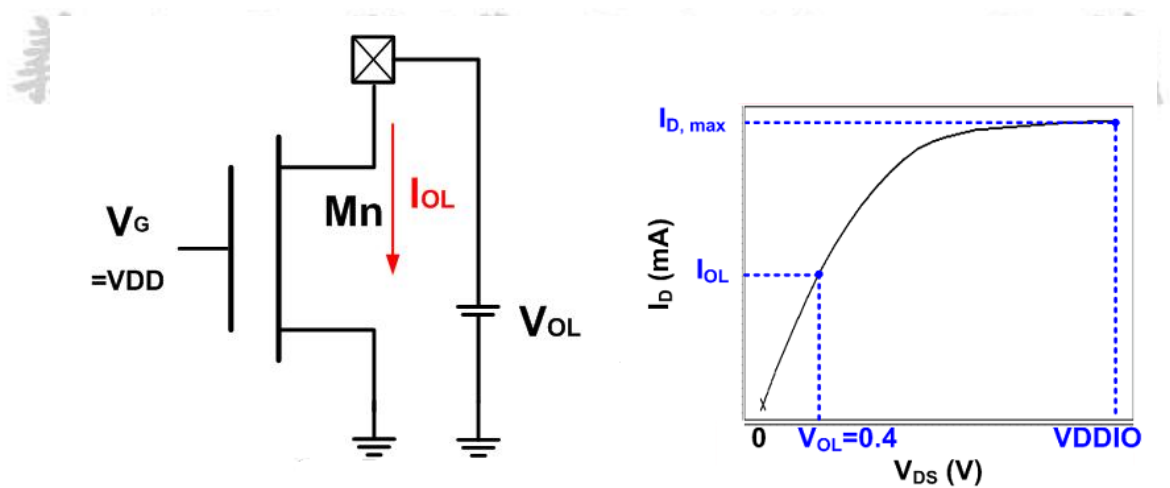


圖 2.1 示意圖為下拉驅動電流 (I_{OL}) 和 (a) 終端條件及 (b) 輸出 NMOS 的 IV 曲線圖

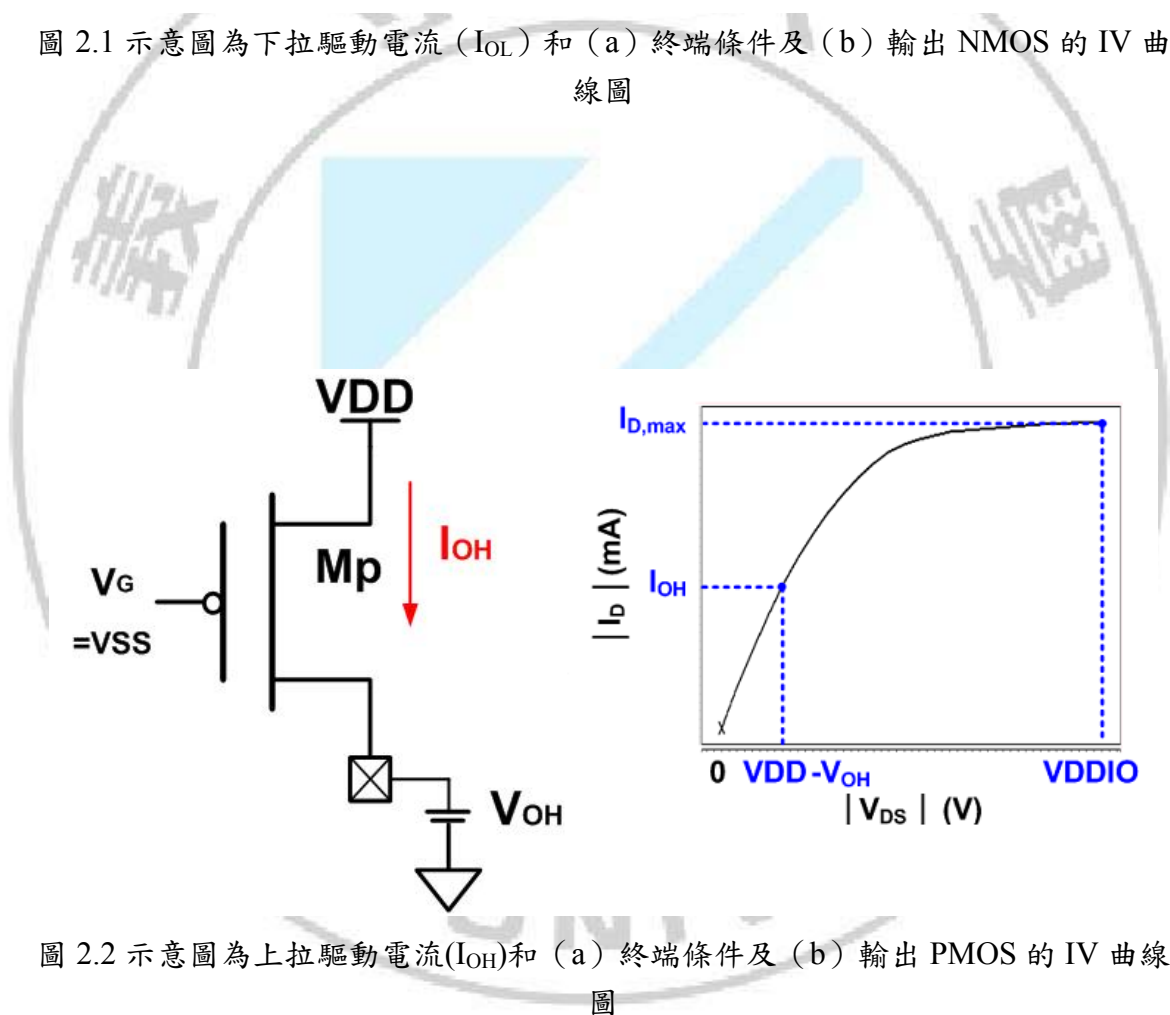


圖 2.2 示意圖為上拉驅動電流(I_{OH})和 (a) 終端條件及 (b) 輸出 PMOS 的 IV 曲線圖

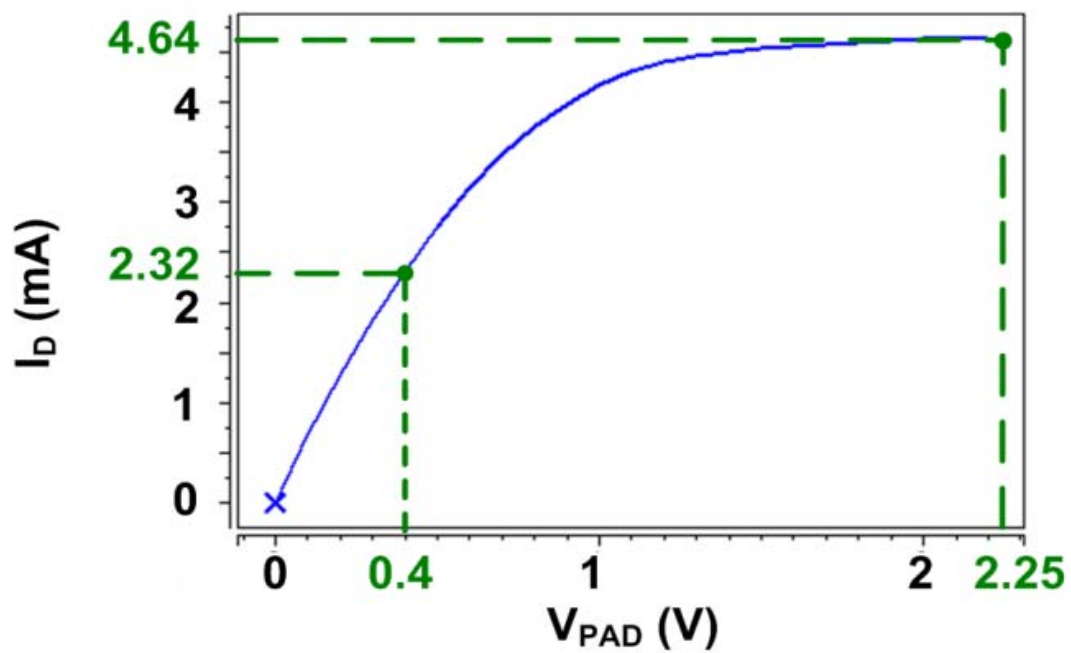


圖 2.3 單手指狀輸出 NMOS 的模擬結果

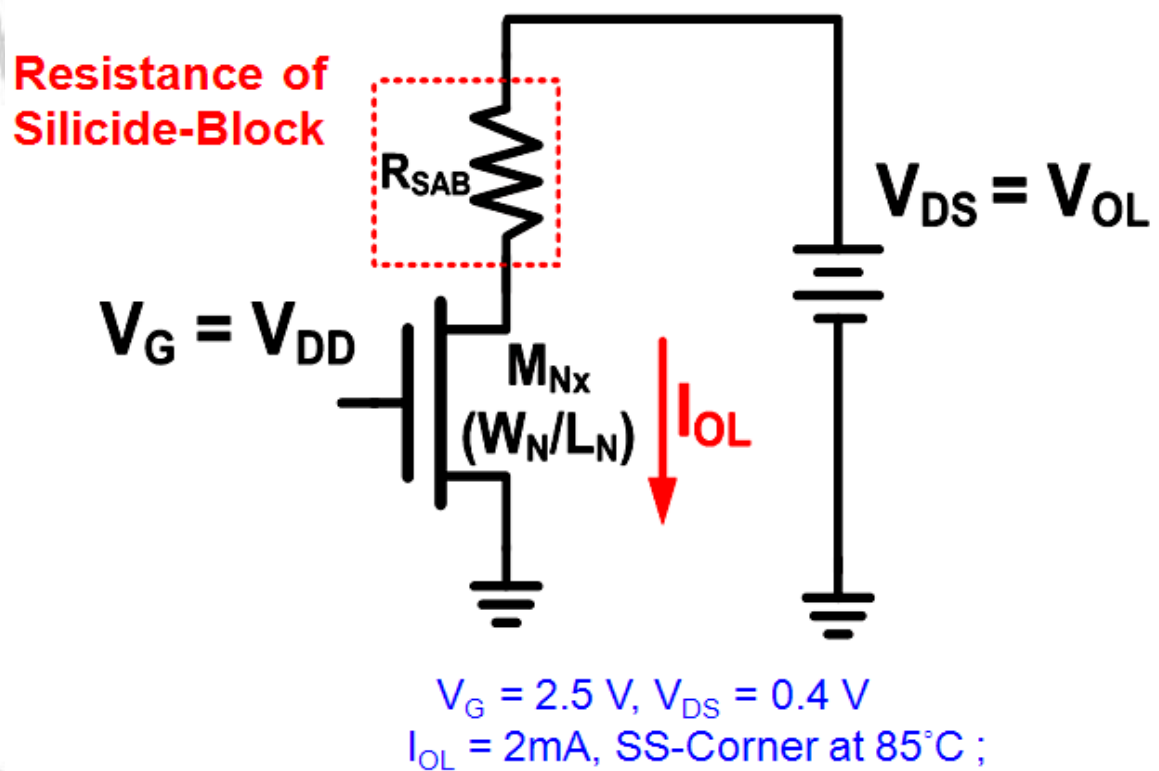


圖 2.4 模擬 NMOS 驅動電流

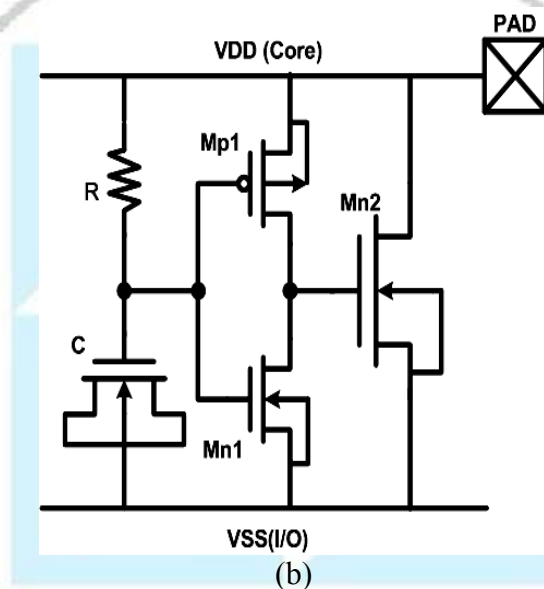
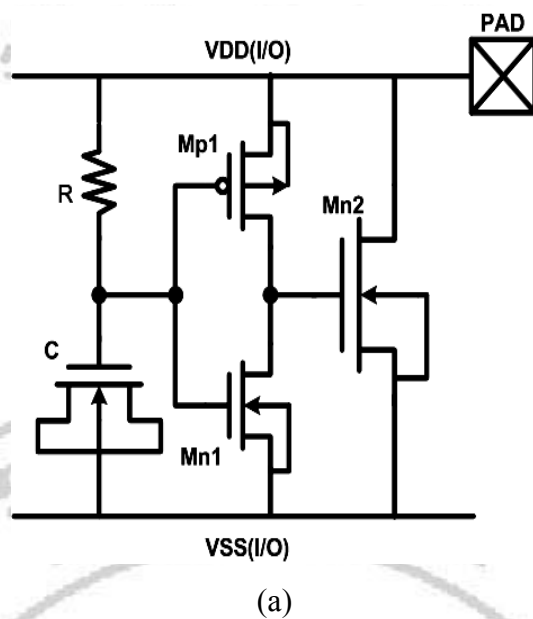
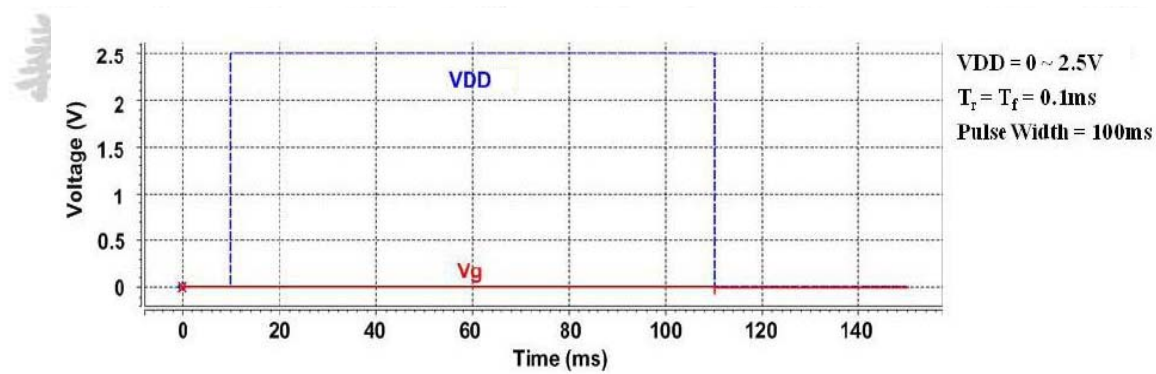
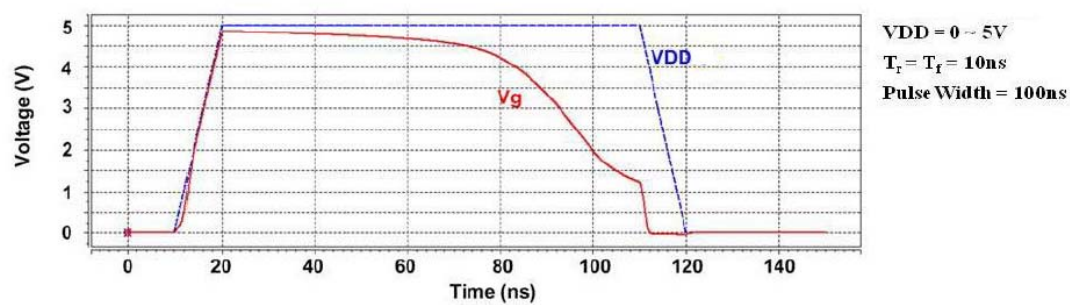


圖 2.7 (a) VDDE_25 (b) VDDI_25 單元電路圖

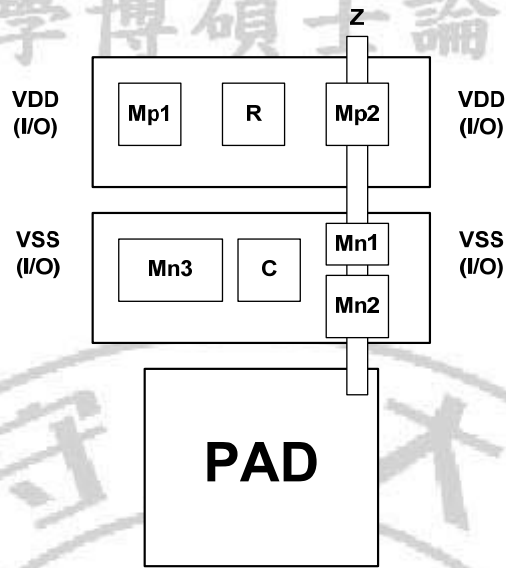


(a)

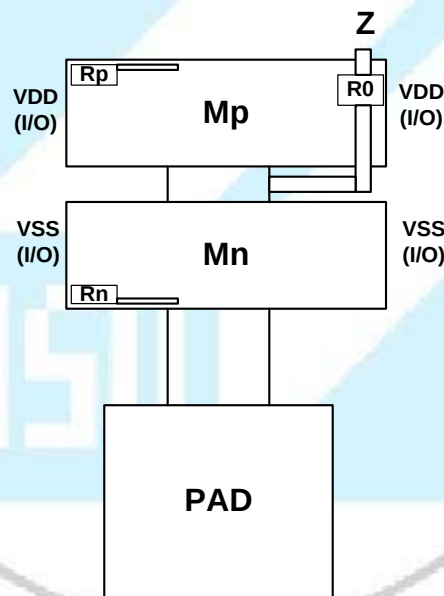


(b)

圖 2.8 VDDE_25 及 VDDI_25 單元 (a) 電源啟動條件下及 (b) ESD 應力情況下的模擬結果



(a)



(b)

圖 2.9 分別為(a)類比和(b)數位佈局示意圖

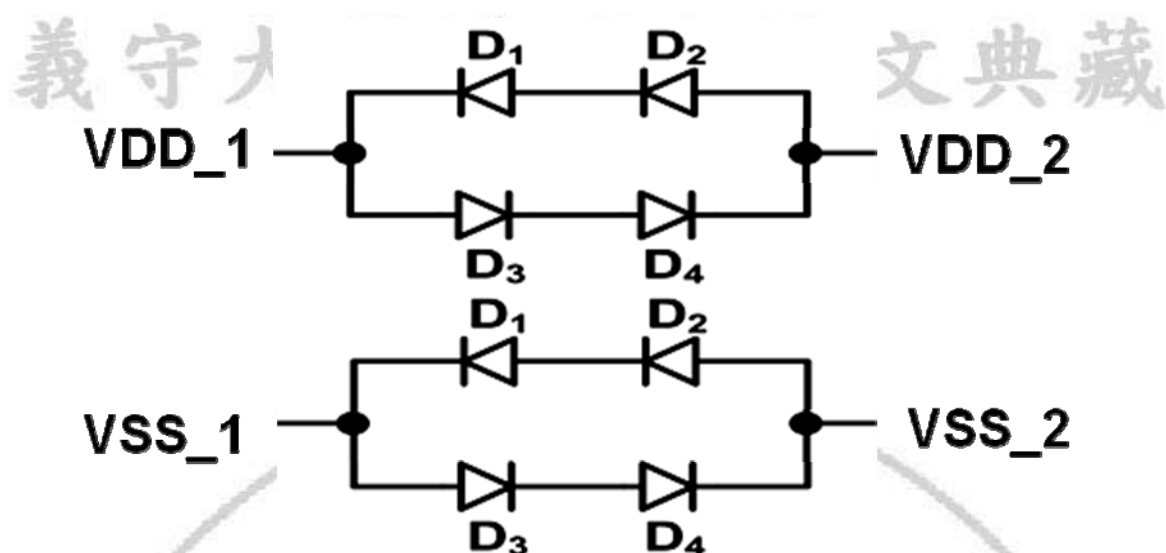


圖 2.10 電源斷開單元電路圖[12]

第三章 輸入/輸出元件庫設計

3-1 電源/接地單元

圖 3.1 分別顯示。VDDE_25 和 VDDI_25 VSSE_25 和 VSSI_25 與 ESDH_25 單元的佈局頂視圖。在圖 3.1 (a)，VDDE_25 單元包含 VDD(I/O)與 VSS(I/O)之間的 ESD 保護電路 (R, C, Mp1, Mn1, Mn2)。VDD(I/O)及 VSS(I/O)均使用 metal3 連接，而由 Pad 連接至 VDD(I/O)是使用 Metal2。此單元中 VDD 之金屬線寬為 37.56 μ m。圖 3.1 (b) VDDI_25 單元的佈局結構類似於 VDDE_25 單元，而且在兩個單元之間的唯一不同的是 VDDI_25 是給內部 VDD (核心)作使用。在圖 3.1 (c)，VSSE_25 單元包含 VDD(I/O)與 VSS(I/O)之間的 ESD 保護電路 (R, C, Mp1, Mn1, Mn2)。VDD(I/O)及 VSS(I/O)均使用 Metal3 連接，而由 Pad 連接至 VSS(I/O)是使用 Metal2。此單元中 VDD 之金屬線寬為 35.69 μ m。在圖 3.1 (d) VSSI_25 單元包含內部 VSS(核心)與 VSS(I/O)之間的 ESD 保護電路 (R, Mn1)，VDD(I/O)及 VSS(I/O)均使用 Metal3 連接，而內部 VSS(核心)連接至此單元則可用 metal2。此單元中內部 VSS(核心)之金屬線寬為 40 μ m (Metal2)。圖 3.1 (e) ESDH_25 單元包含 VDD(I/O)與 VSS(I/O)之間的 ESD 保護電路(R, C, Mp1, Mn1, Mn2)。VDD(I/O)及 VSS(I/O)均使用 Metal3 連接，此單元中可置於電源環網(Power Ring)中，增強全晶片的靜電放電保護能力。

3-2 輸入單元(Input Cells)

圖 3.2(a)為類比輸入墊片，AIN_25 的佈局頂視圖，此單元包含 VDD(I/O)與 VSS(I/O)間 ESD 保護電路 (R, C, Mp1, Mn1, Mn2)，及輸入腳位與 VDD(I/O)或 VSS(I/O)間之 ESD 保護電路(Mp2, Mn2, Rp, Rn)。圖 3.2(b)為其佈局示意圖，VDD(I/O)及 VSS(I/O)均使用 Metal3 連接，要連接至 Node Z 端必須使用 Metal2。

圖 3.3(a)為數位輸入墊片，DIN_25 的佈局頂視圖，此單元包含輸入電阻(R0)與ESD保護電路 (Mp,Rp,Mn,Rn)。圖 3.3(b)為其佈局示意圖，VDD(I/O)及VSS(I/O)均使用 Metal3 連接，要連接至 node Z 端可使用 Metal2 或 Metal1 任一層連接。

3-3 輸出單元(Output Cells)

圖 3.4(a)為輸出墊片，OUXX_25 的佈局頂視圖，此單元包含 Output Buffer(Mp2, Mn2)與ESD保護電路 (Mp1, Rp, Mn1, Rn)。根據其 Driving 能力分為 OU02_25(Driving Current = 2mA)、OU06_25(Driving Current = 6mA)、OU10_25(Driving Current = 10mA)、OU16_25(Driving Current = 16mA)、OU20_25(Driving Current = 20mA)、OU24_25(Driving Current = 24mA)，Driving current 的定義如表 1.1 所示。圖 3.4(b)為其佈局示意圖，VDD(I/O)及VSS(I/O)均使用 metal3 連接，要連接至 Node I 端可使用 Metal2 或 metal1 任一層連接。

3-4 電源斷開(Power Cut)單元

圖 3.5 (a)。顯示了電源斷開單元(Power Cut Cell) (Powercut_VV) 佈局。為 Powercut_VV 的電路圖，此單元包含雙向的二極體串，在電源斷開單元形成兩組電源線斷開。連接斷開的VDD或VSS。圖 3.2 (b)為其佈局示意圖，VDD(I/O)及VSS(I/O)均使用 Metal3 連接，此單元寬度為 18.14 μ m，高度為 41.35 μ m。

3-5 連接單元(Feeder Cells)

圖 3.6。為連接單元的佈局示意圖，該單元用於連接在因 PAD pitch 改變時而斷開的電源線與接地線。連接單元有兩種不同尺寸 Feeder Cell 的寬度分為 Feeder_05 (寬度=5 μ m)、Feeder_10 (寬度=10 μ m)。此 Feeder Cells 由 Metal3 連接。提供在 I/O 元件庫。圖 3.7。顯示了轉角單元 Corner Cell 佈局示意圖。是用於在晶片上的轉角範圍，因斷開的電源線與接地線的連接。

3-6 驗證輸入/輸出單元

輸入單元 (DOU $\times\times$ _25) 驅動能力測試電路，如圖 3.8。在表 3.1，列出了相同電源電壓(2.5V)，在不同的驅動能力的模擬結果。在此模擬中，分別替換驅動電流從 2 mA，6 mA，10 mA，16 mA，20 mA，24mA。當輸入焊墊端(Input PAD)接收低邏輯輸入訊號，流入電流(Sink Current)產生在輸出焊墊端(Output PAD)。並且，當輸出焊墊端的電壓是偏壓在 $V_{OL}=0.4\text{-V}$ ，流入電流被定義為 I_{OL} 。相反的，而輸入焊墊端接收邏輯高電平，流出電流(Source Current)產生在輸出焊墊端。當輸出焊墊端的電壓是偏壓在 $V_{OH}=V_{DD}-0.4\text{-V}$ ，流出電流定義為 I_{OH} 。

3-7 驗證每個單元的靜電放電耐受度

圖 3.9。描述所驗證的電源 / 接地單元測試元件(Test-keys)靜電放電耐受度。每個電源/接地單元都與一個純(不含 ESD 保護電路) 電源或接地的焊墊端互相連接。圖 3.10。分別描述了輸入單元的類比輸入/輸出單元與數位輸入/輸出單元的測試元件。為了測試類比 I/O 單元上的二極體和電源箝制電路(Power Clamp Circuit)的靜電放電耐受度，電源端和接地線分別連接到純(不含 ESD 保護電路)電源或接地焊墊端。實際上，類比 I/O 單元的 I/O pad 可以直接連接 MOS 電晶體閘極端，

因此有多晶矽電阻(Poly Resistance) I/O pad 跟類比 I/O 單元 AIN_25 的 z 端，都會連接到 2.5-V 反向器(Inverters) 的輸入端，如圖 3.11 所示。圖 3.12。描述了電源斷開(Power Cut)單元 (Powercut_VV) 雙向二極體的測試元件，來證實靜電放電的耐受度能力。

3-8 驗證全晶片的靜電放電防護

在圖 3.13。顯示了全晶片防護的電源斷開(Power Cut)單元的測試電路。其目的是測試在電源通過兩個電源斷開單元的 ESD 耐受度。測試晶片的佈局頂視圖在台積電 0.25 μm 製程中如圖 3.14。

3-9 功能驗證

該 I/O 元件庫的測試晶片在這一篇論文已經製造完成於台積電 0.25 μm COMS 製程。圖 3.15。顯示製造測試晶片的晶片照片與佈局面積為 1900 μm ×2048 μm 。

3-9-1 驅動能力

圖 3.16 (a) 和圖 3.16 (b)，分別顯示量測設定來驗證輸出低電流 (I_{OL}) 和輸出高電流 (I_{OH})。並在表 3.2 列出在 2.5-V 供應電壓之下驅動電流的模擬與測量結果之間的比較。測量結果表示，該 I/O 單元可以提供足夠的驅動電流，成功地滿足驅動電流的規格。

3-9-2 工作頻率

在 I/O 元件庫的輸出單元量測工作頻率測量設定如圖 3.17。由脈衝產生器產生訊號在輸入端，在傳輸到輸出端，並可以透過螢光示波器觀察。在圖 3.18 (a)-(f)、圖 3.19 (a)-(f)、圖 3.20 (a)-(f)。顯示輸出單元在不同驅動電流的測量波形，分別由輸入端傳輸 1-MHz、10-MHz、50-MHz 的訊號和從 0-V 到 2.5-V 電壓擺幅做比較。明顯的 50-MHz 已經失真，在表 3.3 列出不同的驅動電流下的輸出單元能正常工作的頻率。

3-10 靜電放電故障判斷

IC 經由 ESD 測試後，要判斷其是否已被 ESD 所破壞，以便決定是否要再進一步測試下去，但是如何判定該 IC 已被 ESD 所損壞，常見的有下述三種方法：

- 絕對漏電流：當 IC 被 ESD 測試後，其輸入/輸出腳的漏電電流超過 $1\mu\text{A}$ (或 $10\mu\text{A}$)。漏電電流會隨所加的偏壓大小增加而增加，在測漏電電流時所加的偏壓有人用 5.5-V，也有人用 7-V。
- 相對 I-V 漂移：當 IC 被 ESD 測試後，自 Input/Output 腳看進 IC 內部的 I-V 特性曲線漂移量在 30% (20% 或 40%)。
- 功能觀測法：先把功能正常且符合規格之 IC 的每一支腳依測試組合打上某一電壓準位的 ESD 測試電壓，再拿去測試其功能是否仍符合原來的規格。

3-10-1 每個電源/接地單元

表 3.4 和表 3.5 分別列出了 VDDE 與 VSSE 和 VDDI 與 VSSI 單元在 HBM 和

MM 的靜電放電耐受度，分別測試正的靜電放電電壓和負的靜電放電電壓從 VDDE 到 VSSE 的靜電放電應力。從表 3.4 和表 3.5 所示，靜電放電等級(ESD Level) HBM 和 MM 可以達到 8KV 和 800-V 都高於靜電放電應力。然而，這些電源接地單元有足夠高的靜電放電等級，可以安全的使用在積體電路生產和應用領域。

於表 3.6 為 2.5-V 類比 I/O 單元，驗證測試元件 AIN_25 和 AIN_25+INV 單元的實際保護功能，根據不同的針腳組合來測試 HBM 和 MM 靜電放電耐受度。如圖 3.11 所示。從表 3.6，AIN_25 和 AIN_25+INV 單元的 HBM 和 MM 靜電放電等級分別都能達到 1.5kV 和 100-V 以上，這是測試正的 ESD 電壓從 VDDE 到 VSSE 的靜電放電應力。然而，其他的 I/O 焊墊端靜電放電應力模式下的 ESD 等級，接近甚至能達到 1.5 kV 的 HBM 和 100-V 的 MM 靜電放電應力。同在一個小的佈局面積的 ESD 等級，如類比 I/O 單元是非常適合類比 I/O 電路應用。

表 3.7 列出了電源斷開(Power Cut)單元的 HBM 和 MM 的靜電放電耐受度。HBM 和 MM 的 ESD 耐受度分別能承受 4KV 和 450-V 的靜電放電應力，分別是正的 ESD 電壓從 VDD (VSS) 到 VDD (VSS) 靜電放電應力。

3-10-2 全晶片靜電放電防護結構

全晶片保護電路根據不同的針腳組合，測試 HBM 和 MM 的靜電放電耐受度，如圖 3.20 所示。分別測試正的靜電放電電壓和負的靜電放電電壓從 VDDE 到 VSSE 和 In 到 Out 的靜電放電應力。如表 3.8- 6.9 所示，靜電放電等級(ESD Level) HBM 和 MM 可以達到 8K-V 和 800-V 都高於靜電放電應力。然而，這些輸出單元有足夠高的靜電放電等級，可以安全的使用在積體電路生產和應用領域。

3-11 晶片量測結果討論

I/O 元件庫已設計並成功地製作在台灣積體電路製造公司 0.25 微米 CMOS 製程。驅動能力已被測量，以驗證其有效性。類比訊號輸入單元和 VDD 和 VSS 單元已驗證其靜電放電耐受度，並能有效地保護核心電路和輸出驅動。

3-11-1 失效分析

靜電放電經常造成輸入級電路的開級被打穿，而類比 I/O 單元 SEM 照片如圖 3.22 所示，靜電放電造成類比 I/O 單元的開級損傷 Mn2 如圖 3.23 所示。

義守大學博碩士論文典藏

表 3.1
配置 I/O 單元，2.5-V 直流供應電壓下的規格

Simulation Case			Worst	Typical	Best
Parameter					
VDD	I/O Output Driver Power Supply		2.5V		
T _J	Junction Temperature		85°C	25°C	0°C
I _{OL}	Low Level Output Driving Current @ V _{OL} = 0.4V	2mA	2.59mA	3.52mA	4.24mA
		6mA	7.77mA	10.56mA	12.72mA
		10mA	12.95mA	17.6mA	21.2mA
		16mA	20.72mA	28.16mA	33.92mA
		20mA	25.9mA	35.2mA	42.4mA
		24mA	31.08mA	42.24mA	50.88mA
I _{OH}	High Level Output Driving Current @ V _{OH} = 2.1V	2mA	1.81mA	1.98mA	2.06mA
		6mA	5.43mA	5.93mA	6.19mA
		10mA	9.05mA	9.89mA	10.32mA
		16mA	14.49mA	15.82mA	16.52mA
		20mA	18.12mA	19.78mA	20.65mA
		24mA	21.74mA	23.73mA	24.79mA

表 3.2

在 2.5-V 供應電壓下驅動電流的模擬與測量結果之間的比較

Parameters			Measured Results (25°C)	Simulated Results (SS-Corner and 85°C)
I_{OL}	Low Level Output Driving Current @ $V_{OL} = 0.4V$	2 mA	3.24mA	2.59mA
		6 mA	9.73mA	7.77mA
		10 mA	15.56mA	12.95mA
		16 mA	24.51mA	20.72mA
		20 mA	31.23mA	25.9mA
		24 mA	36.19mA	31.08mA
I_{OH}	High Level Output Driving Current @ $V_{OH} = 2.1V$	2 mA	2.45mA	1.81mA
		6 mA	7.20mA	5.43mA
		10 mA	12.27mA	9.05mA
		16 mA	21.86mA	14.49mA
		20 mA	25.93mA	18.12mA
		24 mA	30.93mA	21.74mA

表3.3

在不同的驅動電流的輸出單元的工作頻率

I/O Cells	Driving Current					
	2mA	6mA	10mA	16mA	20mA	24mA
2.5V	5 MHz	5 MHz	5 MHz	5 MHz	5 MHz	5 MHz

表 3.4
VDDE 與 VSSE 單元 HBM 和 MM 的靜電放電耐受度測試

ESD Stress Cell Name	HBM		MM	
	VDDE to Pure-VSSE (+)	VDDE to Pure-VSSE (-)	VDDE to Pure-VSSE (+)	VDDE to Pure-VSSE (-)
VDDE_25	>8kV	>8kV	750V	>800V

ESD Stress Cell Name	HBM		MM	
	Pure-VDDE to VSSE (+)	Pure-VDDE to VSSE (-)	Pure-VDDE to VSSE (+)	Pure-VDDE to VSSE (-)
VSSE_25	>8kV	>8kV	>800V	>800V

表 3.5
VDDI 與 VSSI 單元 HBM 和 MM 的靜電放電耐受度測試

ESD Stress Cell Name	HBM		MM	
	VDDI to Pure-VSSE (+)	VDDI to Pure-VSSE (-)	VDDI to Pure-VSSE (+)	VDDI to Pure-VSSE (-)
VDDI_25	>8kV	>8kV	>800V	>800V

ESD Stress Cell Name	HBM		MM	
	Pure-VSSE to VSSI (+)	Pure-VSSE to VSSI (-)	Pure-VSSE to VSSI (+)	Pure-VSSE to VSSI (-)
VSSI_25	>8kV	>8kV	>800V	>800V

表 3.6
2.5-V 類比輸入單元 HBM 和 MM 的靜電放電耐受度測試

ESD Event	HBM	MM	HBM	MM
Cell Name ESD Stress	AIN_25		AIN_25 + INV	
PS-Mode	1.5kV	100V	1.5kV	100V
NS-Mode	2kV	100V	2kV	100V
PD-Mode	2kV	200V	2kV	200V
ND-Mode	2.5kV	150V	2.5kV	150V
VDDE-to-VSSE (+)	>8kV	>800V	>8kV	>800V
VDDE-to-VSSE (-)	>8kV	>800V	>8KV	>800V

表 3.7
電源斷開(Power Cut)單元的 HBM 和 MM 的靜電放電耐受度

Cell Name ESD Stress	HBM		MM	
	Pure-VDD to Pure-VDD (+)	Pure-VDD to Pure-VDD (-)	Pure-VDD to Pure-VDD (+)	Pure-VDD to Pure-VDD (-)
PowerCut_2.5V	4kV	4kV	450V	450V

表 3.8
全晶片靜電放電保護電路的 HBM 和 MM 的靜電放電耐受度測試分別在 2mA 與 6mA

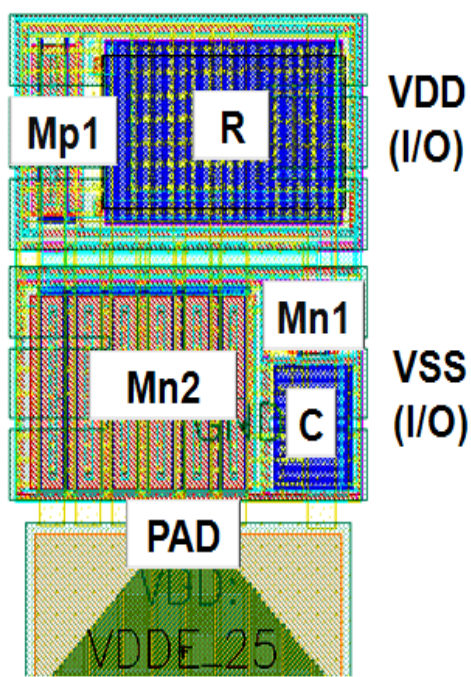
ESD Event	HBM	MM	HBM	MM
Cell Name ESD Stress	DOU02_25 (2 mA)		DOU06_25 (6 mA)	
PS-Mode	>8kV	>800V	>8kV	>800V
NS-Mode	>8kV	>800V	>8kV	>800V
PD-Mode	>8kV	>800V	>8kV	>800V
ND-Mode	>8kV	>800V	>8kV	>800V
VDDE-to-VSSE (+)	>8kV	>800V	>8kV	>800V
VDDE-to-VSSE (-)	>8kV	>800V	>8kV	>800V
In-to-out (+)	>8kV	>800V	>8kV	>800V
In-to-out (-)	>8kV	>800V	>8kV	>800V

表 3.9
全晶片靜電放電保護電路的 HBM 和 MM 的靜電放電耐受度測試分別在 10mA 與 16mA

ESD Event	HBM	MM	HBM	MM
Cell Name ESD Stress	DOU010_25 (10 mA)		DOU16_25 (16 mA)	
PS-Mode	>8kV	>800V	>8kV	>800V
NS-Mode	>8kV	>800V	>8kV	>800V
PD-Mode	>8kV	>800V	>8kV	>800V
ND-Mode	>8kV	>800V	>8kV	>800V
VDDE-to-VSSE (+)	>8kV	>800V	>8kV	>800V
VDDE-to-VSSE (-)	>8kV	>800V	>8kV	>800V
In-to-out (+)	>8kV	>800V	>8kV	>800V
In-to-out (-)	>8kV	>800V	>8kV	>800V

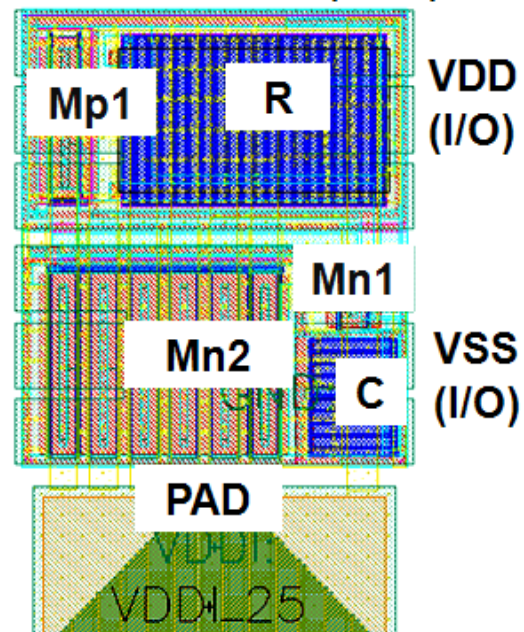
表 3.10
全晶片靜電放電保護電路的 HBM 和 MM 的靜電放電耐受度測試分別在 20mA 與 24mA

ESD Event	HBM	MM	HBM	MM
Cell Name ESD Stress	DOU20_25 (20 mA)		DOU24_25 (24 mA)	
PS-Mode	>8kV	>800V	>8kV	>800V
NS-Mode	>8kV	>800V	>8kV	>800V
PD-Mode	>8kV	>800V	>8kV	>800V
ND-Mode	>8kV	>800V	>8kV	>800V
VDDE-to-VSSE (+)	>8kV	>800V	>8kV	>800V
VDDE-to-VSSE (-)	>8kV	>800V	>8kV	>800V
In-to-out (+)	>8kV	>800V	>8kV	>800V
In-to-out (-)	>8kV	>800V	>8kV	>800V

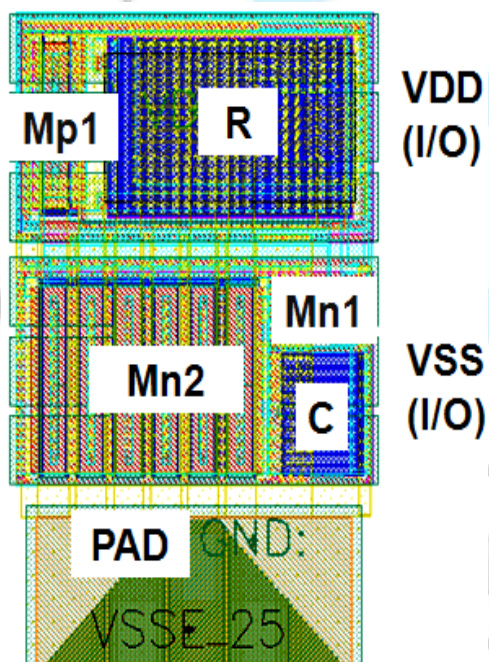


(a)

To Internal VDD (core)

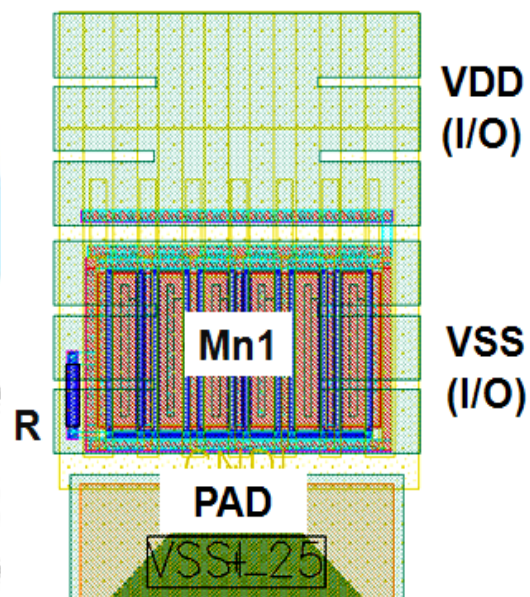


(b)

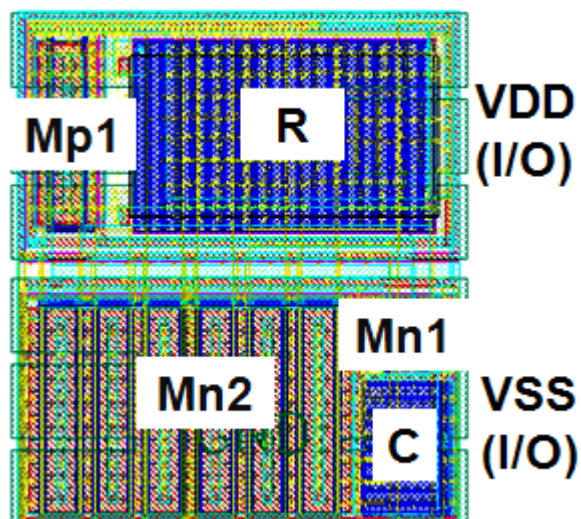


(c)

To Internal VSS (core)

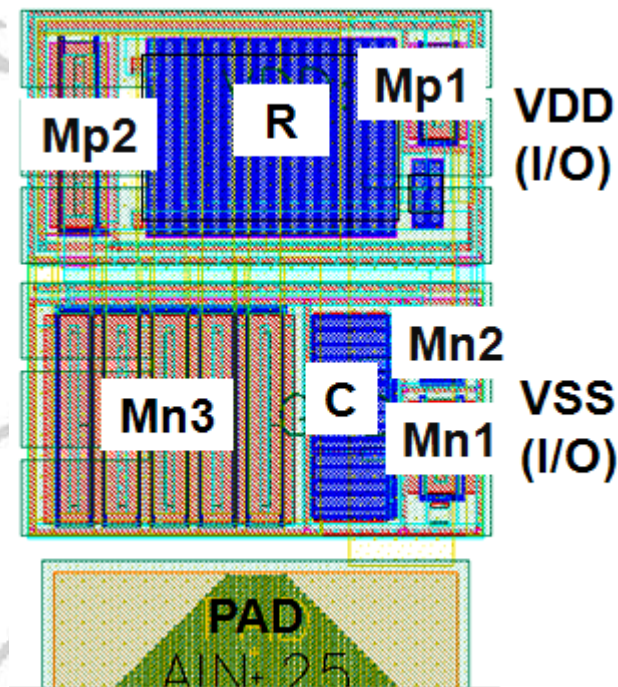


(d)

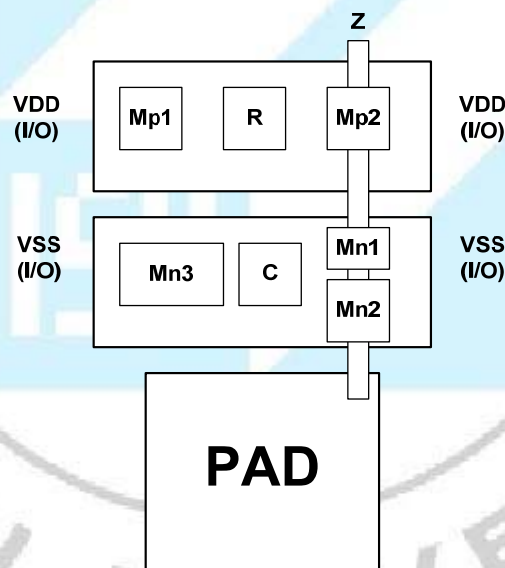


(e)

圖 3.1 分別顯示。(a) VDDE_25,(b) VDDI_25,(c) VSSE_25,(d) VSSI_25, (e) ESDH_25 單元的佈局頂視圖

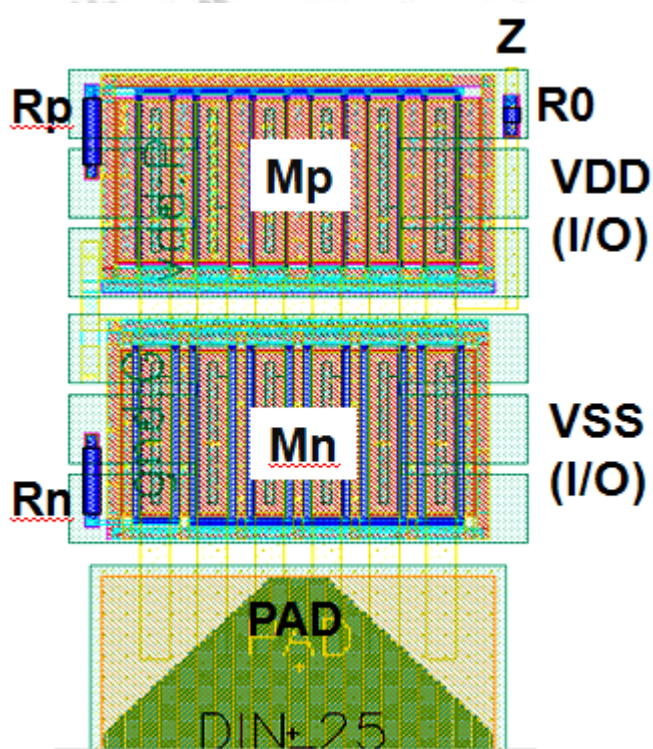


(a)

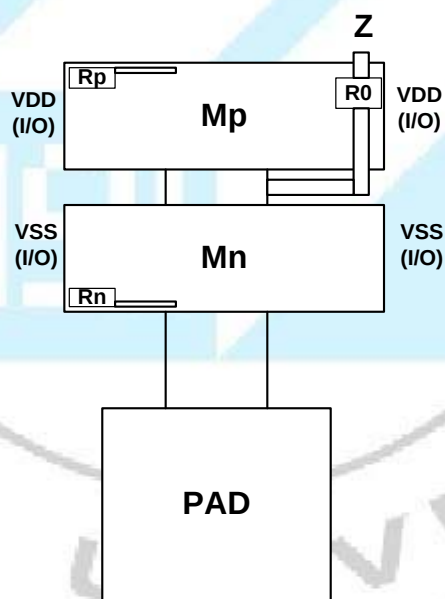


(b)

圖 3.2 分別顯示。(a)AIN_25 佈局頂視圖，(b).AIN_25 佈局示意圖

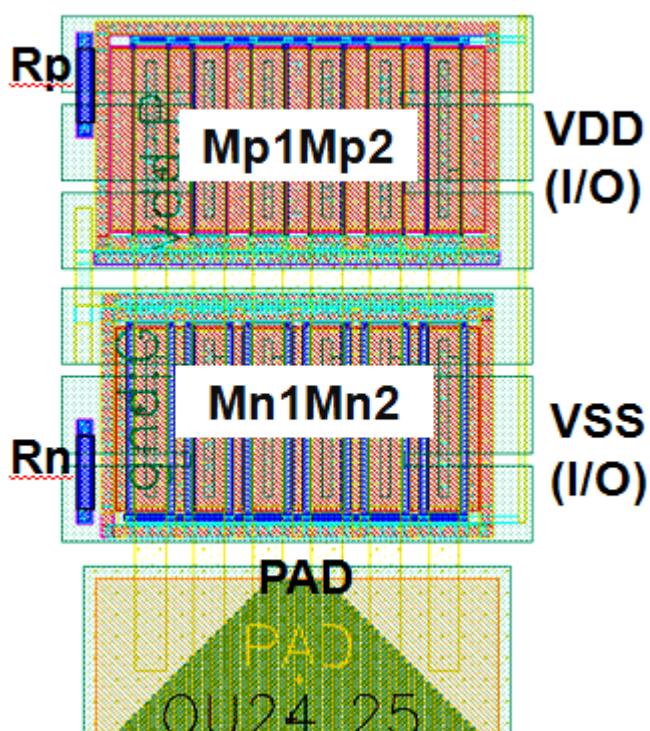


(a)

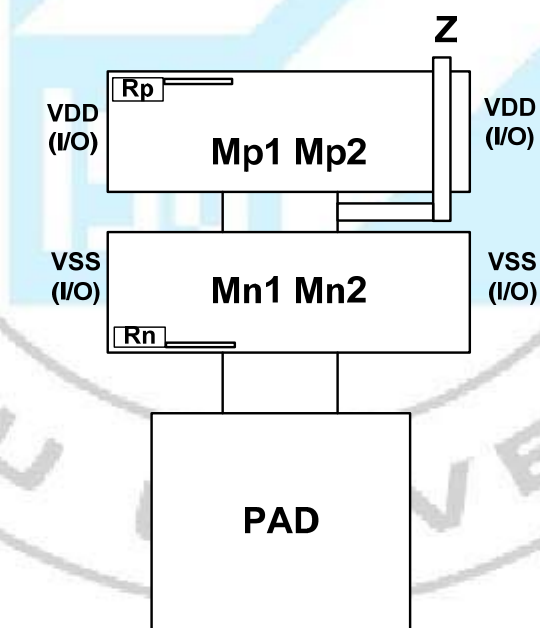


(b)

圖 3.3 分別顯示。(a)DIN_25 佈局頂視圖，(b)DIN_25 佈局示意圖

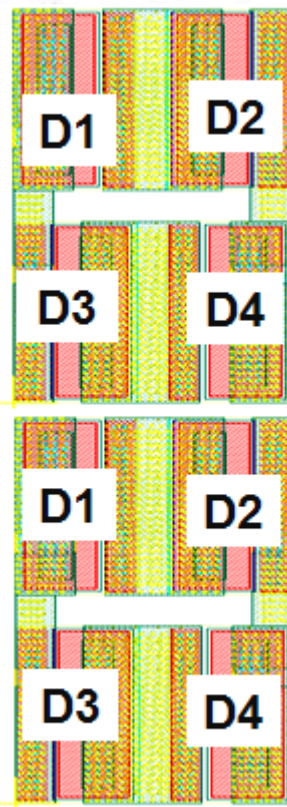


(a)

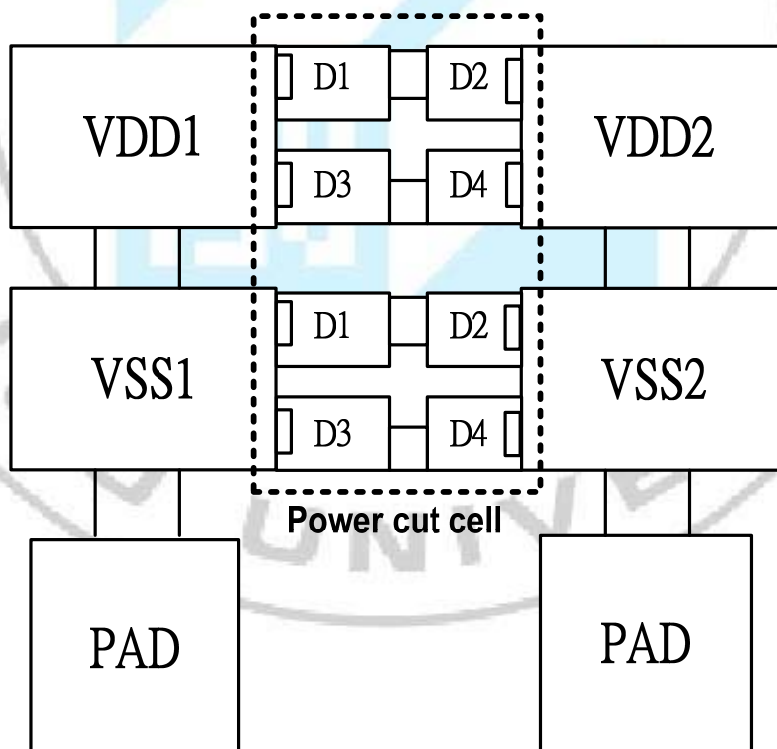


(b)

圖 3.4 分別顯示。(a)OUXX_25 佈局頂視圖(b)OUXX_25 佈局示意圖



(a)



(b)

圖 3.5 分別顯示。(a) 電源斷開佈局頂視圖，(b) 電源斷開佈局示意圖

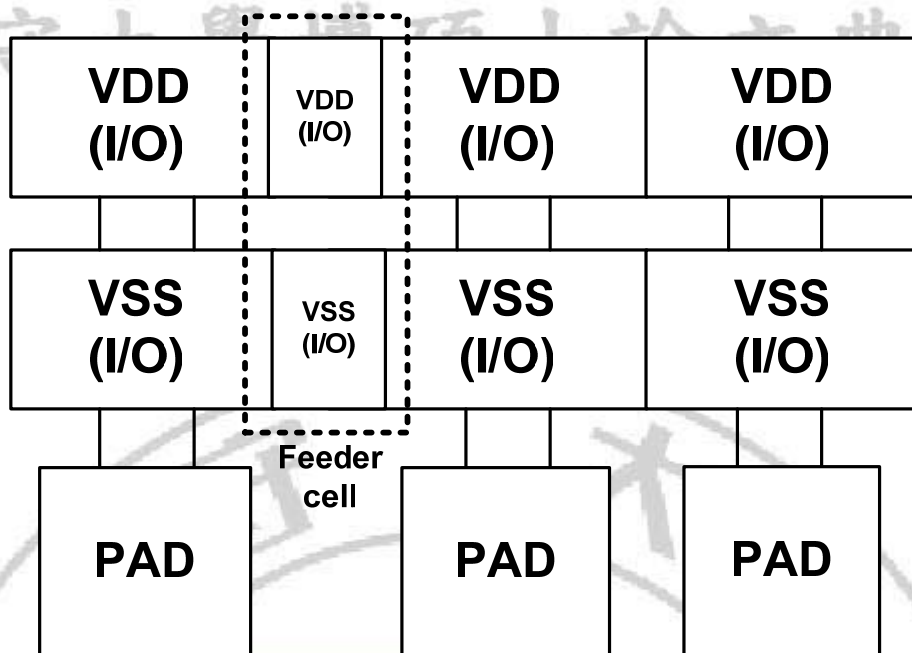


圖 3.6. 連接單元佈局示意圖

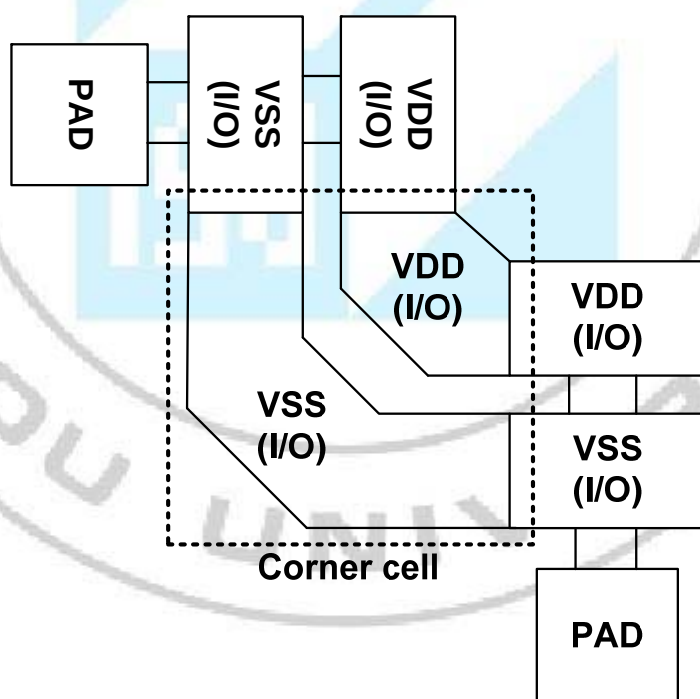


圖 3.7 轉角單元佈局示意圖

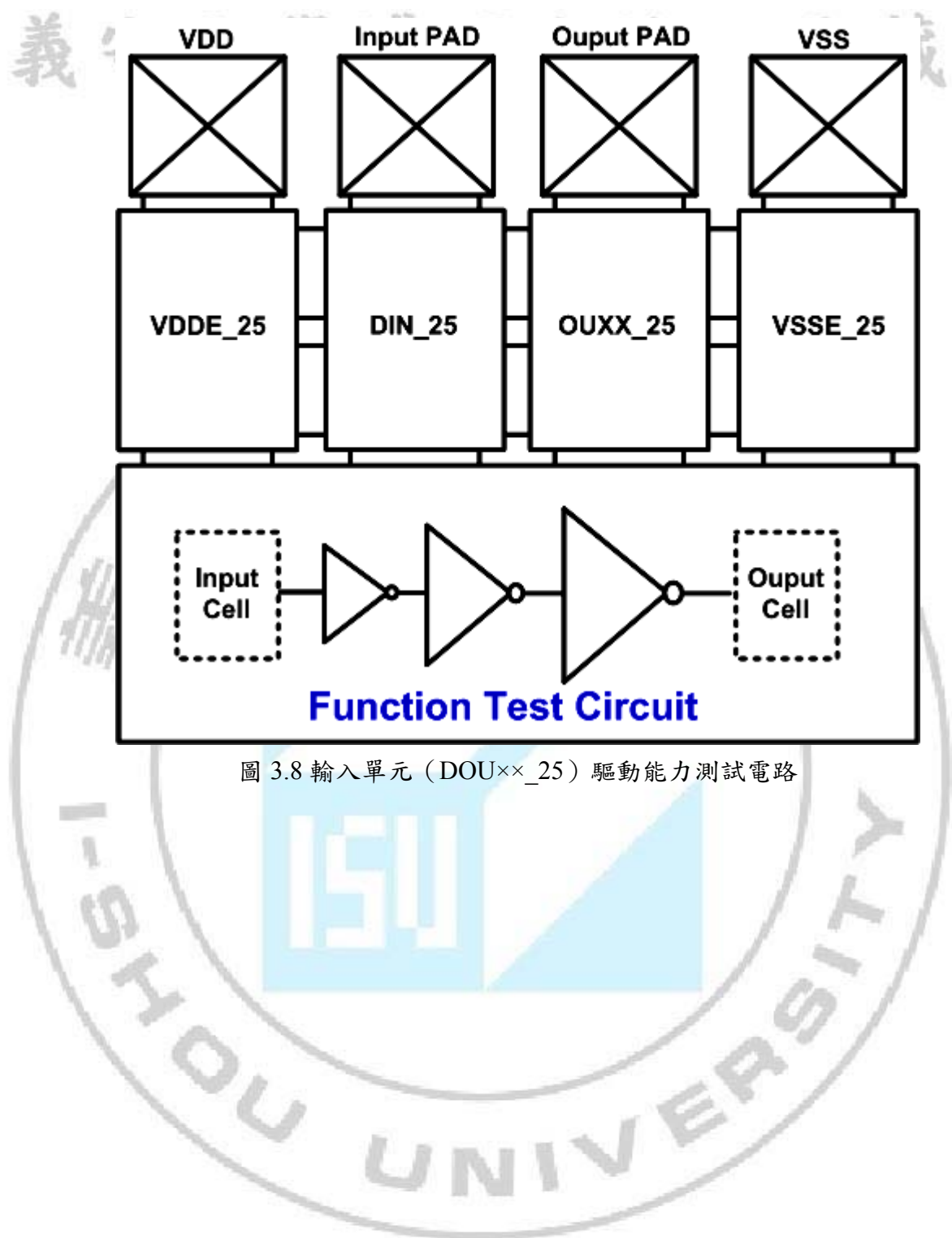


圖 3.8 輸入單元 (DOUxx_25) 驅動能力測試電路

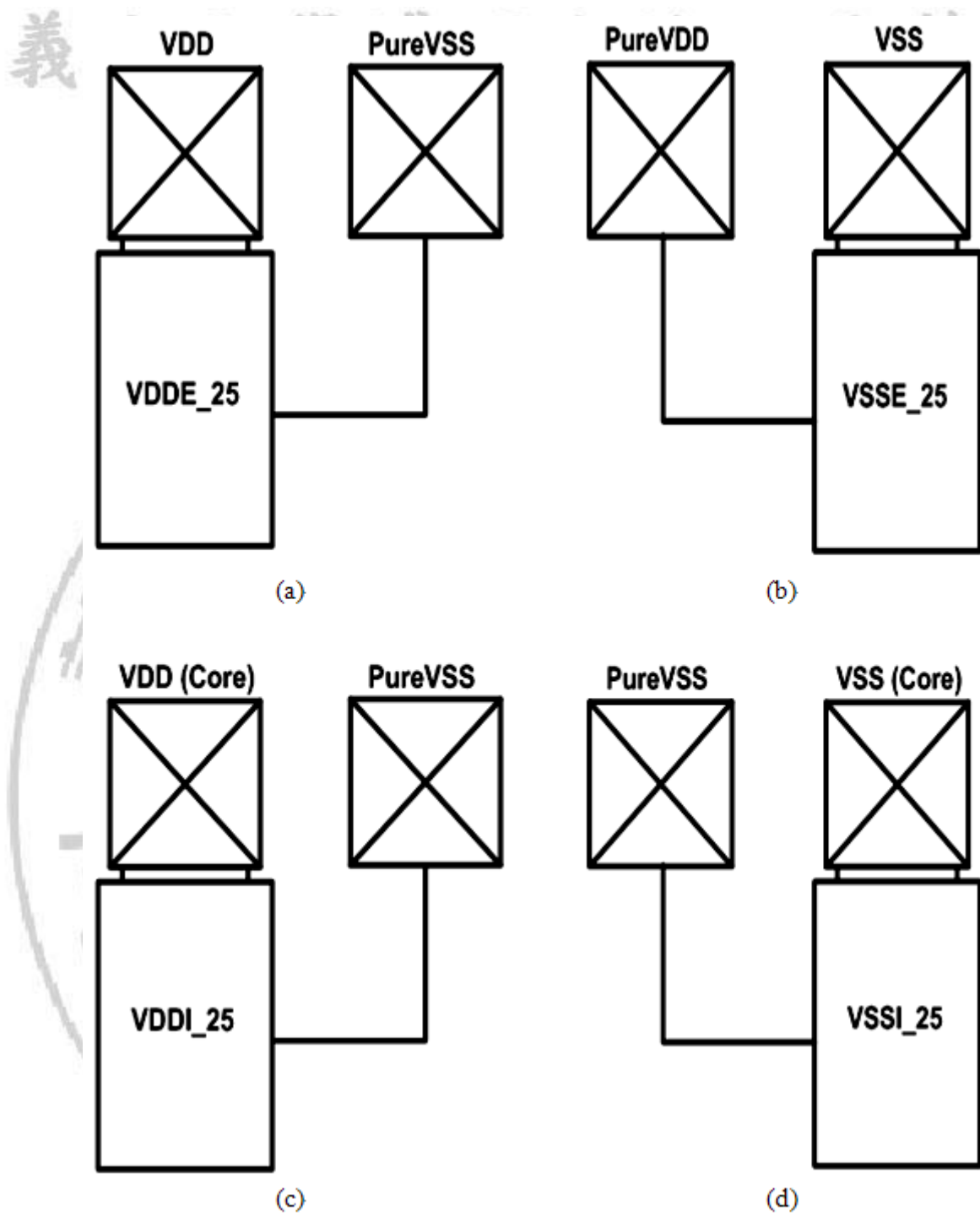
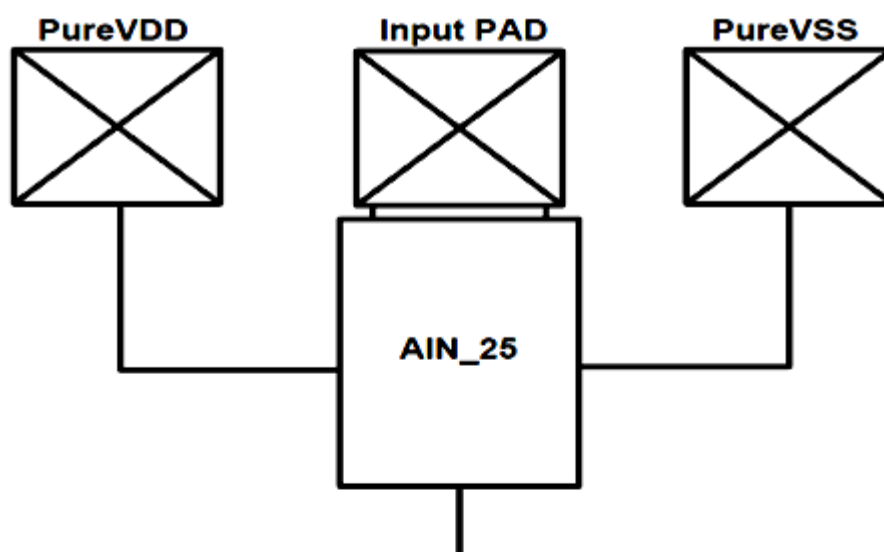
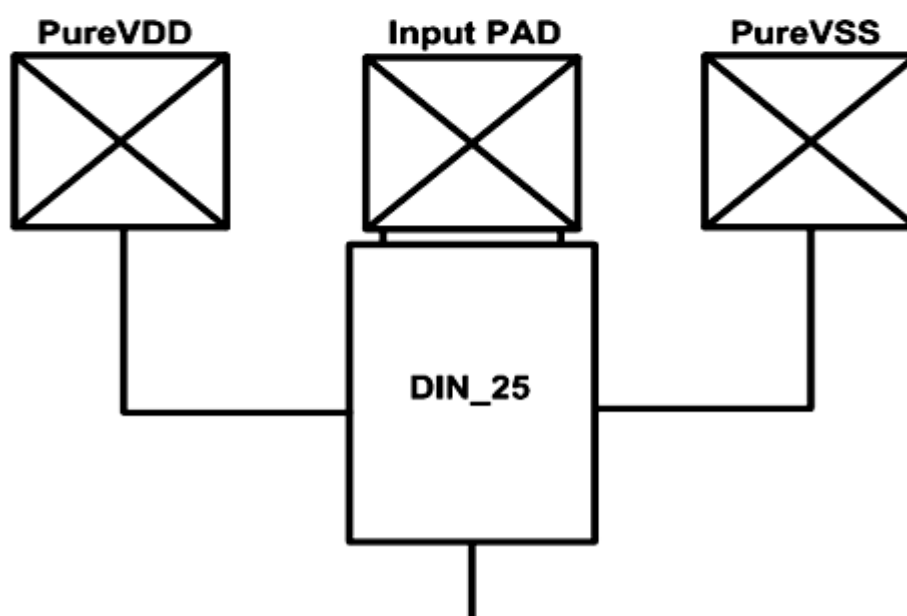


圖 3.9 電源/接地單元測試元件(a)VDDE_25, (b)VSSE_25, (c)VDDI_25, 和 (d)VSSI_25



(a)



(b)

圖 3.10 輸入單元的(a)類比輸入/輸出單元,(b)數位輸入/輸出單元的測試元件

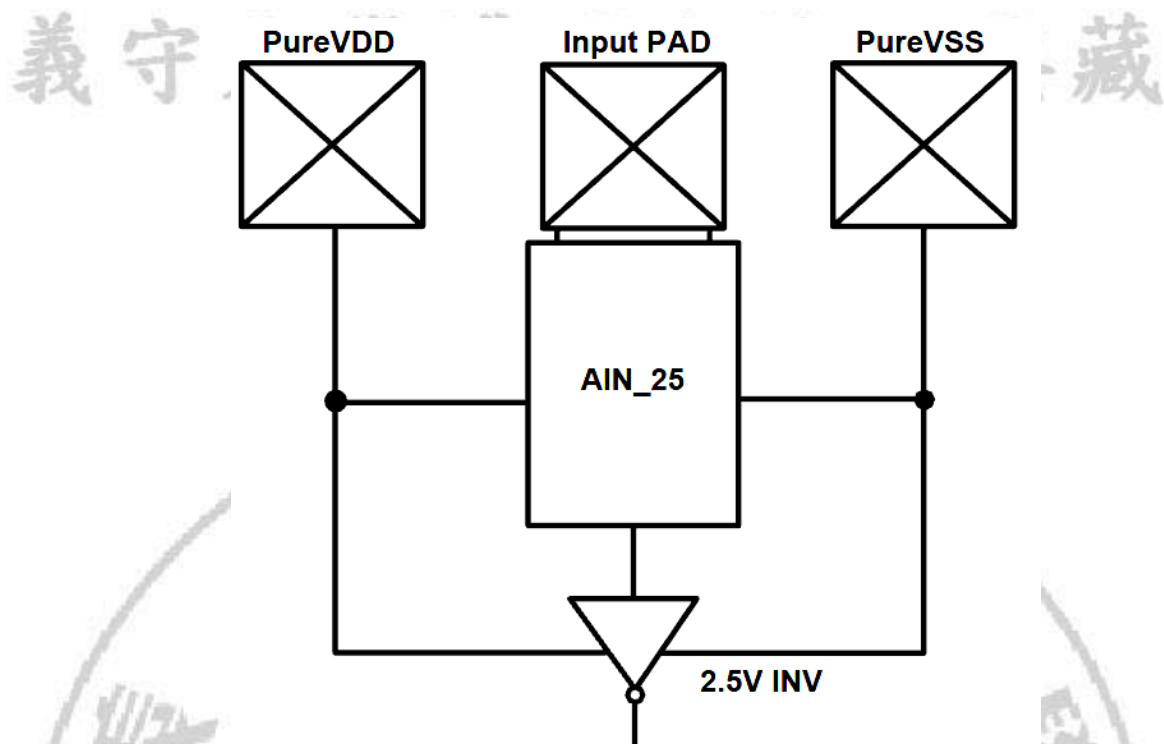


圖 3.11 類比輸入/輸出單元有反向器級的測試元件

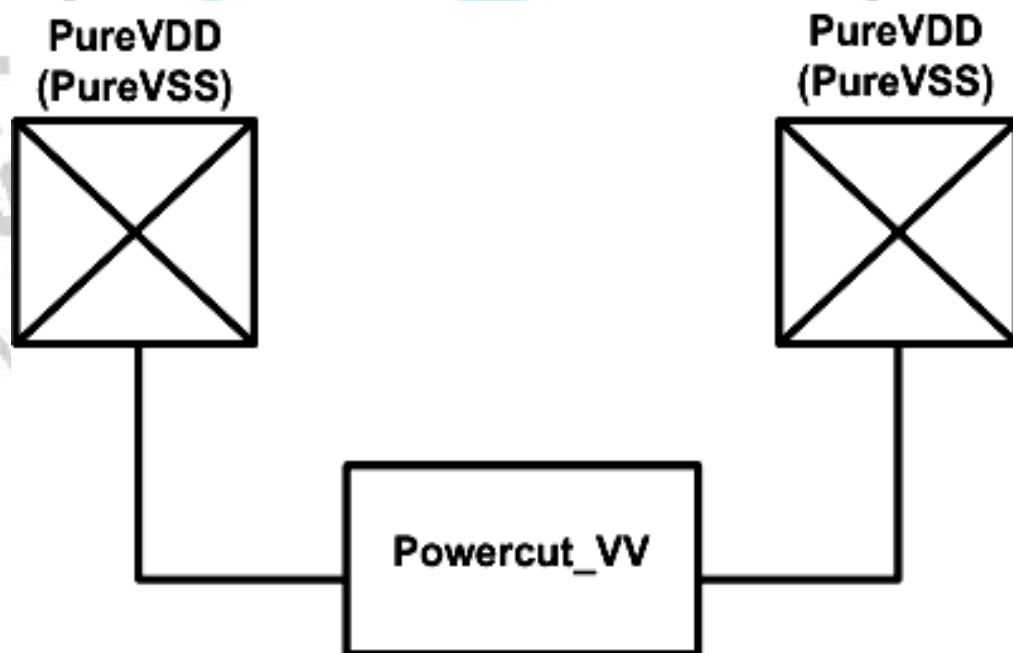


圖 3.12 電源斷開單元於 2.5-V 電壓區域測試元件

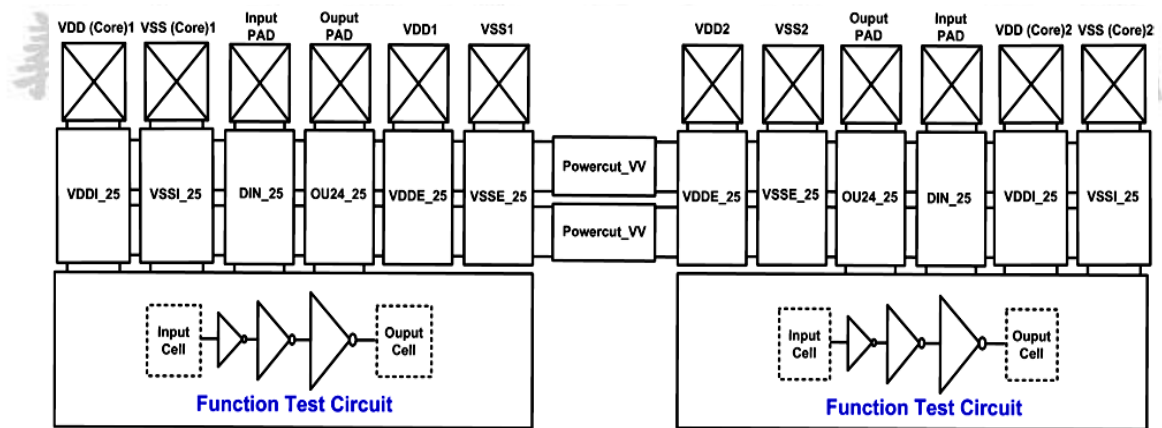


圖 3.13 全晶片與電源斷開單元防護計畫

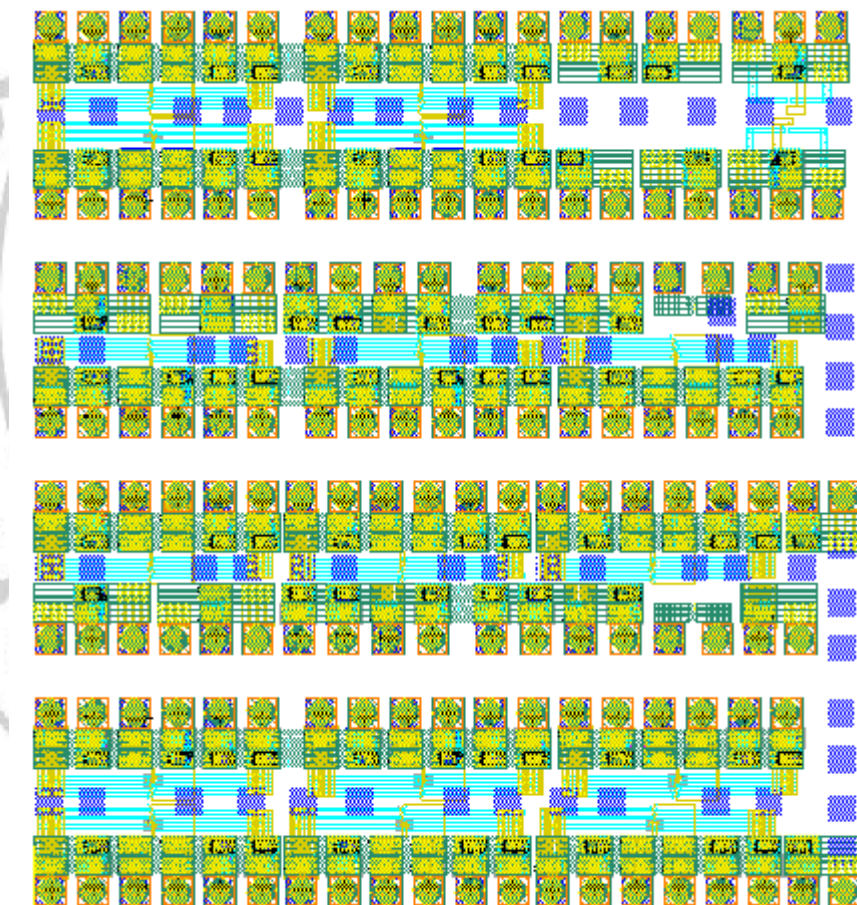


圖 3.14 台積電 0.25 微米 CMOS 製程測試晶片佈局頂視圖

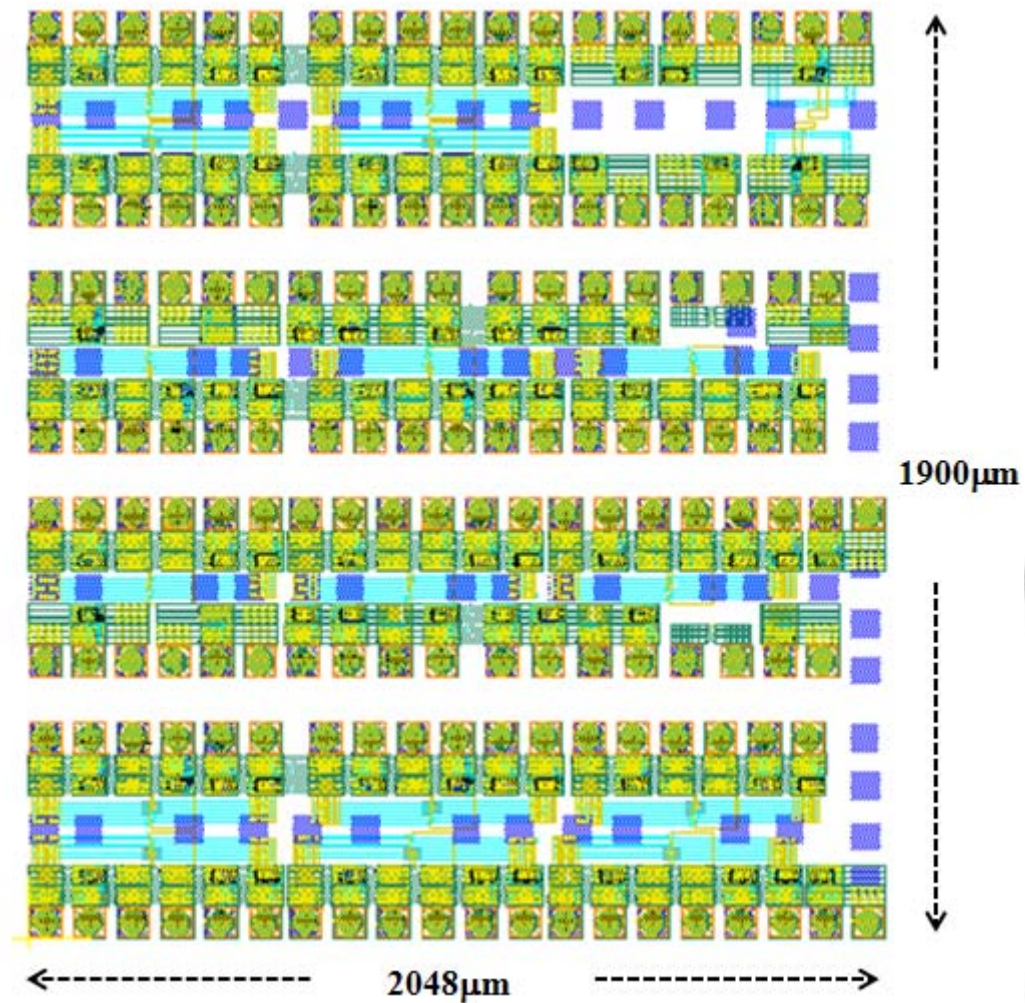
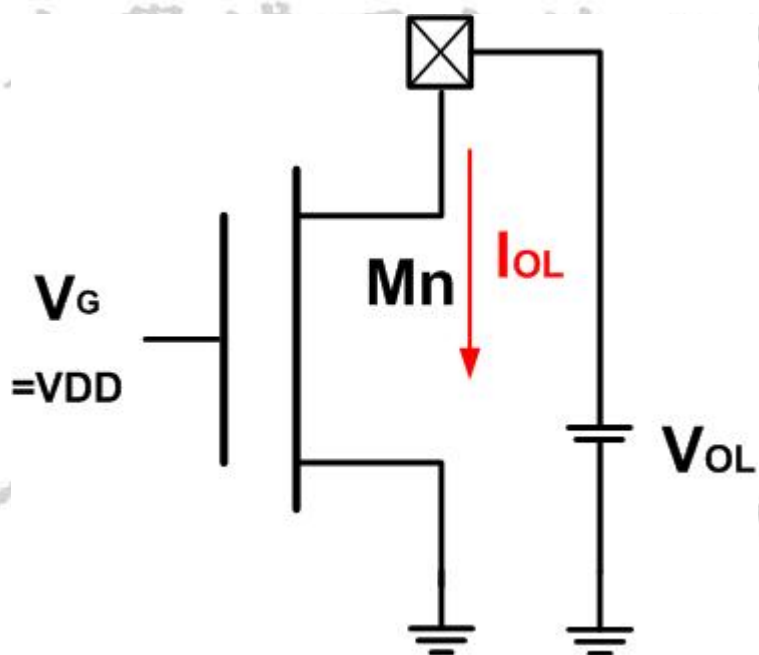
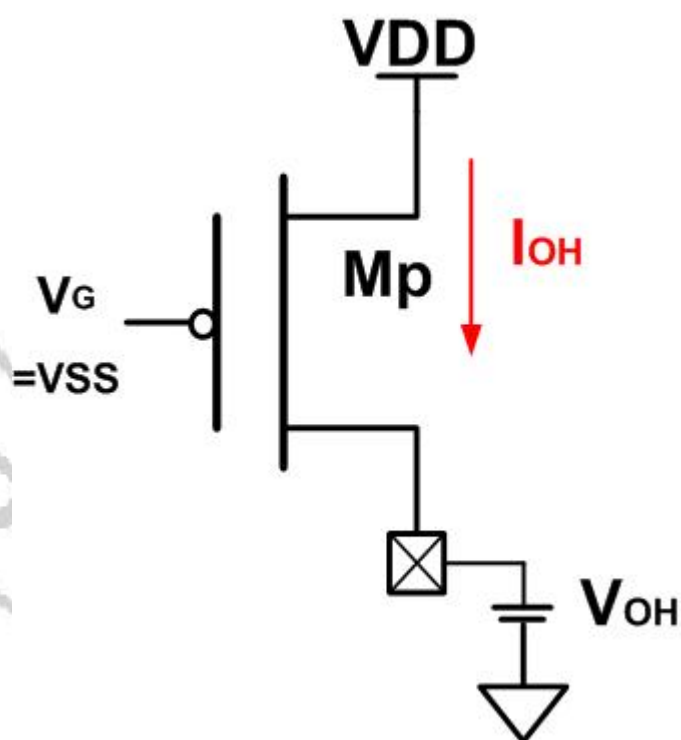


圖 3.15 I/O 單元庫測試晶片佈局頂視圖使用台積電 0.25 微米 CMOS 製程



(a)



(b)

圖 3.16 驗證驅動電流的測量設定(a) 輸出低電流 (I_{OL}) ,(b) 輸出高電流 (I_{OH})

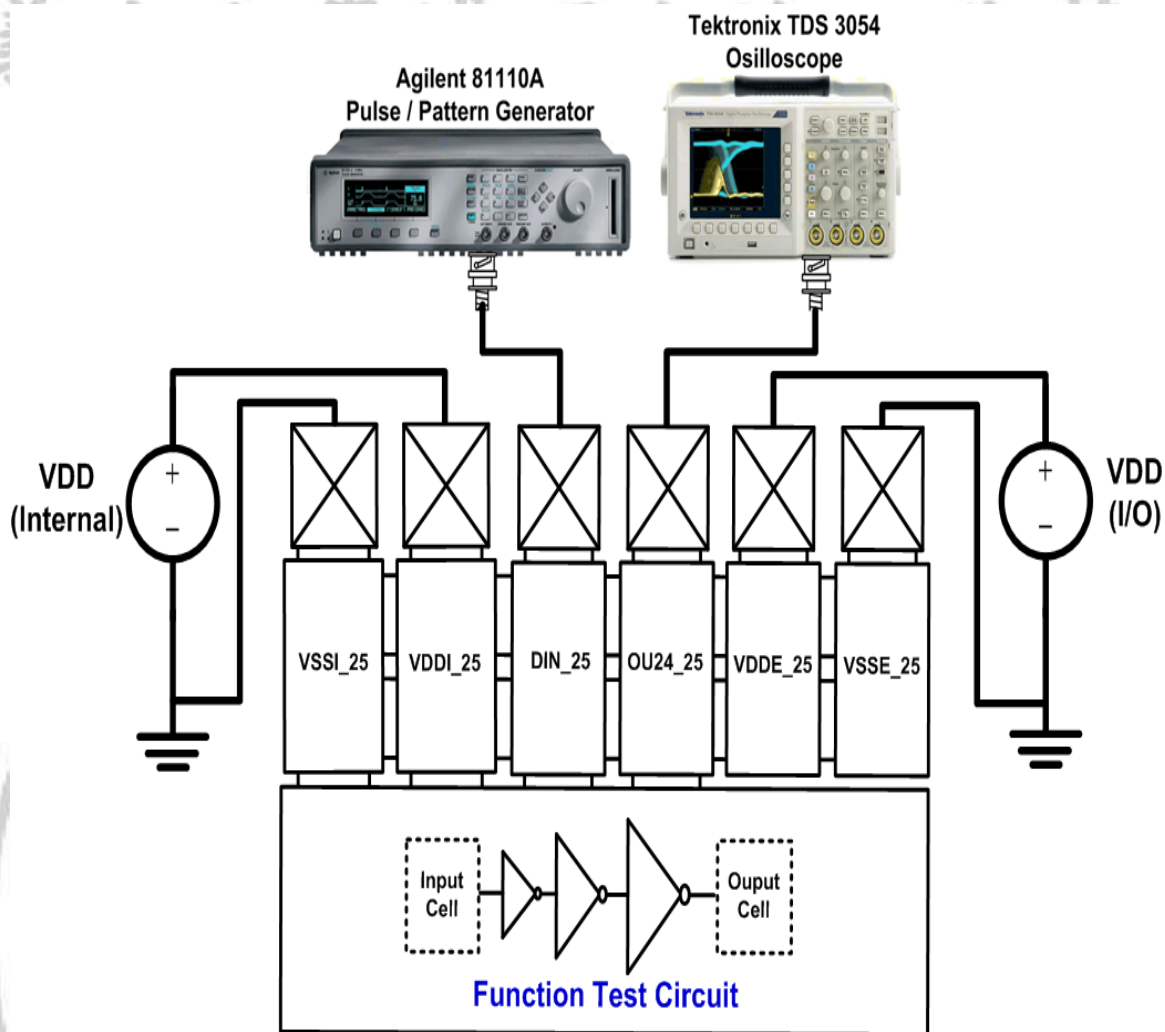
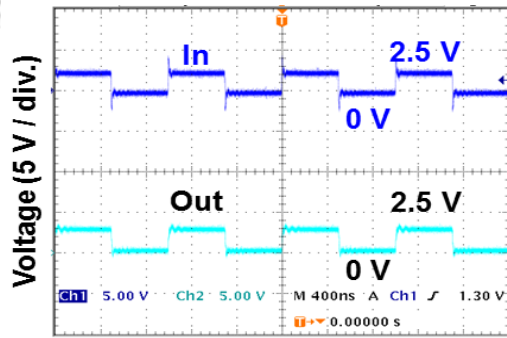


圖 3.17 輸出單元量測工作頻率設定

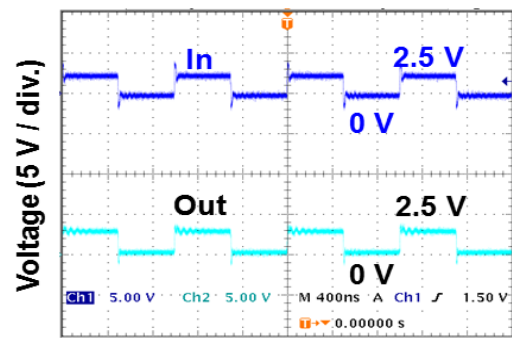
VDD = 2.5 V, In = 0 ~ 2.5 V, Freq. at 1 MHz



Time (400 ns / div.)

> OU02_25

(a)

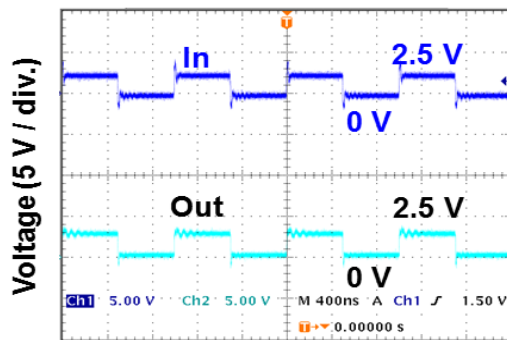


Time (400 ns / div.)

> OU06_25

(b)

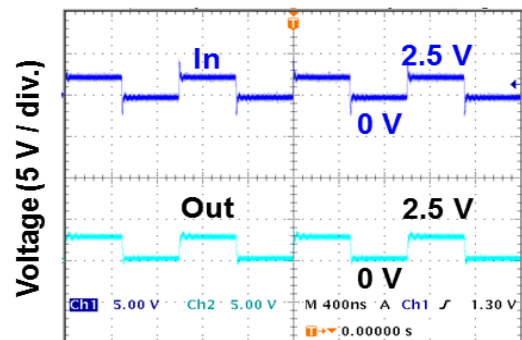
VDD = 2.5 V, In = 0 ~ 2.5 V, Freq. at 1 MHz



Time (400 ns / div.)

> OU10_25

(c)

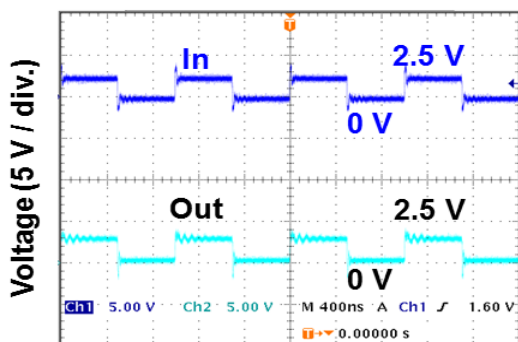


Time (400 ns / div.)

> OU16_25

(d)

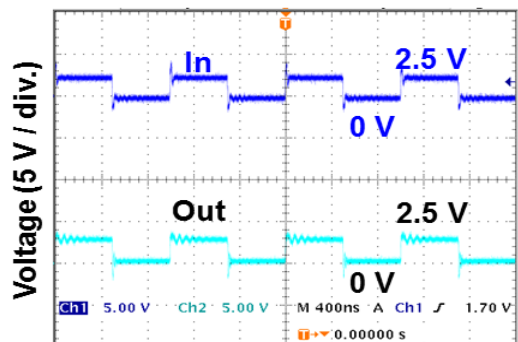
VDD = 2.5 V, In = 0 ~ 2.5 V, Freq. at 1 MHz



Time (400 ns / div.)

> OU20_25

(e)



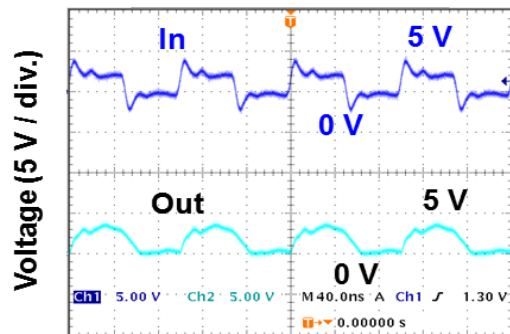
Time (400 ns / div.)

> OU24_25

(f)

圖 3.18 輸出單元在輸入端傳輸 1-MHz 的訊號和從 0-V 到 2.5-V 電壓擺幅分別在(a) 2mA,(b) 6mA,(c) 10mA, (d) 16mA, (e) 20mA, (f) 24mA 不同的驅動電流下的情形

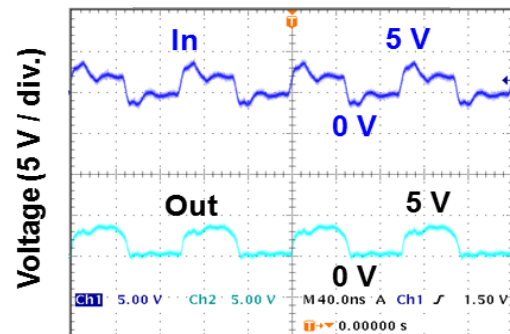
VDD = 2.5 V, In = 0 ~ 2.5 V, Freq. at 10 MHz



Time (200 ns / div.)

➤ OU02_2.5

(a)

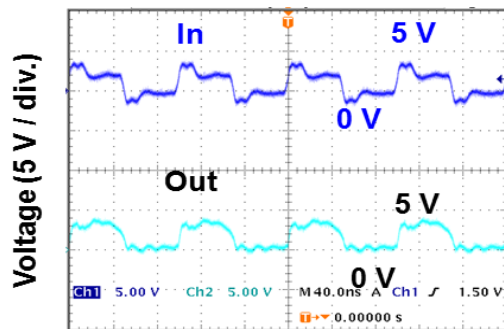


Time (200 ns / div.)

➤ OU06_2.5

(b)

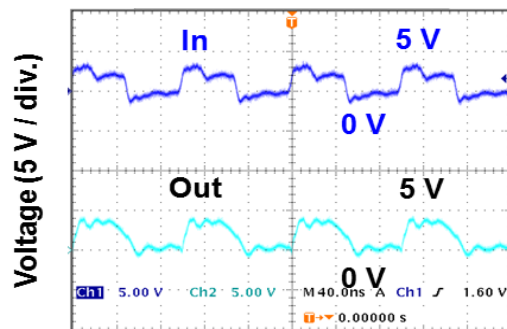
VDD = 2.5 V, In = 0 ~ 2.5 V, Freq. at 10 MHz



Time (200 ns / div.)

➤ OU10_2.5

(c)

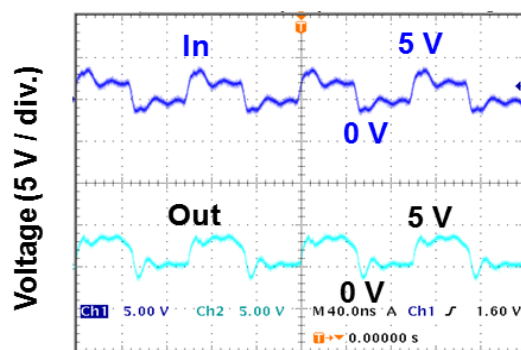


Time (200 ns / div.)

➤ OU16_2.5

(d)

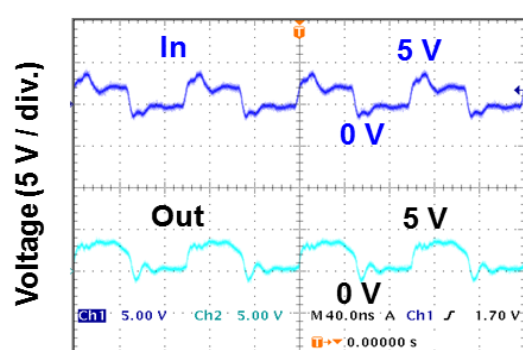
VDD = 2.5 V, In = 0 ~ 2.5 V, Freq. at 10 MHz



Time (200 ns / div.)

➤ OU20_2.5

(e)



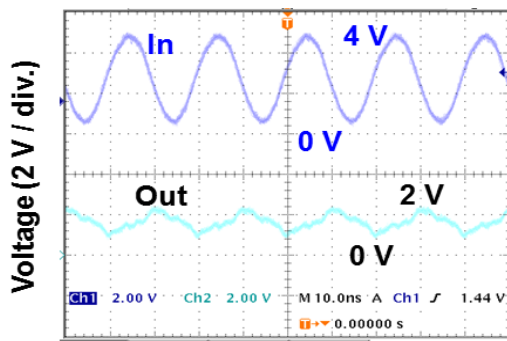
Time (200 ns / div.)

➤ OU24_2.5

(f)

圖 3.19 輸出單元在輸入端傳輸 10-MHz 的訊號和從 0-V 到 2.5-V 電壓擺幅分別在 (a) 2mA, (b) 6mA, (c) 10mA, (d) 16mA, (e) 20mA, (f) 24mA 不同的驅動電流下的情形

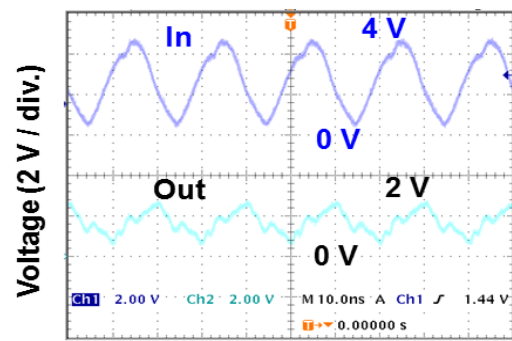
VDD = 2.5 V, In = 0 ~ 2.5 V, Freq. at 50 MHz



Time (10 ns / div.)

> OU02_25

(a)

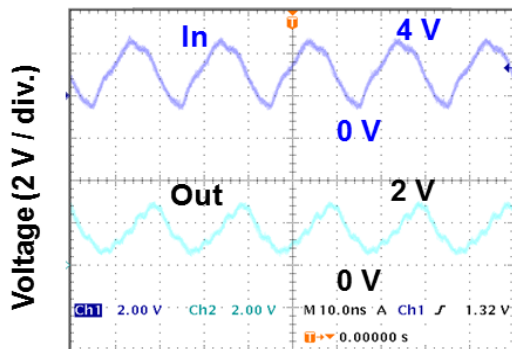


Time (10 ns / div.)

> OU06_25

(b)

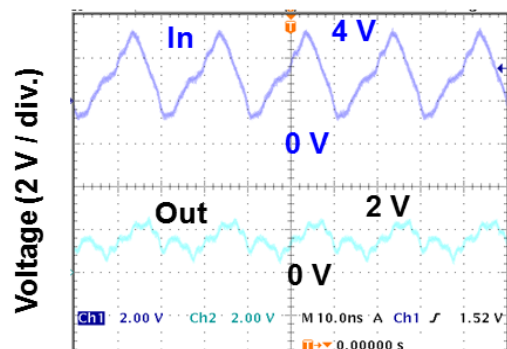
VDD = 2.5 V, In = 0 ~ 2.5 V, Freq. at 50 MHz



Time (10 ns / div.)

> OU10_25

(c)

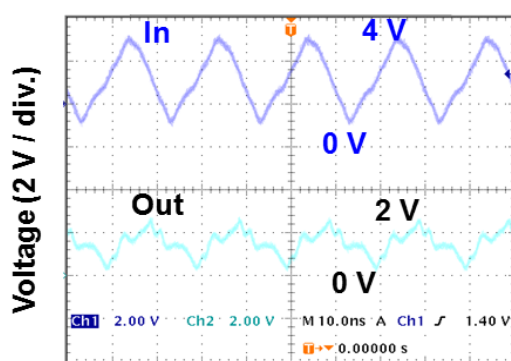


Time (10 ns / div.)

> OU16_25

(d)

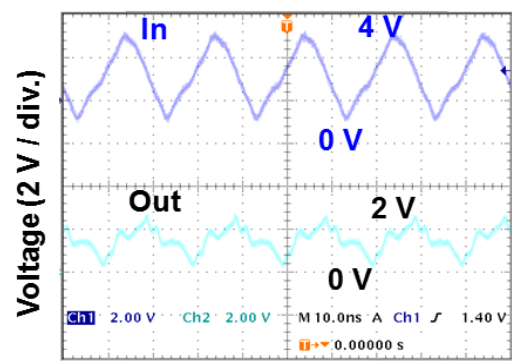
VDD = 2.5 V, In = 0 ~ 2.5 V, Freq. at 50 MHz



Time (10 ns / div.)

> OU20_25

(e)



Time (10 ns / div.)

> OU24_25

(f)

圖 3.20 輸出單元在輸入端傳輸 50-MHz 的訊號和從 0-V 到 2.5-V 電壓擺幅分別在 (a) 2mA, (b) 6mA, (c) 10mA, (d) 16mA, (e) 20mA, (f) 24mA 不同的驅動電流下的情形

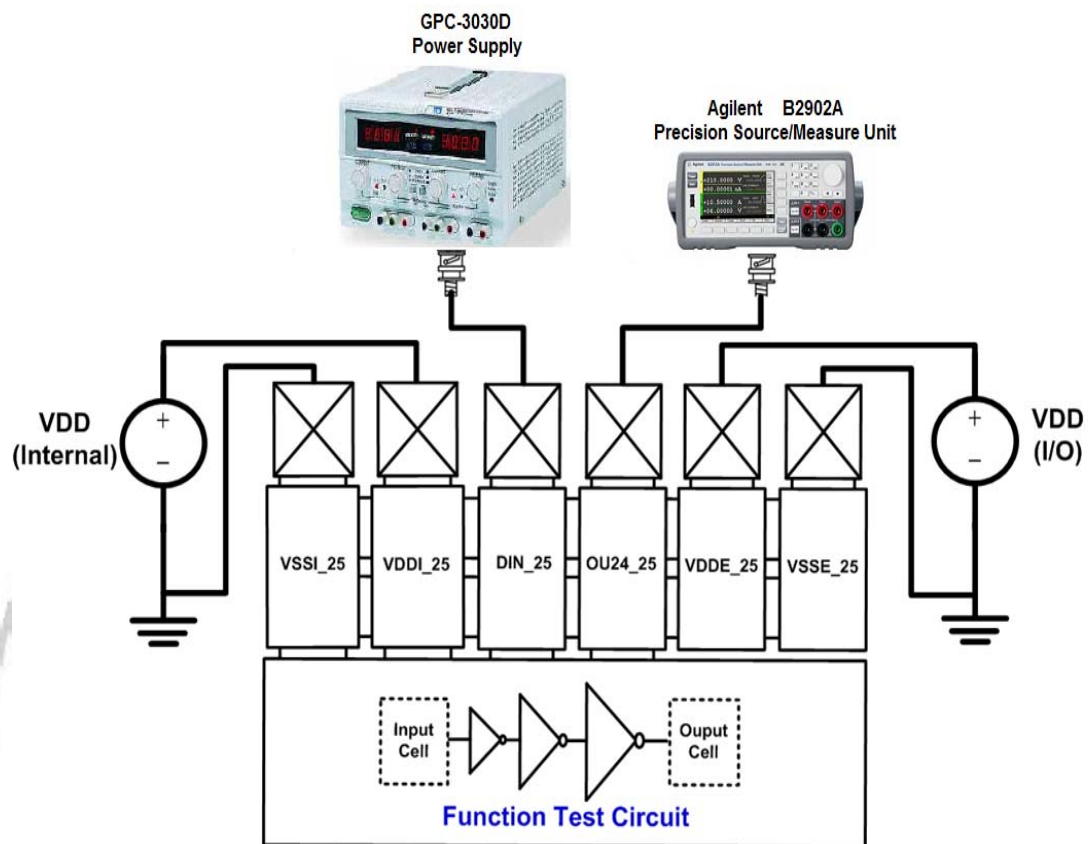


圖 3.21 輸出單元量測驅動電流設定

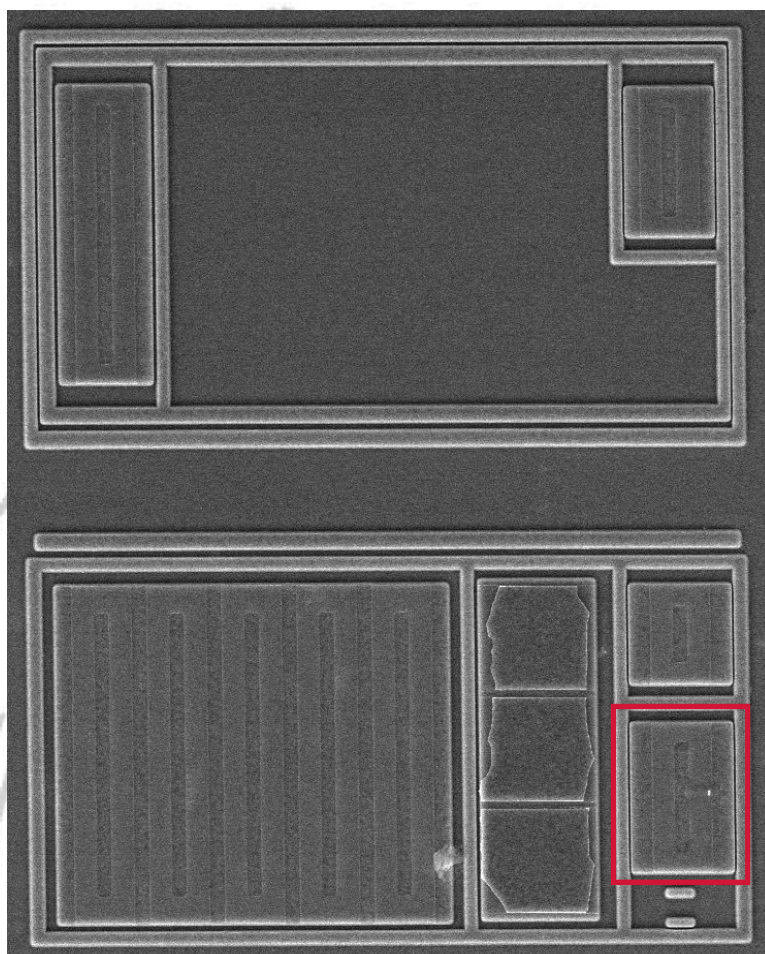


圖 3.22 類比 I/O 單元 SEM 照片

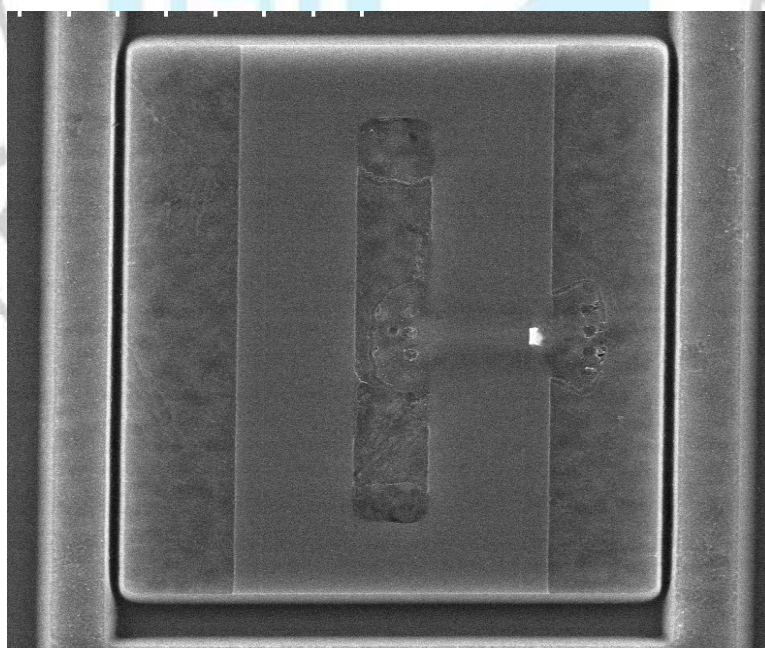


圖 3.23 類比 I/O 單元的 Mn2 閘級損傷

第四章 互補式金氧半製程之混合電壓輸出電路設計

4-1 簡介

互補式金氧半(CMOS)電晶體的尺寸已經邁向奈米領域，而隨著奈米互補式金氧半製程技術的演進，在積體電路設計時所使用之工作電壓也跟著降低。顯然的縮小元件尺寸能使晶片面積更小，而低電壓供應能降低功率消耗，因此晶片設計迅速地轉移至奈米 CMOS 技術中發展。然而，在較早的 CMOS 製程技術中所設計的電路，使用相對於先進製程所能忍受的較大工作電壓。因此，混合電壓輸入輸出電路(Mixed-Voltage I/O Circuit)被開發出來作為不同電壓之傳輸界面。如何避免閘極氧化層過壓(Gate-Oxide Overstress)以提高積體電路的使用壽命，是設計混合電壓輸入輸出電路的重要課題 [21]-[22]。

在同一電子系統中可能具有不同傳輸規格之輸入輸出界面標準，一些周邊零件或其它的晶片仍可能在相對高電壓下運作，如 3.3-V 或 5-V。換言之，電子系統必須考慮相容於不同的工作電壓。為了接合各晶片之間的不同電壓，傳統的 I/O 緩衝器已經不合適了。所以針對此種混合電壓輸出入緩衝器之傳輸界面設計上，必須要考量閘極氧化層可靠度 (Gate-Oxide Reliability)、熱載子衰退效應(Hot-Carrier Degradation)以及漏電流(Leakage Current)等的問題，以提高積體電路的使用壽命 [23]-[25]。

4-2 電路架構與設計

圖 4.1 為傳統的三態 I/O 輸出輸入電路實現於 0.25 微米 CMOS 製程中，供應電壓 VDD 為 2.5-V。然而在三態輸入(接收)模式中，混合電壓 I/O 接面的 I/O pad 輸入訊號可能上升至 5-V。在接收模式，藉由前置驅動電路分別由 Pull-up pMOS

元件的閘極電壓和 Pull-down nMOS 的 I/O 緩衝器分別控制在 2.5-V 和 0-V 來關閉 Pull-up pMOS 元件和 Pull-down nMOS 元件。在三態輸入模式下，當輸入訊號在 I/O pad 上升到 5-V，在 Pull-up pMOS 元件中寄生的 Drain-to-Well Pn-Junction diode 將被正向偏壓。所以，不良的漏電流經由寄生 pn-junction diode 從 I/O pad 流向供應電壓(VDD)。此外，由於在三態輸入模式下 pull-up pMOS 元件的閘極電壓是 2.5-V 且 I/O pad 的輸入訊號是 5-V，pull-up pMOS 元件將被開啟，意外引起另一個漏電流路徑從 I/O pad 到供應電壓(VDD)。此意外漏電流，在電子系統中不僅消耗更多的電力，而且可能會使整個電子系統運作產生故障[26]-[27]。

圖 4.2 為新提出的可承受 $3 \times VDD$ 電壓的輸出電路，設計在 0.25 微米 CMOS 製程中，使用 1.8-V 元件，供應電壓為 1.8-V。此電路由前級驅動電路 (Pre-Driver)、電壓轉換電路 (Level Converter)、電荷幫浦電路 (Charge Pump)、疊接 nMOS (TN1、TN2、TN3) 所組成。在傳送模式中，混合電壓 I/O 接面的 I/O pad 輸入訊號可能上升至 5-V [28]-[30]。此電路的操作模式如表 4.1 所示。

4-3 電路原理

4-3-1 前置驅動級電路(Pre-Driver)

圖 4.3 為前置驅動級電路圖，由 INV1、INV2、NAND1、NAND2 所組成，根據兩控制訊號 OE 與 Dout 產生對應之 PU 與 PD 輸出訊號，以控制 I/O Cell 的工作模式與傳輸模式，表 4.2 為真值表(Truth Table)。當 OE 皆為邏輯 0 時，PU 為 1 而 PD 為相反邏輯，當 OE 皆為邏輯 1 時，PD 皆為 1。

7-3-2 電壓轉換電路(Level Converter)

電壓轉換器電路設計如圖 4.4(a)所示，可以轉換的電壓擺幅為 $0V \sim VDD$ 到 $VDD \sim 2 \times VDD$ [31]。在此電路中，必須注意元件 N2A 和 N2B，如果沒有 N2A 和 N2B，這種結構當元件 P2A 和 P2B 關閉時，節點 1 和節點 2 會被浮接。這是我們不想要在一個積體電路中見到的。當 P2A 和 P2B 關閉時，增加 n 型通道電晶體，N2A 和 N2B，能提供特定的電壓(VDD)給節點 1 和節點 2。因此，增加元件，N2A 和 N2B 的電晶體可以確保節點 1 和節點 2，處於安全狀態。在圖 4.4，相關 $2 \times VDD$ 訊號的 p 型通道電晶體，都連接到 $2 \times VDD$ 的寄生的 Drain-to-Well pn-Junction Diode，以避免漏電流產生。輸入訊號的電壓擺幅是從 $0V$ 到 VDD 。當訊號在 VDD ，節點 4 拉低至 $0V$ ，電晶體 P5A 被開啟。在電晶體 P5A 被開啟，節點 3 將拉低至 VDD ，然後 P4B 和 P2B 被打開。因此，節點 OUT 和節點 5 為 $2 \times VDD$ 。同時，節點 1 拉低至 VDD ，因為 P2A 是關閉和 N2A 開啟，然後，電晶體 P1A 被關閉。由於功率轉換器的結構是對稱的，訊號 IN 為 $0V$ 時，6 節點將被拉高至 VDD ，該操作類似上述。最後，節點 Out 將為 VDD 而節點 3 將為 $2 \times VDD$ ，電路模擬波形結果如圖 4.4(b)所示。

4-3-3 電荷幫浦電路 (Charge Pump)

如圖 4.5(a)所示，有兩個電荷傳遞分支，分支 A 和分支 B，在新提出的電荷幫浦電路。分支 A 電晶體 MN1，MP1 與電容 C1 組成。分支 B 是由的電晶體 MN2，MP2 和電容 C2 組成。分支 A 和 B 的控制訊號是相互連接。此外，分支 A 和 B 的時脈訊號是反相。當第一在幫浦階段，時脈訊號分別在分支 A 的 CLK 和分支 B 的 CLKB。同樣，當第二在幫浦階段，時脈訊號分別在分支 A 的 CLKB 和分支 B 的 CLK。因此，可以看到分支 A 和 B 作為兩個獨立的電荷幫浦電路，但其輸出節點連接在一起。因為分支 A 和分支 B 的時脈訊號是反相，節點 1 和節點 2 的電壓波

形也是反相。因此，交替分支 A 和 B 可以幫浦輸出電壓到高電位，電路模擬波形結果如圖 4.5(b)所示。電荷幫浦電路的詳細操作如下所述[32]-[34]。

時脈訊號 CLK 為低時，在間隔時間 T1 的時脈訊號 CLKB 是高電位，節點 1 和節點 2 之間的電壓差 (V_{12}) 為 VDD。因此，電晶體 MP1 開啟，電荷傳遞從 1 節點到輸出節點，但電晶體 MP2 被關閉，從輸出節點到節點 2 的電流路徑被切斷。另一方面， V_{12} 的電壓差 VDD 過程中間隔時間為 T2。從輸出節點到節點 1 的電流路徑被切斷。此外，電晶體 MP2 開啟，電荷傳遞從節點 2 到輸出節點 [35]-[38]。

4-4 電路模擬結果

在傳送模式時，藉由前置驅動電路來傳送訊號，當節點 OE 和 Dout 是 1.8-V，分別 pull-up nMOS 元件(TN1)的閘極電壓和 pull-down nMOS 元件(TN3)的閘極電壓，當輸入訊號出現在 I/O pad 則上升到 5-V，如圖 4.6(a)所示。當節點 Dout 是低電位，TN1，TN2 和 TN3 閘極電壓皆為 VDD，I/O pad 則為 0V，如圖 4.6(b)。當 OE 保持在低電位而 Dout 交替換為高電位時，分別 pull-up nMOS 元件(TN1)的閘極電壓和 pull-down nMOS 元件(TN3)的閘極電壓，該輸出電路控制在 0V 來關閉輸出緩衝器 nMOS 元件，如圖 4.6(c)所示。當 OE 保持在低電位而 Dout 交替換為低電位時，分別 pull-up nMOS 元件(TN1)的閘極電壓和 pull-down nMOS 元件(TN3)的閘極電壓，該輸出電路控制在 0-V 來關閉輸出緩衝器 nMOS 元件，如圖 4.6(c)所示。

在這篇論文中，一個可承受 $3\times VDD$ 的混合電壓輸出電路已成功地設計在 0.25 微米 1.8-V CMOS 製程中，只使用 $1\times VDD$ CMOS 元件，5-V 訊號傳輸時沒有閘極氧化層可靠度的問題和漏電流問題。新提出的 $3\times VDD$ 電壓共容輸出電路已完成晶片佈局繪製結果如圖 4.7 所示。即將於矽晶片上驗證該電路功能。此新提出的 $3\times VDD$ 電壓共容輸出電路解決方案亦可實現在各種 CMOS 製程中，以滿足微電子系統的混合電壓界面規格之應用需求。

表 4.1
新提出的 $3 \times VDD$ 輸出電路的操作模式

Operating Modes	Transmit			
OE	VDD		0 V	
Dout	0V	VDD	VDD	0V
TN1	VDD	$2 \times VDD$	$2 \times VDD$	$2 \times VDD$
TN2	VDD	VDD	VDD	VDD
TN3	VDD	0V	0V	0V
I/O PAD	0V	$3 \times VDD$	$3 \times VDD$	$3 \times VDD$

表 4.2
前置驅動級真值表

	IN		OUT	
	OE	Dout	PU	PD
Transmit	1	1	1	0
	1	0	0	1
	0	1	1	0
	0	0	1	0

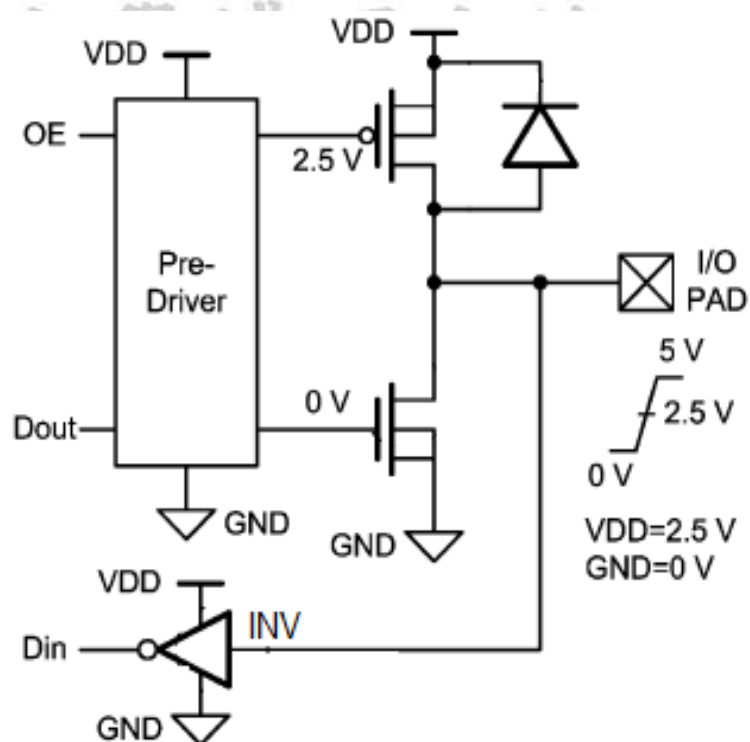


圖 4.1 傳統的三態 I/O 輸出輸入電路[29]

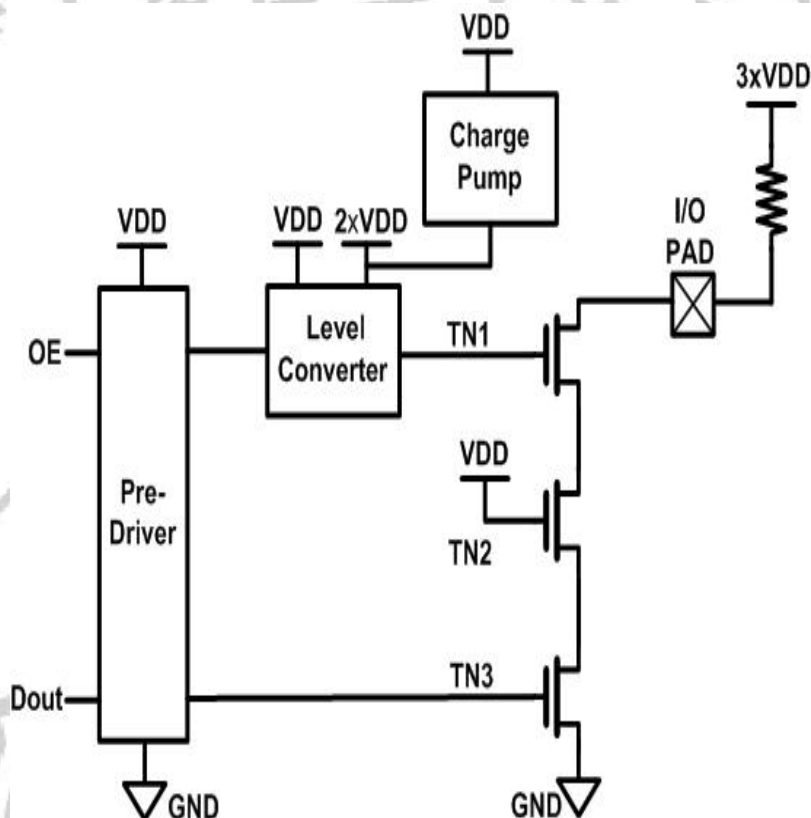


圖 4.2 新提出的 $3 \times VDD$ 電壓共容的輸出電路

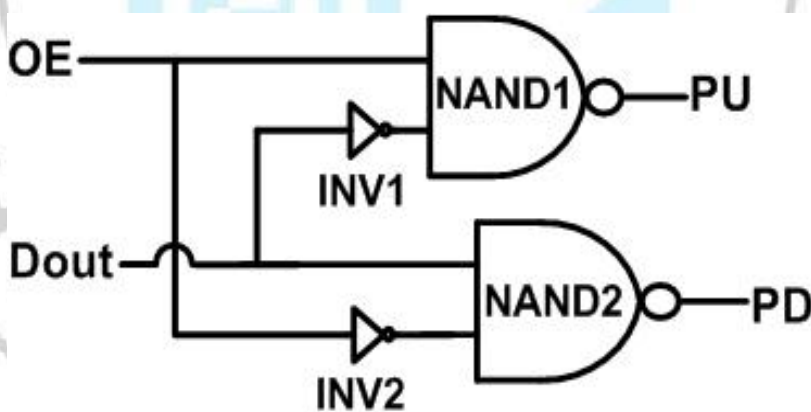
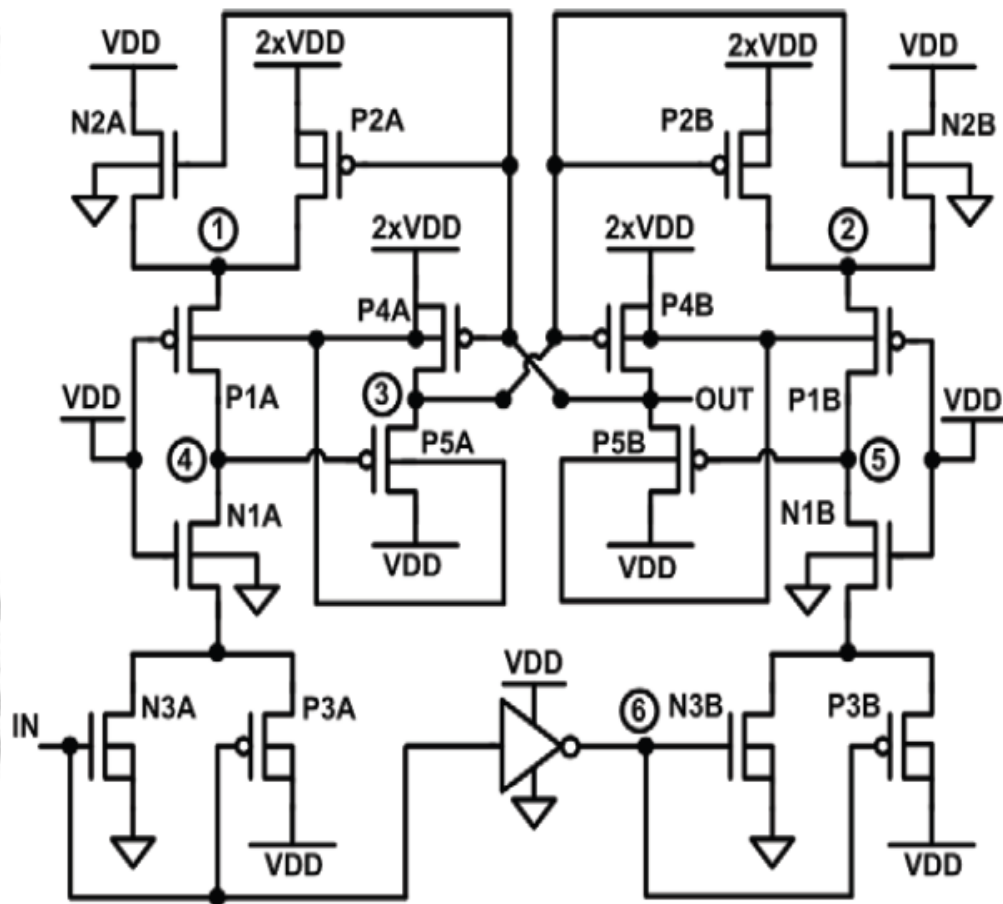
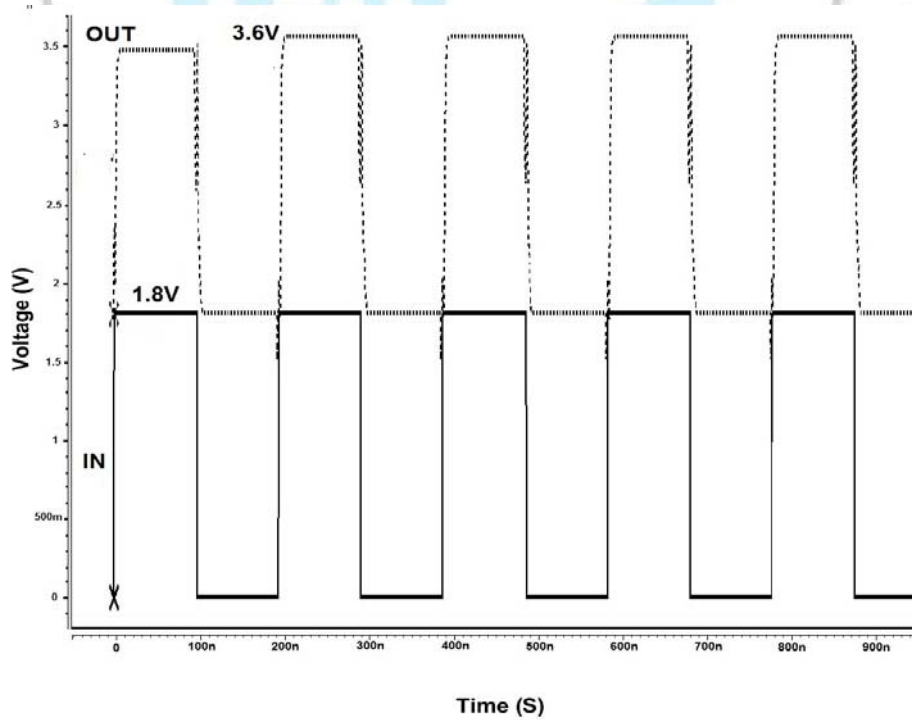


圖 4.3 前置驅動級電路圖

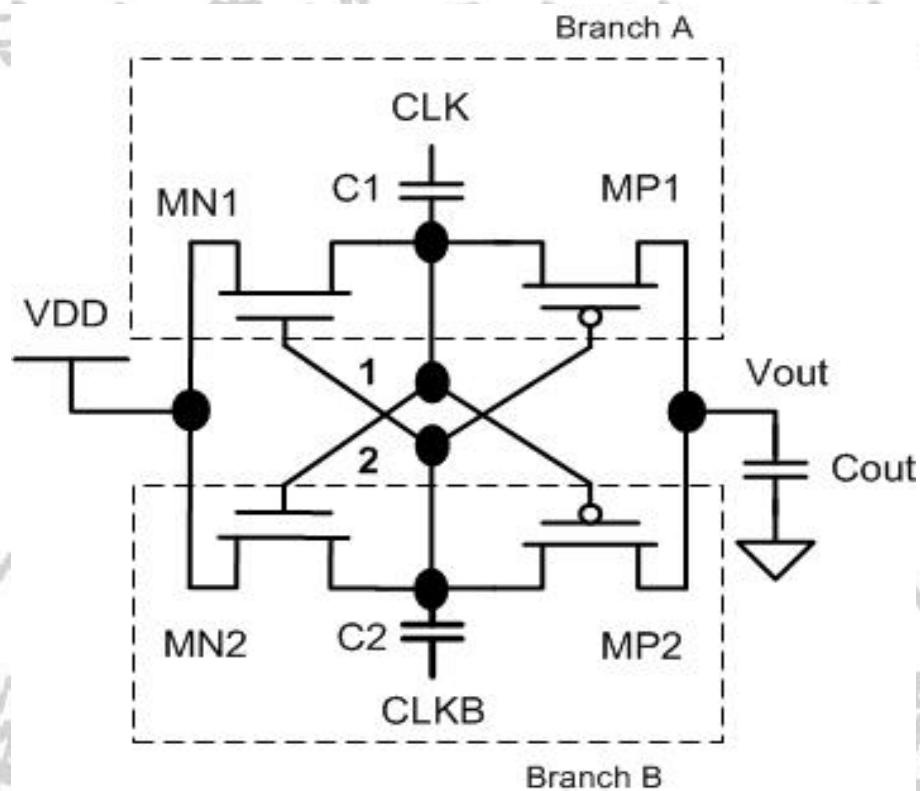


(a)

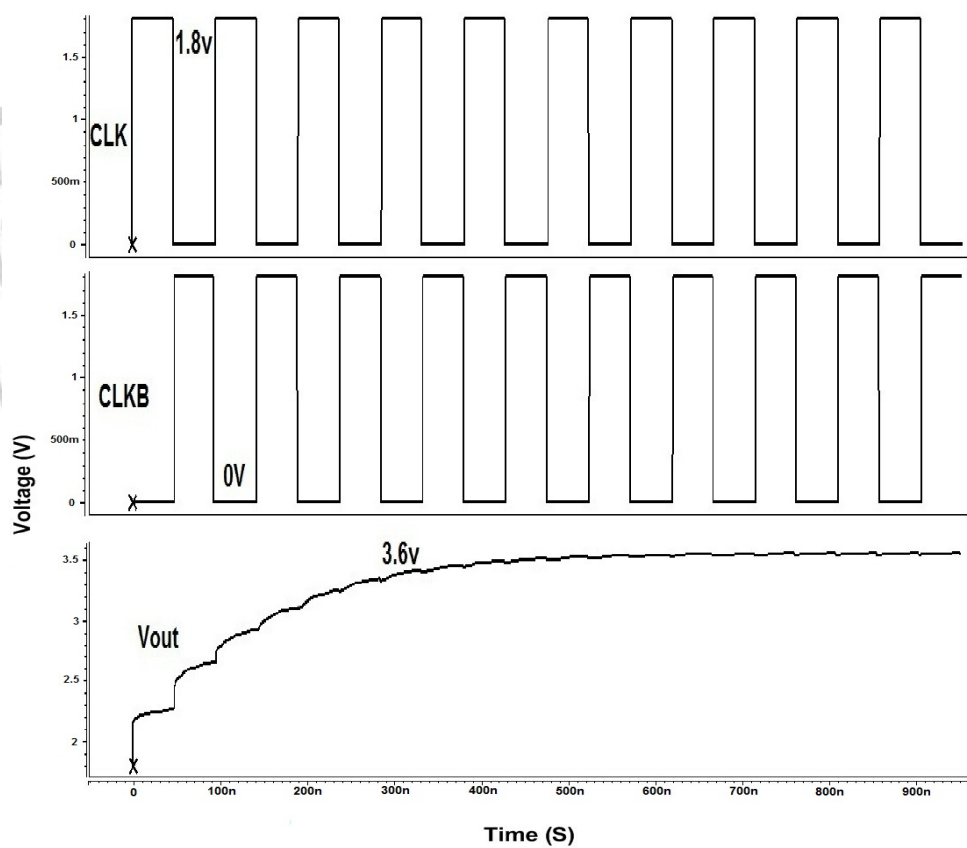


(b)

圖 4.4 (a)電壓轉換電路圖，(b)電路模擬波形圖

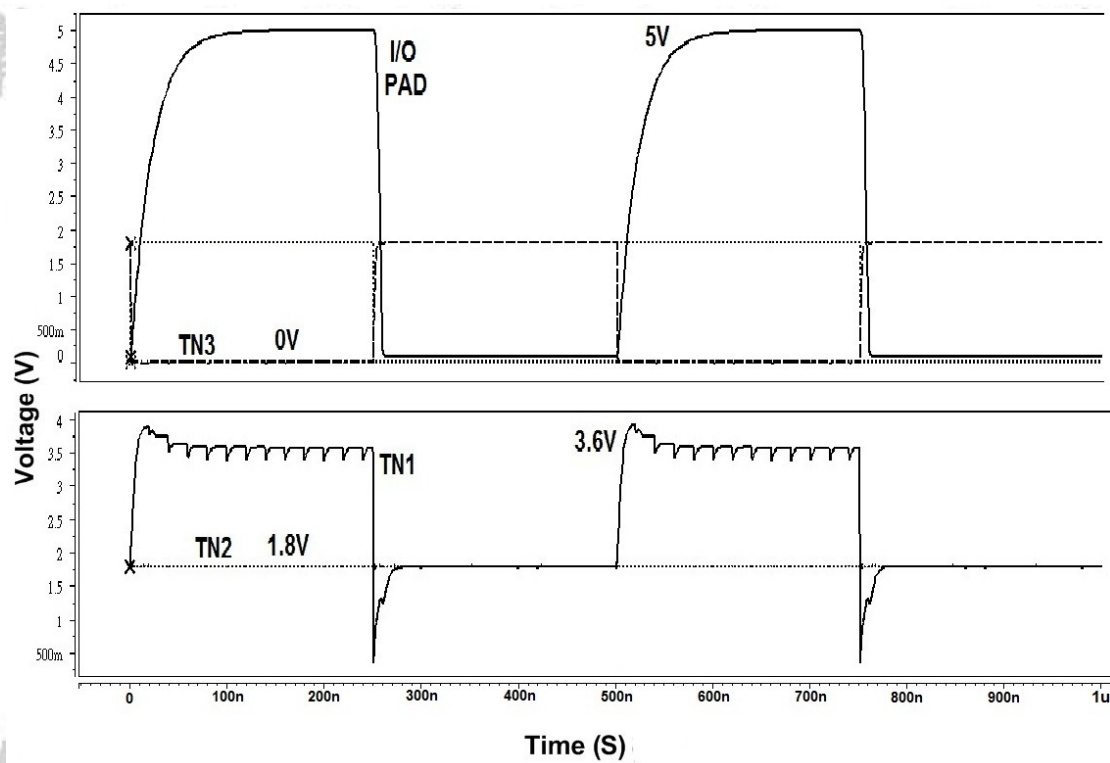


(a)

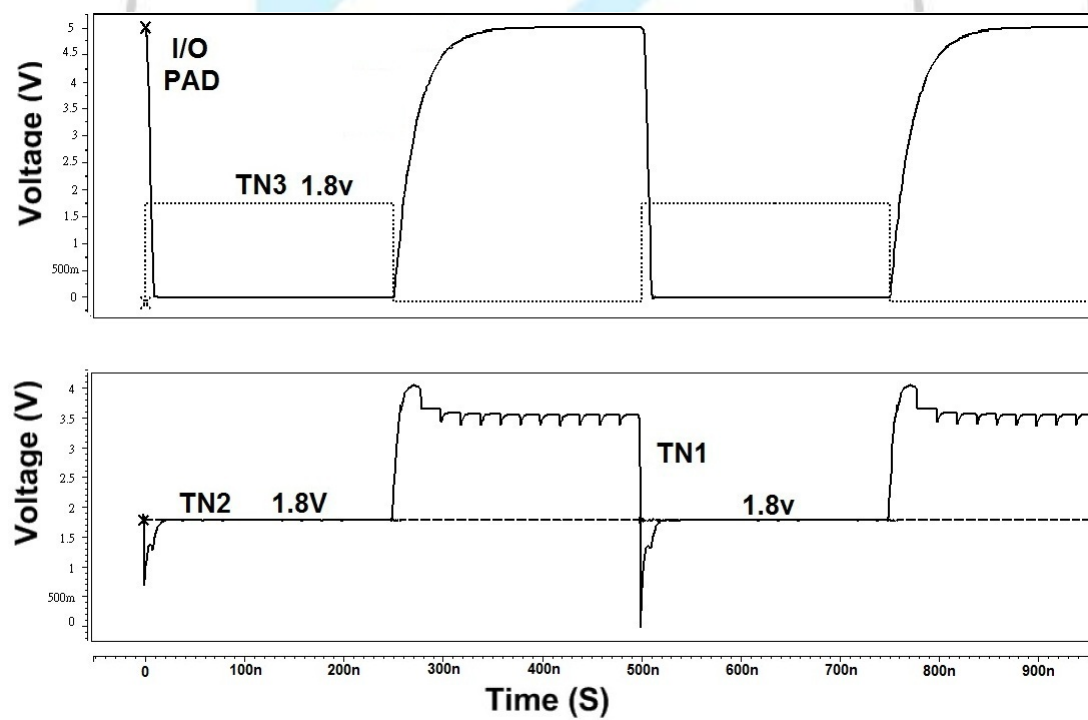


(b)

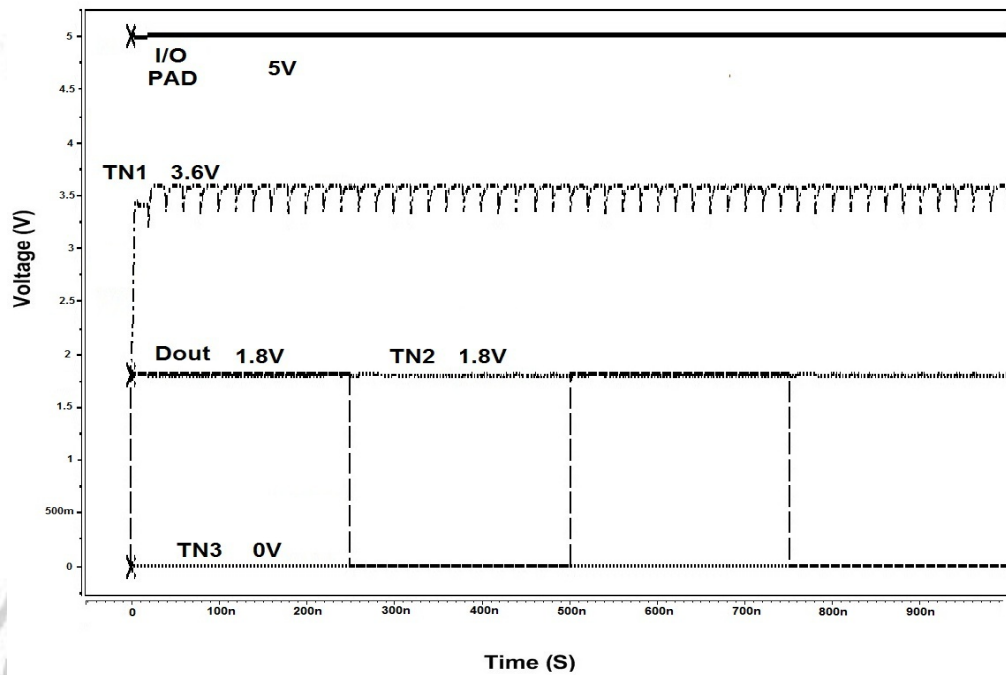
圖 4.5 (a)電荷幫浦電路圖，(b)電路模擬波形圖



(a)



(b)



(c)

圖 4.6 3×VDD 電壓共容輸出電路的模擬波形：(a) OE 為 VDD，Dout 為 VDD，(b) OE 為 VDD，Dout 為 0V，(c) OE 為 0V，Dout 為 VDD

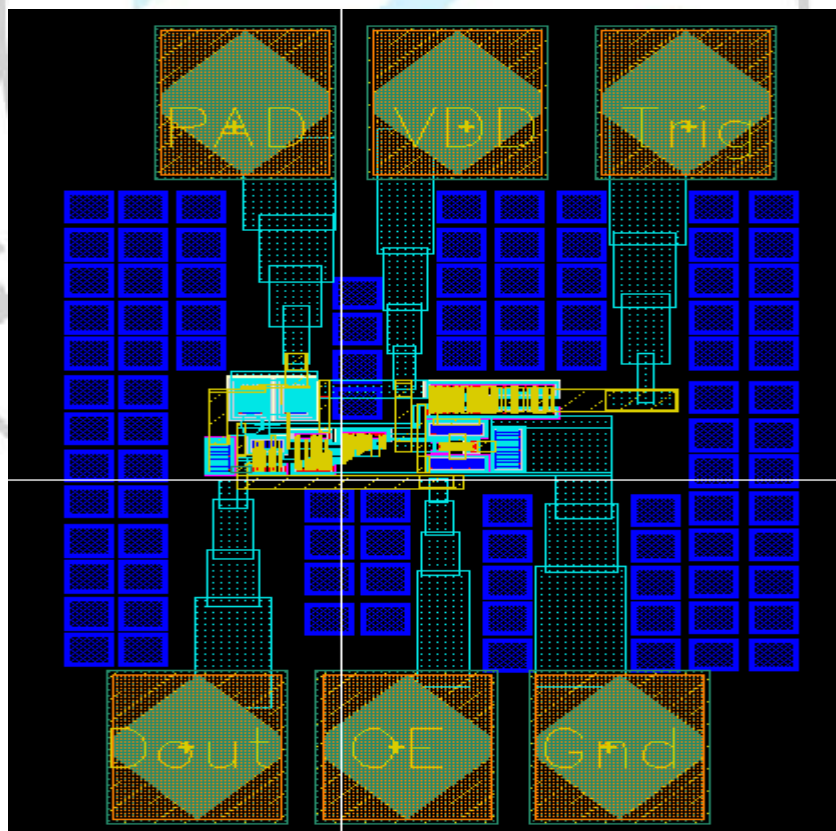


圖 4.7 晶片佈局平面圖

I/O 元件庫已設計並成功地製作在台灣積體電路製造公司 0.25 微米 CMOS 製程。驅動能力已被測量，可以提供足夠的輸出驅動電流。類比訊號輸入單元和 VDD 和 VSS 單元已驗證其靜電放電耐受度，並能有效地保護核心電路和輸出驅動。在此，該 I/O 單元也可以提供足夠的靜電放電耐受度，以保護積體電路。

在混合電壓輸出電路設計中，一個可承受 $3\times VDD$ 的混合電壓輸出電路已成功地設計在 0.25 微米 1.8-V CMOS 製程中，只使用 $1\times VDD$ CMOS 元件，5-V 訊號傳輸時沒有閘極氧化層可靠度的問題和漏電流問題。此新提出的 $3\times VDD$ 電壓共容輸出電路解決方案亦可實現在各種 CMOS 製程中，以滿足微電子系統的混合電壓界面規格之應用需求。

- [1] T. Furukawa, D. Turner, S. Mittl, M. Maloney, R. Serafin, W. Clark, L. Longenbach, and J. Howard, "Accelerated gate-oxide breakdown in mixed-voltage I/O buffers," in *Proc. IEEE Int. Reliability Physics Symp.*, 1997, pp. 169-173.
- [2] I. Chen, J. Choi, and C. Hu, "The effect of channel hot-carrier stressing on gate-oxide integrity in MOSFETs," *IEEE Trans. Electron Devices*, vol. 35, no. 12, pp. 2253-2258, Dec. 1988.
- [3] *ESD Test Standard*, ESD Association, ESD STM5.1, 1998.
- [4] A. Wang, *On-Chip ESD Protection for Integrated Circuits*, Boston, Kluwer, 2001.
- [5] S. Voldman, *ESD Physics and Devices*, John Wiley & Sons, Ltd., England, 2004.
- [6] A. Amerasekera and C. Duvvury, *ESD in Silicon Integrated Circuits*, 2nd Edition, John Wiley & Sons, Ltd., England, 2002.
- [7] M.-D. Ker, J.-J. Peng, and H.-C. Jiang, "ESD test methods on integrated circuits : an overview," in *Proc. IEEE ICECS*, 2001, pp. 1011-1014.
- [8] C. Duvvury, R. Rountee, and O. Adams, "Internal chip ESD phenomena beyond the protection circuit," *IEEE Trans. Electron Devices*, vol. 35, no. 12, pp. 2133-2139, Dec. 1988.
- [9] C. Johnson, T. J. Maloney, and S. Qawami, "Two unusual HBM ESD failure mechanisms on a mature CMOS process," in *Proc. EOS/ESD Symp.*, 1993, pp. 225-231.
- [10] V. Puvvada and C. Duvvury, "A simulation study of HBM failure in an internal clock buffer and the design issue for efficient power pin protection strategy," in *Proc. EOS/ESD Symp.*, 1998, pp. 104-110.
- [11] M.-D. Ker, "Whole-chip ESD protection design with efficient VDD-to-VSS ESD clamp circuits for submicron CMOS VLSI," *IEEE Trans. Electron Devices*, vol. 46, no. 1, pp. 173-183, Jan. 1999.
- [12] 陳世範。2008。90奈米互補式金氧半製程下之多功能輸入/輸出元件庫設計。碩士論文。新竹：交通大學電子工程學系電子研究所。
- [13] C. Duvvury, C. Diaz, and T. Haddock, "Achieving uniform nMOS device power distribution for submicron ESD reliability," *IEEE IEDM Dig. Tech. Papers*, 1992, pp. 131-134.
- [14] C. Duvvury and C. Diaz, "Dynamic gate coupling of nMOS for efficient output ESD protection," in *Proc. IEEE Int. Reliability Physics Symp.*, 1992, pp. 141-150.
- [15] M.-D. Ker, C.-Y. Wu, T. Cheng, and H.-H. Chang, "Capacitor-couple ESD protection circuit for deep-submicron low-voltage CMOS ASIC," *IEEE Trans. VLSI Syst.*, vol. 4, no. 3, pp. 307-321, Mar. 1996.

- [16] J. Chen, A. Amerasekera, and C. Duvvury, "Design methodology and optimization of gate-driven nMOS ESD protection circuits in submicron CMOS processes," *IEEE Trans. Electron Devices*, vol. 45, no. 12, pp. 2448-2456, Dec. 1998.
- [17] R. Merrill and E. Issaq, "ESD design methodology," in *Proc. EOS/ESD Symp.*, 1993, pp. 233-237.
- [18] E. Worley, R. Gupta, B. Jones, R. Kjar, C. Nguyen, and M. Teenyson, "Sub-micro chip ESD protection schemes which avoid avalanching junctions," in *Proc. EOS/ESD Symp.*, 1995, pp. 13-20.
- [19] T. Maloney and W. Kan, "Stacked PMOS clamps for high voltage power supply protection," in *Proc. EOS/ESD Symp.*, 1999, pp. 70-77.
- [20] J. Li, R. Gauthier, and E. Rosenbaum, "A compact, timed-shutoff, MOSFET-based power clamp for on-chip ESD protection," in *Proc. EOS/ESD Symp.*, pp. 273-279, 2004.
- [21] M. Bazes, "Output buffer impedance control and noise reduction using a speed-locked loop," *IEEE ISSCC Dig. Tech. Papers*, 2004, pp. 486-487.
- [22] Y. Kwak, I. Jung, H. Lee, Y. Choi, Y. Kumar, and C. Kim, "A one-cycle lock time slew-rate-controlled output driver," *IEEE ISSCC Dig. Tech. Papers*, 2007 pp. 408-611.
- [23] S. Jou, S. Kuo, J. Chiu, and V. Lin, "Low switching noise and load adaptive output buffer design techniques," *IEEE J. Solid-State Circuits*, vol. 36, no. 8, pp. 1239-1249, Aug. 2001.
- [24] M.-D. Ker, T.-M. Wang, and F.-L. Hu, "Design on mixed-voltage I/O buffers with slew-rate control in low-voltage CMOS process," in *Proc. IEEE ICECS*, 2008, pp. 1047-1050.
- [25] T. Tanzawa, Y. Takano, K. Watanabe, and S. Atsumi, "High-voltage transistor scaling circuit techniques for high-density negative-gate channel-erasing NOR flash memory," *IEEE J. Solid-State Circuits*, vol. 37, no. 10, pp. 1318-1325, Oct. 2002.
- [26] B. Kaczer, R. Degraeve, M. Rasras, K. Mierop, P. Roussel, and G. Groeseneken, "Impact of MOSFET gate oxide breakdown on digital circuit operation and reliability," *IEEE Tran. Electron Devices*, vol. 49, pp. 500-506, Mar. 2002.
- [27] K. Young, S. Wu, C. Wu, C. Wang, C. Lin, J. Cheng, M. Chiang, S. Chen, T. Lo, Y. Chen, J. Chen, L. Chen, S. Hou, J. Law, T. Chang, C. Hou, J. Shih, S. Jeng, H. Hsieh, Y. Ku, T. Yen, H. Tao, L. Chao, S. Shue, S. Jang, T. Ong, C. Yu, M. Liang, C. Diaz, and J. Sun, "A 0.13 μm CMOS technology with 93 nm lithography and Cu/low-k for high performance applications," *IEEE IEDM Dig. Tech. Papers*, 2000, pp. 563-566.
- [28] M.-D. Ker and S.-L. Chen, "Mixed-voltage I/O buffer with dynamic gate-bias circuit to achieve $3\times V_{DD}$ input tolerance by using $1\times V_{DD}$ devices and single VDD power supply," *IEEE ISSCC Dig. Tech. Papers*, 2005, pp. 524-525.
- [29] M.-D. Ker, S.-L. Chen, and C.-S. Tsai, "Overview and design of mixed-voltage I/O

- buffers with low-voltage thin-oxide CMOS transistors,” *IEEE Trans. Circuits and Systems I: Regular Papers*, vol. 53, no. 9, pp. 1934-1945, Sep. 2006.
- [30] M.-D. Ker and Y.-L. Lin, “Design of $2\times V_{DD}$ -tolerant I/O buffer with $1\times V_{DD}$ CMOS devices,” in *Proc. IEEE Custom Integrated Circuits Conf.*, 2009, pp. 539-542.
- [31] S.-L. Chen and M.-D. Ker, “An output buffer for 3.3-V applications in a 0.13- μ m 1/2.5-V CMOS process,” *IEEE Trans. Circuits and Systems II: Express Briefs*, vol. 54, no. 1, pp. 14-18, Jan. 2007.
- [32] C. Chang, C. Chao, Y. Leung, C. Lin, H. Hsu, Y. Wang, S. Chang, T. Chiu, J. Shyu, C. Wu, C. Wang, R. Chang, C. Chen, C. Huang, C. Chen, S. Chen, T. Yeh, J. Cheng, J. Liaw, Y. Chu, T. Ong, M. Yu, C. Yu, H. Lin, H. Tao, M. Liang, Y. See, C. Diaz, and Y. Sun, “Extended 0.13 μ m CMOS technology for ultra high-speed and MS/RF application segments,” in *Proc. IEEE VLSI Technology Symp.* 2002, pp. 68-69.
- [33] M.-D. Ker, S.-L. Chen, and C.-S. Tsai “Design of charge pump circuit with consideration of gate-oxide reliability in low-voltage CMOS processes,” *IEEE J. Solid-State Circuits*, vol. 41, no. 5, pp. 152-153, May 2006.
- [34] T. Tanzawa, T. Tanaka, T. Takeuchi, and K. Nakamura, “Circuit techniques for a 1.8-V-only NAND flash memory,” *IEEE J. Solid-State Circuits*, vol. 37, no. 1, pp. 84-89, Jan. 2002.
- [35] M.-D. Ker, S.-L. Chen, and C.-S. Tsai, “A new charge pump circuit dealing with gate-oxide reliability issue in low-voltage processes,” in *Proc. IEEE Int. Symp. Circuits Syst.*, 2004, pp. 321-324.
- [36] H. Lin and N. Chen, “New four-phase generation circuits for low-voltage charge pumps,” in *Proc. IEEE Int. Symp. Circuits Syst.*, 2001, pp. 504-507.
- [37] K. Choi, J. Park, J. Kim, T. Jung, and K. Suh, “Floating-well charge pump circuits for sub-2.0 V single power supply flash memories,” in *Proc. IEEE VLSI Circuits Symp.* 1997, pp. 61-62.
- [38] C. Lauterbach, W. Weber, and D. Romer, “Charge sharing concept and new clocking scheme for power efficiency and electromagnetic emission improvement of boosted charge pumps,” *IEEE J. Solid-State Circuits*, vol. 35, pp. 719-723, May 2000.