

義 守 大 學
電 子 工 程 研 究 所
碩 士 論 文

應用於晶片間互連技術之積體電路設計

Design of Integrated Circuits for Chip-to-Chip
Interconnection Technique

研究生： 黃 俊 瑋
指導教授： 黃 有 榕 教授
柯 明 道 教授

A Thesis Submitted to
Department of Electronic Engineering
I-Shou University
in
Partial Fulfillment of the Requirements
for the Master degree
with a
Major in Electronic Engineering
July 2012
Kaohsiung, Taiwan
Republic of China

中華民國 一〇二 年 七 月

應用於晶片間互連技術之積體電路設計

研究生： 黃 俊 瑋

指導教授： 黃 有 榕 教授

柯 明 道 教授

義守大學電子工程研究所

摘要

本論文以兩篇研究主題為主軸，分別是交流耦合互聯的電性訊號傳遞以及可共容三倍 VDD 電壓輸出之緩衝器。

主題一主要探討針對高速通訊介面技術之研究，以 $0.18\mu\text{m}$ 1.8-V CMOS 製程來驗證電路，並且將考慮製程時所產生的變異情況下，對 FF、TT、FS、SF 和 SS 等 5 個參數進行模擬，在收發器電路中，發射器部分是由雙緣觸發脈衝和類管線方式傳送訊號並且藉由交流電容耦合互聯將訊號傳至接收器，以跨阻放大器方式並經過多級的緩衝器將訊號放大還原。最後本文所設計之電路以 HSPICE 來模擬起電路功能，並根據 5 個 Corner Case 去分析訊號，進而探討電路在未來運用的可行性與實用性。

主題二為提出一種新型三倍 VDD 電壓共容之輸出緩衝器電路設計，並且也是以

0.18- μm 1.8-V CMOS 製程實作，以應用於混合電壓介面，並避免使用高壓製程所需的昂貴費用。此設計使用一倍電壓元件的組合電路、電荷幫浦以及電壓準位轉換電路，且運用 MOS 串接方式，將三倍 VDD 做分壓，使得每個 MOS 之各端點間的電壓差皆小於一倍 VDD，所以此架構在電路邏輯轉態時，電路元件不會發生閘極氧化層過壓等可靠度問題。此新型電路亦可實現在不同的 CMOS 製程。

關鍵詞：交流電容耦合互聯、積體電路堆疊、輸出緩衝器、閘極氧化層保護、混合電壓介面。

Design of Integrated Circuits for Chip-to-Chip Interconnection Technique

Student: Chun-Wei Huang

Advisors: Prof. Yu-Jung Huang

Prof. Ming-Dou Ker

Department of Electrical Engineering
I-Shou University

ABSTRACT

The AC capacitive coupled interconnect technology and design of triple VDD voltage output buffers are described in this thesis. Firstly, a design of ACCCI circuit for high-speed communication using 0.18- μm 1.8-V CMOS process is presented. The design of transmitter circuit is based on a double-edge trigger pulse circuit design along with pipeline signal transmission method. The signal transmitted to the receiver using AC capacitive coupling interconnect technology. The receiver circuit is composed of a feedback amplifier through multi-level buffer to restore the signal. The PVT variation analysis of the transceiver circuit is

compared at SS, SF, TT, FS, and FF corners. Secondly, a design of novel triple VDD voltage output buffer for mixed-voltage interface applications is implemented based on 0.18- μm 1.8-V CMOS technology. The present proposed circuit is composed of doubled voltage circuit, the charge pump and the voltage level converting circuit, and the use of MOS series connection. The main advantage of the present design method can avoid the use of costly high-pressure process and improve gate oxide reliability problems.

Keywords : AC capacitive coupling interconnect, 3-D IC, output buffer, gate-oxide protection, mixed-voltage interface.