國立陽明交通大學

電子研究所

碩 士 論 文

Institute of Electronics

National Yang Ming Chiao Tung University

Master Thesis

# 應用於氮化鎵之全晶片靜電放電防護電路設計

# Design of the ESD Protection Circuit for Fully Integrated GaN IC

研 究 生: 王煒程 (Wang, Wei-Cheng)

指導教授: 柯明道教授 (Prof. Ming-Dou Ker)

中 華 民 國 一一三 年 一 月

January 2024

# 應用於氮化鎵之全晶片靜電放電防護電路設計

# Design of the ESD Protection Circuit for Fully Integrated GaN IC


研 究 生： 王煒程　　Student： Wei-Cheng Wang

指導教授： 柯明道　　Advisor： Ming-Dou Ker

國 立 陽 明 交 通 大 學

電子研究所


碩 士 論 文

A Thesis
Submitted to
Institute of Electronics
College of Electrical and Computer Engineering
National Yang Ming Chiao Tung University
in Partial Fulfillment of the Requirements
for the Degree of
Master of Science
in
Electronics Engineering

January 2024
Hsinchu, Taiwan, Republic of China

中 華 民 國 一一三 年 一 月

# 應用於氮化鎵之全晶片靜電放電防護電路設計

研究生：王煒程　　指導教授：柯明道 教授

國立陽明交通大學

電子研究所

# 摘要

氮化鎵(Gallium Nitride, GaN)憑藉其寬頻隙、高擊穿電壓、高載子密度和高飽和速度，在高頻和大功率電路中得到了應用，最近已經有論文將氮化鎵的閘極驅動器(Gate Driver)和開關電路(Switch Circuit)已完全整合在一個單晶片中，隨著越來越多的電路在單晶片上採用氮化鎵元件進行設計，晶片上靜電放電(Electrostatic Discharge, ESD) 保護的需求變得至關重要。雖然已經有幾篇論文研究了針對獨立氮化鎵高電子遷移率電晶體(High Electron Mobility Transistor, HEMT)的 ESD 的特性和保護設計，但全晶片的氮化鎵電路仍然缺乏 ESD 保護電路。

本文提出了一個針對全晶片氮化鎵積體電路的 ESD 保護電路設計，此設計由兩個主要部分組成：第一個部分涉及對氮化鎵二極體的 ESD 穩健性進行分析，採用傳輸線脈衝產生系統(Transmission Line Pulse, TLP)和人體放電模型(Human Body Mode, HBM)兩種方法來驗證其 ESD 耐受度。第二部分重點介紹位於 VCC 和 VSS 電源線之間的電源箝制電路(Power-Rail ESD Clamp Circuits)，它可以跟二極體為 GaN 電路中的任何引腳提供針對 ESD 事件進行全晶片保護，後續也對不同結構的電源箝制電路進行 ESD 耐受度上的研究，並討論了在正常上電期間為了增強 ESD 水平時可能出現的瞬態漏電流問題，提出了偵測電路架構來提供這

些瞬態漏電流問題的解決方案。最後將兩部分整合起來以保護內部電路，評估這些 ESD 保護電路是否能夠達到預期的保護能力。

關鍵詞/字 — 靜電放電、傳輸線脈衝產生器、人體放電模型、氮化鎵、增強型高電子移動率電晶體、全晶片靜電放電防護。

# Design of the ESD Protection Circuit for Fully Integrated GaN IC

Student: Wei-Cheng Wang Advisor: Prof. Ming-Dou Ker

Institute of Electronics
National Yang Ming Chiao Tung University

## Abstract

Gallium Nitride (GaN), with its wide bandgap, high breakdown voltage, high carrier density, and high saturation velocity, has found applications in high-frequency and high-power circuits. Recently, papers have integrated GaN gate drivers and switch circuits on a single chip. As more circuits adopt GaN components for on-chip designs, the need for on-chip electrostatic discharge (ESD) protection becomes crucial. While several papers have explored ESD protection designs and characteristics for standalone GaN high electron mobility transistors (HEMTs), there is a lack of ESD protection circuits for GaN circuits on a full chip.

This paper proposes an ESD protection circuit design for whole-chip GaN integrated circuits. The design consists of two main parts: the first part involves analyzing the ESD robustness of GaN diodes, and validated their ESD robustness using transmission line pulse (TLP) and human body model (HBM) methods. The second part focuses on power-rail ESD Clamp Circuits located between VCC and VSS power lines, providing on-chip protection against ESD events for any pin of GaN circuits. The paper also explores the ESD tolerance of different power-rail clamp circuit structures. Potential transient leakage current problems during normal operation are discussed to

improve ESD levels are discussed, and a detection circuit architecture is proposed to address these transient leakage current problems. Finally, the integration of these two parts is evaluated to determine if the ESD protection circuits can achieve the expected protection capabilities for the internal circuits.

Keywords – Electrostatic discharge (ESD), transmission line pulse (TLP), Human body model (HBM), GaN, E-HEMT, Whole-chip ESD protection.