

國立陽明交通大學

電子研究所

碩 士 論 文

Institute of Electronics

National Yang Ming Chiao Tung University

Master Thesis

具深 N 井佈局的跨域介面電路以及跨域電源軌間箝  
制電路在元件充電模式下之靜電放電防護設計與驗證

**Design and Verification of Cross-Domain Interface  
Circuits with Deep N-Well Layout and Cross-Domain  
Power-Rail Clamp Circuits on CDM ESD Protection**

研 究 生：黃懷民 (Huai-Min Huang)

指導教授：柯明道教授 (Prof. Ming-Dou Ker)

中 華 民 國 一 一 三 年 一 月

January 2024

具深 N 井佈局的跨域介面電路以及跨域電源軌間箝  
制電路在元件充電模式下之靜電放電防護設計與驗證

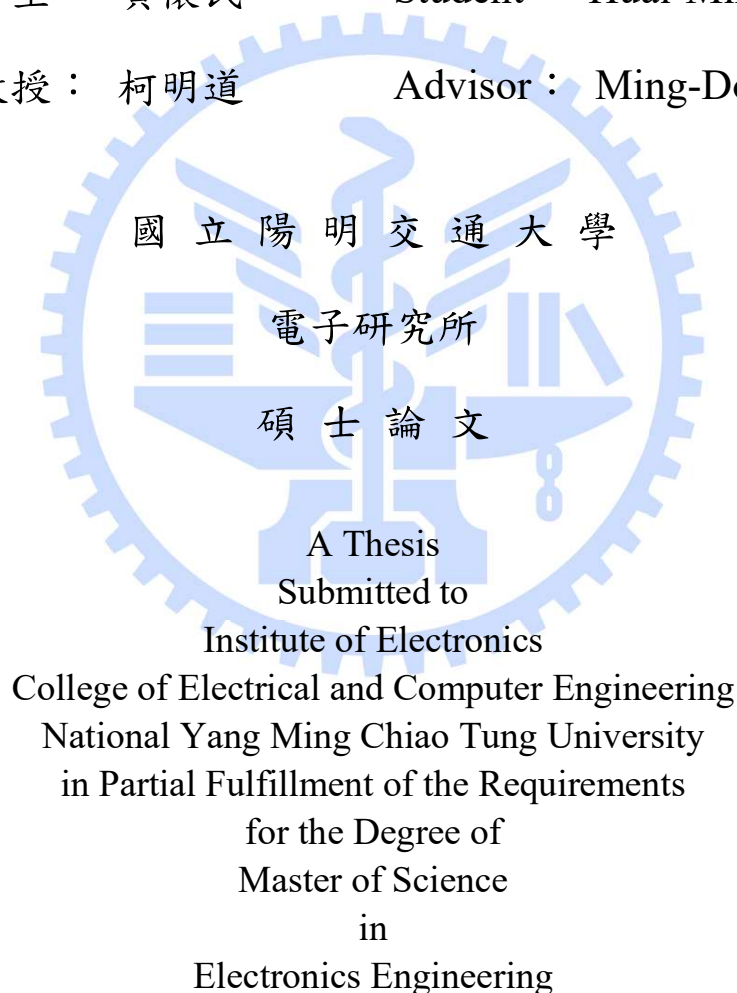
**Design and Verification of Cross-Domain Interface  
Circuits with Deep N-Well Layout and Cross-Domain  
Power-Rail Clamp Circuits on CDM ESD Protection**

研 究 生： 黃懷民

Student： Huai-Min Huang

指 導 教 授： 柯明道

Advisor： Ming-Dou Ker



January 2024  
Hsinchu, Taiwan, Republic of China

中 華 民 國 一 一 三 年 一 月

# 具深 N 井佈局的跨域介面電路以及跨域電源軌間箝制電路在元件充電模式下之靜電放電防護設計與驗證

學生：黃懷民

指導教授：柯明道教授

國立陽明交通大學

電子研究所

## 摘要

積體電路 (ICs) 目前正朝著系統單晶片 (SoC) 的方向發展。為了有效進行電源管理並避免雜訊耦合，晶片系統中包含了多個不同的電源域。隨著 CMOS 製程技術的不斷微縮，積體電路中電晶體的密度持續增加。這使得許多電路系統能夠輕易地整合在單一晶片中，極大地提高了訊號傳輸速度，進而提升了產品的性能。然而，隨著元件尺寸的縮小，閘極氧化層也隨之變薄，使先進製程下的積體電路對於元件充電模式 (Charged-Device Model, CDM) 靜電放電事件變得格外敏感，尤其是在連接不同電源域之間的介面電路，這往往是跨域靜電放電事件造成損傷的主要位置。

本論文首先探討了元件充電模式以及跨域靜電放電事件對內部電路可能造成的損害。接著，介紹了目前已經被提出的防護設計，深入解析這些設計是如何針對電路中較脆弱的區域進行保護的。在現有防護設計的基礎上，本論文提出了

一種全新的跨域防護設計概念。不同於先前的方法，這種設計在不需要增加額外的防護元件在介面電路中或修改內部電路結構的前提下，透過深 N 井 (Deep N-Well) 或跨域電源軌間的箝制電路，成功地提升了跨域介面電路在 CDM 測試下的耐受度。

在實施 CDM 測試之前，會對所提出的防護設計進行電路模擬，以確保其加入不會對電路正常功能產生影響。此外，介紹了目前已被提出的 CDM 測試機台的電路模型，經過一些調整後將其應用在 ESD 防護電路和測試電路上進行 CDM 的電路模擬。實際進行晶片的 CDM 測試後，通過電路特性和故障分析，確定電路中的損傷位置。將實驗前對測試電路的分析預測結果與實際測試後的結果進行對比，這有助於驗證所提出的防護設計確實能有效提升跨域介面電路在 CDM 測試下的耐受度。

關鍵詞/字 一元件充電模式靜電放電、跨域靜電放電、跨域介面電路、跨域箝制電路、閘極氧化層、深 N 井、類 CDM 模擬